TLV914x 18V、轨到轨输入和输出、125kHz 低功耗（7μA/通道）运算放大器

1 特性

- 宽电源电压：2.7V 至 18V
- 低静态电流：每个放大器 7μA
- 轨到轨输入和输出
- 低失调电压：±265μV（典型值）
- 低失调电压漂移：±0.2μV/°C（典型值）
- 高 PSRR：140dB（典型值）
- 高带宽：125kHz GBW，单位增益稳定
- 高输出电流驱动：±40mA
- 低 1/f 闪烁噪声：3.4μVp-p（f = 0.1Hz 至 10Hz）
- 高共模抑制：108dB
- 内置 RFI 和 EMI 滤波输入引脚
- 工作温度范围：-40°C 至 125°C

2 应用

- 烟雾和热量探测器
- 现场变送器和传感器
  - 流量变送器
  - 压力变送器
  - 温度变送器
  - 液位变送器
- 血糖监测仪
- 氧气浓缩器
- IP 网络摄像头
- 运动检测器

3 说明

TLV914x 系列（TLV9141、TLV9142 和 TLV9144）是高电压 (18V) 轨到轨输入和输出 (RRIO) 运算放大器系列。由于该系列具有每通道 7 μ A 的低静态电流，因此这些器件为低功耗应用提供了出色的性能。

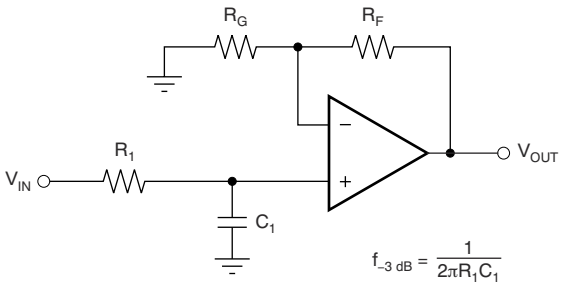
TLV914x 系列提供出色的直流精度，包括低失调电压（典型值为 ±265μV）、低温漂（典型值为 ±0.2μV/°C）、40mA 短路电流限制、140dB 的高 PSRR 和 108dB 的高 CMRR，适用于主输入对范围内的高压运行。这些器件还可在 2.7V 至 18V 的宽电源电压范围内工作。因此，TLV914x 是灵活、稳健且高性能的运算放大器，适用于高电压工业应用。

这些器件还具有 125kHz 的增益带宽积和 $3.4\mu V_{peak\text{-}to\text{-}peak}$ 的低 1/f 闪烁噪声（0.1Hz 至 10Hz）。该系列能够直接驱动高达 350nF 的容性负载，同时保持 30 度或更高的相位裕度。TLV914x 运算放大器系列提供多种业界通用封装，额定工作温度范围为 –40°C 至 125°C。

封装信息

器件型号	通道数	封装(1)	封装尺寸(2)
TLV9141	单通道	DBV（SOT-23，5）	2.9mm × 2.8mm
		D（SOIC，8）	4.9mm × 6mm
TLV9142	双通道	PW（TSSOP，8）	3mm × 6.4mm
		D（SOIC，8）	4.9mm × 6mm
TLV9144	四通道	D（SOIC，14）	8.65mm × 6mm
		PW（TSSOP，14）	5mm × 6.4mm
		N（PDIP，14）	19.3mm × 7.94mm

(1) 有关更多信息，请参阅节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



$$\frac{V_{OUT}}{V_{IN}} = \left(1 + \frac{R_F}{R_G}\right)\left(\frac{1}{1 + sR_1C_1}\right)$$

单极低通滤波器

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....6
5.1 绝对最大额定值.....6
5.2 ESD 等级.....6
5.3 建议运行条件.....6
5.4 单通道器件的热性能信息.....7
5.5 双通道器件的热性能信息.....7
5.6 四通道器件的热性能信息.....7
5.7 电气特性.....8
5.8 典型特性.....10
6 详细说明.....18
6.1 概述.....18
6.2 功能方框图.....18
6.3 特性说明.....19
6.4 器件功能模式.....26
7 应用和实施.....27
7.1 应用信息.....27
7.2 典型应用.....27
7.3 电源相关建议.....28
7.4 布局.....29
8 器件和文档支持.....31
8.1 器件支持.....31
8.2 文档支持.....31
8.3 接收文档更新通知.....31
8.4 支持资源.....31
8.5 商标.....31
8.6 静电放电警告.....31
8.7 术语表.....31
9 修订历史记录.....32
10 机械、封装和可订购信息.....32

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

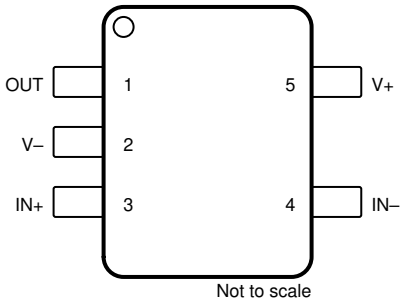
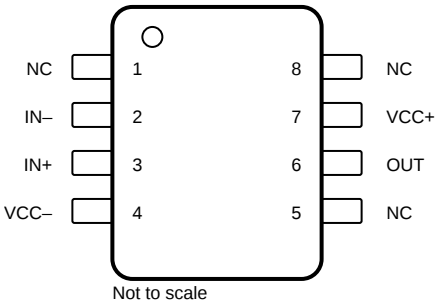


图 4-1. TLV9141 DBV 封装
5 引脚 SOT-23
（顶视图）



NC = 没有与内部电路连接

图 4-2. TLV9141 D 封装
8 引脚 SOIC
（顶视图）

表 4-1. 引脚功能：TLV9141

引脚			类型(1)	说明
名称	DBV	D		
IN –	4	2	I	反相输入
IN+	3	3	I	同相输入
NC	—	1、5、8	—	不连接
OUT	1	6	O	输出
V –	2	4	—	负（最低）电源
V+	5	7	—	正（最高）电源

(1) I = 输入，O = 输出

Copyright © 2025 Texas Instruments Incorporated

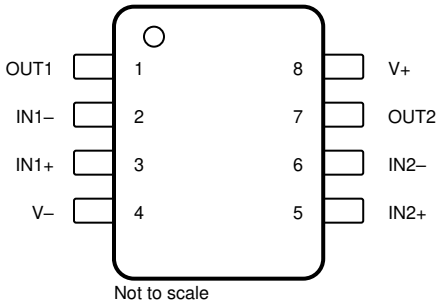


图 4-3. TLV9142 D、PW 和 N 封装，8 引脚 SOIC、TSSOP 和 PDIP（顶视图）

表 4-2. 引脚功能：TLV9142

引脚		类型(1)	说明
名称	编号		
IN1+	3	I	同相输入，通道 1
IN1 –	2	I	反相输入，通道 1
IN2+	5	I	同相输入，通道 2
IN2 –	6	I	反相输入，通道 2
OUT1	1	O	输出，通道 1
OUT2	7	O	输出，通道 2
V+	8	—	正（最高）电源
V –	4	—	负（最低）电源

(1) I = 输入，O = 输出

Copyright © 2025 Texas Instruments Incorporated

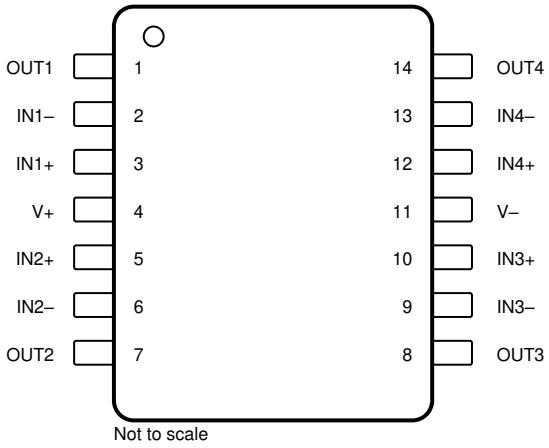


图 4-4. TLV9144 D 和 PW 封装
14 引脚 SOIC 和 TSSOP
（顶视图）

表 4-3. 引脚功能：TLV9144

引脚		类型(1)	说明
名称	编号		
IN1+	3	I	同相输入，通道 1
IN1–	2	I	反相输入，通道 1
IN2+	5	I	同相输入，通道 2
IN2–	6	I	反相输入，通道 2
IN3+	10	I	同相输入，通道 3
IN3–	9	I	反相输入，通道 3
IN4+	12	I	同相输入，通道 4
IN4–	13	I	反相输入，通道 4
OUT1	1	O	输出，通道 1
OUT2	7	O	输出，通道 2
OUT3	8	O	输出，通道 3
OUT4	14	O	输出，通道 4
V+	4	—	正（最高）电源
V–	11	—	负（最低）电源

(1) I = 输入，O = 输出

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电源电压，V_S = (V+) – (V–)		0	20	V
信号输入引脚	共模电压(3)	(V–) – 0.5	(V+) + 0.5	V
	差分电压(3)		V_S + 0.2	V
	电流(3)	-10	10	mA
输出短路(2)		持续		
工作环境温度，T_A		-55	150	°C
结温，T_J			150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 如果在超出*绝对最大额定值*下列出的额定值的情况下运行器件，则会对器件造成永久性损坏。这些只是基于工艺和设计限制条件的应力等级，该器件并未设计为在*建议运行条件*中指定的条件之外运行。如果长时间暴露于*建议运行条件*之外的任何条件（包括绝对最大额定条件）下，则可能影响器件的可靠性和性能。
(2) 接地短路，每个封装对应一个放大器。该器件旨在限制因输出电流过大而造成的*电气*损坏，但延长的短路电流，尤其是较高的电源电压下，可能会导致过热并最终导致*热*损坏。
(3) 输入引脚被二极管钳制至电源轨。对于摆幅超过电源轨 0.5V 以上的输入信号，其电流必须限制在 10mA 或者更低。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2500	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±1500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）

		最小值	最大值	单位
V_S	电源电压，(V+) – (V–)	2.7	18	V
V_I	输入电压范围	(V–) – 0.2	(V+) + 0.2	V
T_A	额定温度	-40	125	°C

Copyright © 2025 Texas Instruments Incorporated

5.4 单通道器件的热性能信息

热指标 (1)		TLV9141		单位
		DBV (SOT-23)	D (SOIC)	
		5 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	196.7	139.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	94.1	77.9	°C/W
$R_{\theta JB}$	结至电路板热阻	63.3	88.4	°C/W
ψ_{JT}	结至顶部特征参数	30.8	24.2	°C/W
ψ_{JB}	结至电路板特征参数	62.9	87.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

5.5 双通道器件的热性能信息

热指标 (1)		TLV9142		单位
		PW (TSSOP)	D (SOIC)	
		8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	162.2	129.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	67.1	68.2	°C/W
$R_{\theta JB}$	结至电路板热阻	101.4	78.5	°C/W
ψ_{JT}	结至顶部特征参数	7.2	17.0	°C/W
ψ_{JB}	结至电路板特征参数	99.8	77.4	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

5.6 四通道器件的热性能信息

热指标 (1)		TLV9144			单位
		PW (TSSOP)	D (SOIC)	N (PDIP)	
		14 引脚	14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	114.2	90.4	72.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	44.7	50.6	50.6	°C/W
$R_{\theta JB}$	结至电路板热阻	70.0	48.5	46.4	°C/W
ψ_{JT}	结至顶部特征参数	2.6	11.6	28.3	°C/W
ψ_{JB}	结至电路板特征参数	69.3	48.0	45.8	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅*半导体和 IC 封装热指标*应用手册。

Copyright © 2025 Texas Instruments Incorporated

5.7 电气特性

V_S = (V+) – (V–) = 2.7V 至 18V（±1.35V 至 ±9V），T_A = 25°C，R_L = 10kΩ 连接至 V_S/2，V_{CM} = V_S/2 且 V_{OUT} = V_S/2，除非另有说明。

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入失调电压	V_{CM} = V–			±0.265	±1	mV
			T_A = -40°C 至 125°C			±1.5	mV
dV_{OS}/dT	输入失调电压温漂		T_A = -40°C 至 125°C		±0.2		μV/℃
PSRR	输入失调电压与电源间的关系	V_{CM} = V–，V_S = 5V 至 18V	T_A = -40°C 至 125°C		±0.112	±1	μV/V
					139	115	dB
		V_{CM} = V–，V_S = 2.7V 至 18V(1)	T_A = -40°C 至 125°C		±0.1	±1.8	μV/V
					140	114	dB
	通道隔离	f = 0Hz			5		μV/V
					106		dB
输入偏置电流							
I_B	输入偏置电流(1) (2)				±0.5	±10	pA
I_{OS}	输入失调电流(1) (2)				±0.5	±10	pA
噪声							
E_N	输入电压噪声	f = 0.1Hz 至 10Hz			3.4		μV_{PP}
					0.5		μV_{RMS}
e_N	输入电压噪声密度	f = 1kHz			50		nV/√Hz
i_N	输入电流噪声	f = 1kHz			0.5		fA/√Hz
输入电压范围							
V_{CM}	共模电压范围			(V–) – 0.2		(V+) + 0.2	V
CMRR	共模抑制比	V_S = 18V，(V–) – 0.1V < V_{CM} < (V+) – 2V（主输入对）		99	108		dB
			T_A = -40°C 至 125°C	99			
		V_S = 5V，(V–) – 0.1V < V_{CM} < (V+) – 2V（主输入对）		86	94		
			T_A = -40°C 至 125°C	85			
		V_S = 2.7V，(V–) – 0.1V < V_{CM} < (V+) – 2V（主输入对）(1)		75	85		
			T_A = -40°C 至 125°C	74			
		V_S = 2.7V 至 18V，(V+) – 1V < V_{CM} < (V+) + 0.1V（辅助输入对）(1)			95		
			T_A = -40°C 至 125°C	72			
		V_S = 18V，(V–) – 0.2V < V_{CM} < (V+) + 0.2V（两个输入对）(1)		80	91		
			T_A = -40°C 至 125°C	79			
		(V+) – 2V < V_{CM} < (V+) – 1V	T_A = -40°C 至 125°C	请参阅输入失调电压与共模电压间的关系			
输入电容							
Z_{ID}	差分				500 || 3		GΩ || pF
Z_{ICM}	共模				5 || 1		TΩ || pF

Copyright © 2025 Texas Instruments Incorporated

V_S = (V+) – (V–) = 2.7V 至 18V（±1.35V 至 ±9V），T_A = 25°C，R_L = 10kΩ 连接至 V_S/2，V_{CM} = V_S/2 且 V_{OUT} = V_S/2，除非另有说明。

参数		测试条件		最小值	典型值	最大值	单位
开环增益							
A_{OL}	开环电压增益	V_S = 18V，V_{CM} = V–，(V–) + 0.1V < V_O < (V+) – 0.1V		110	135		dB
			T_A = -40°C 至 125°C		125		
		V_S = 5V，V_{CM} = V–，(V–) + 0.1V < V_O < (V+) – 0.1V		105	130		
			T_A = -40°C 至 125°C		125		
		V_S = 2.7V，V_{CM} = V–，(V–) + 0.1V < V_O < (V+) – 0.1V(1)		100	120		
			T_A = -40°C 至 125°C		115		
频率响应							
GBW	增益带宽积	R_L = 1MΩ			125		kHz
SR	压摆率	V_S = 18V，G = +1，C_L = 20pF			0.1		V/µs
t_S	稳定时间	精度达到 0.01%，V_S = 18V，V_{STEP} = 10V，G = +1，C_L = 20pF			135		µs
		精度达到 0.01%，V_S = 18V，V_{STEP} = 2V，G = +1，C_L = 20pF			68		
		精度达到 0.1%，V_S = 18V，V_{STEP} = 10V，G = +1，C_L = 20pF			121		
		精度达到 0.1%，V_S = 18V，V_{STEP} = 2V，G = +1，C_L = 20pF			51		
PM	相位裕度	G = +1，R_L = 100kΩ，C_L = 100pF			40		°
$t_{overload}$	过载恢复时间	V_{IN} × 增益 > V_S			35		µs
THD+N	总谐波失真 + 噪声 (3)	V_S = 18V，V_O = 1V_{RMS}，G = 1，f = 1kHz，R_L = 1MΩ			0.07		%
					73		dB
		V_S = 18V，V_O = 1V_{RMS}，G = 1，f = 1kHz，R_L = 100kΩ			0.02		%
					63		dB
输出							
	相对于电源轨的电压输出摆幅	正负电源轨余量	V_S = 18V，R_L = 空载(1)		5	10	mV
			V_S = 18V，R_L = 10kΩ		50	60	
			V_S = 18V，R_L = 2kΩ		266	300	
			V_S = 2.7V，R_L = 空载(1)		1	5	
			V_S = 2.7V，R_L = 10kΩ		12	20	
			V_S = 2.7V，R_L = 2kΩ		58	80	
I_{SC}	短路电流				±40		mA
C_{LOAD}	容性负载驱动			请参阅相位裕度与容性负载间的关系			pF
Z_O	开环输出阻抗	I_O = 0A		请参阅开环输出阻抗与频率间的关系			Ω
电源							
I_Q	每个放大器的静态电流	V_{CM} = V–，I_O = 0A			7	9	µA
			T_A = -40°C 至 125°C			9.5	

(1) 最大值仅根据特征指定。
(2) 大于 2.5V 的输入差分电压会导致 I_B 增加。
(3) 三阶滤波器；-3dB 时的带宽 = 80kHz。

Copyright © 2025 Texas Instruments Incorporated

5.8 典型特性

在 T_A = 25°C 时，V_S = ±9V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ（除非另有说明）

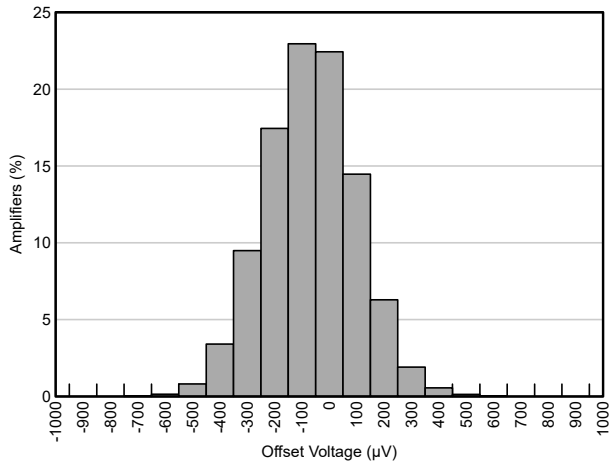


图 5-1. 失调电压产生分布

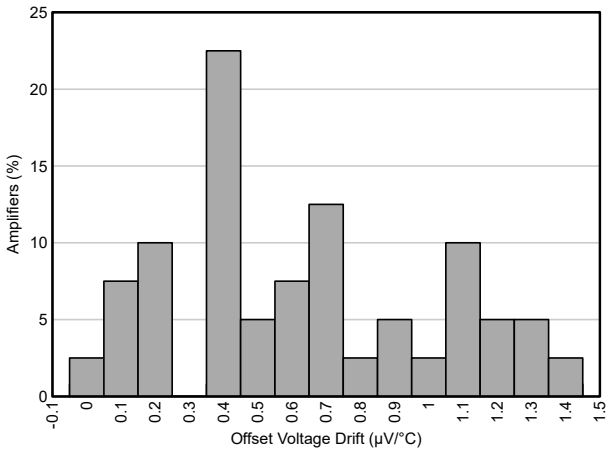
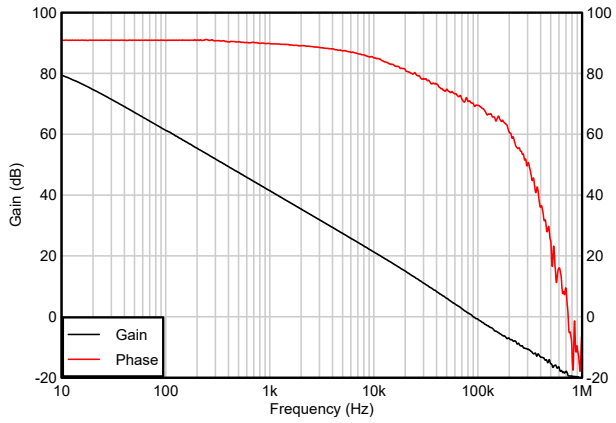
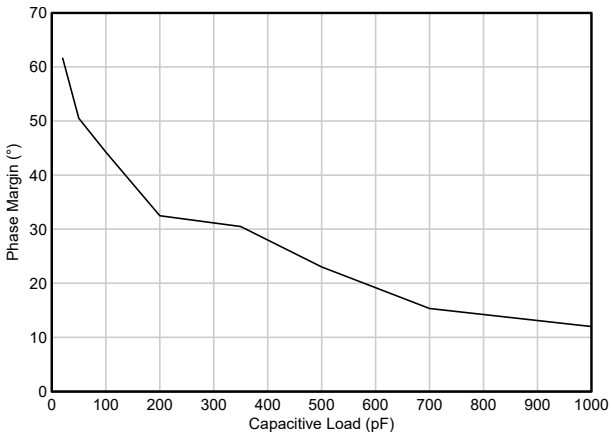


图 5-2. 失调电压漂移分布



R_L = 1MΩ，C_L = 20pF

图 5-3. 开环增益和相位与频率间的关系



R_L = 100kΩ

图 5-4. 相位裕度与容性负载间的关系

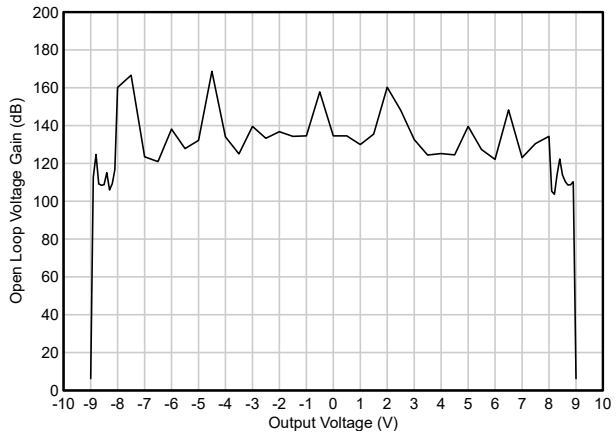
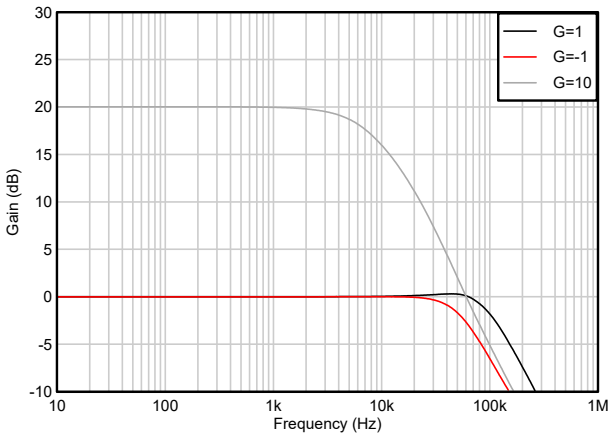


图 5-5. 开环增益与输出电压间的关系



R_L = 1MΩ，C_L = 20pF

图 5-6. 闭环增益与频率间的关系

Copyright © 2025 Texas Instruments Incorporated

5.8 典型特性（续）

在 T_A = 25°C 时，V_S = ±9V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ（除非另有说明）

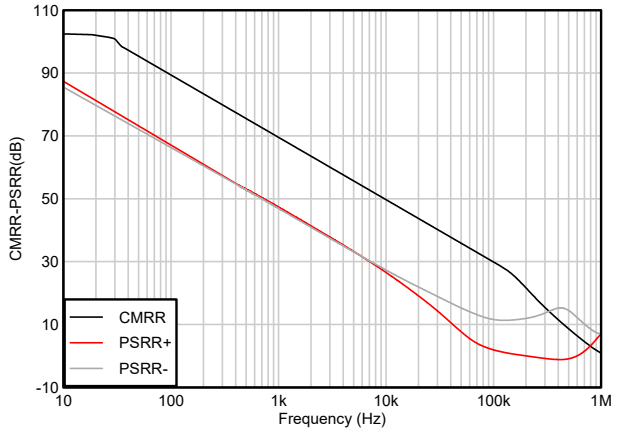


图 5-7. CMRR 和 PSRR 与频率间的关系

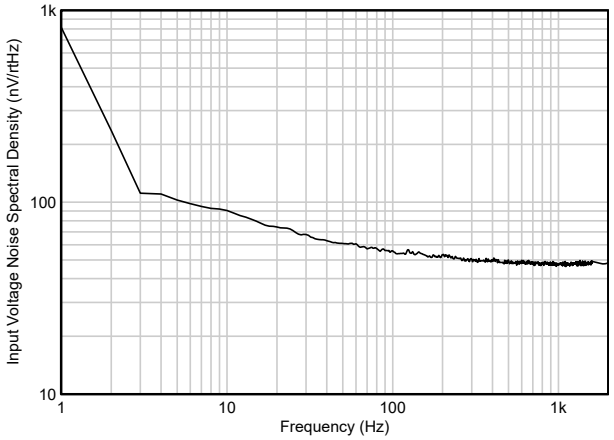
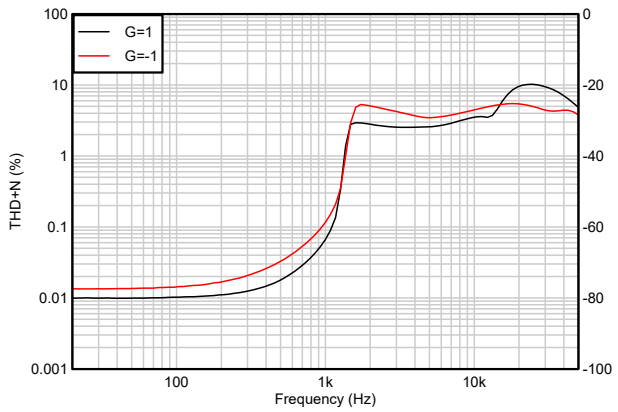
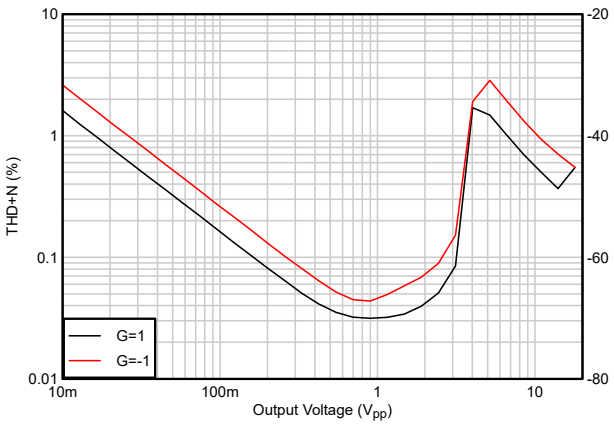


图 5-8. 输入电压噪声密度与频率间的关系



V_{OUT} = 1V_{RMS}，R_L = 100kΩ

图 5-9. THD+N 与频率间的关系



f = 1kHz，R_L = 100kΩ

图 5-10. THD+N 与输出电压间的关系

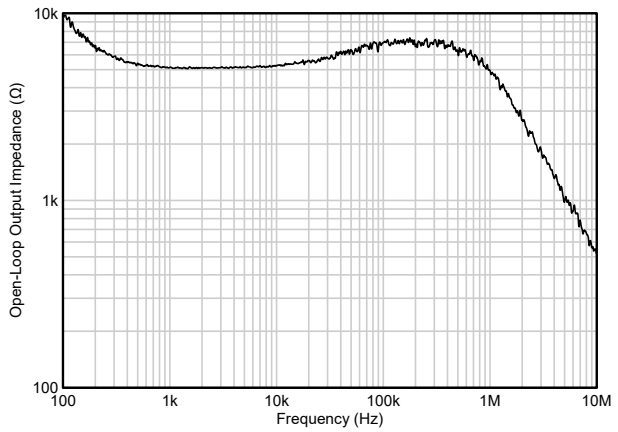


图 5-11. 开环输出阻抗与频率间的关系

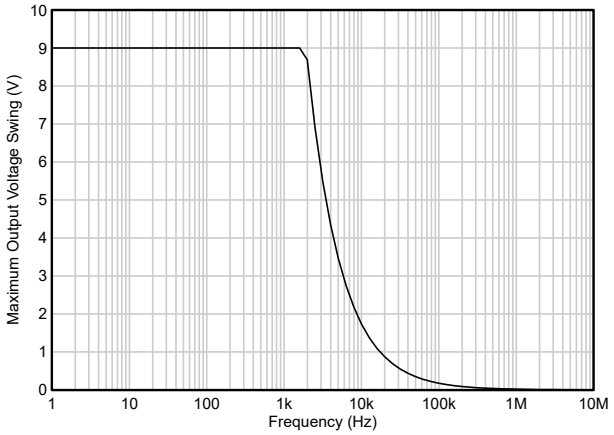


图 5-12. 最大输出电压与频率间的关系

Copyright © 2025 Texas Instruments Incorporated

5.8 典型特性（续）

在 T_A = 25°C 时，V_S = ±9V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ（除非另有说明）

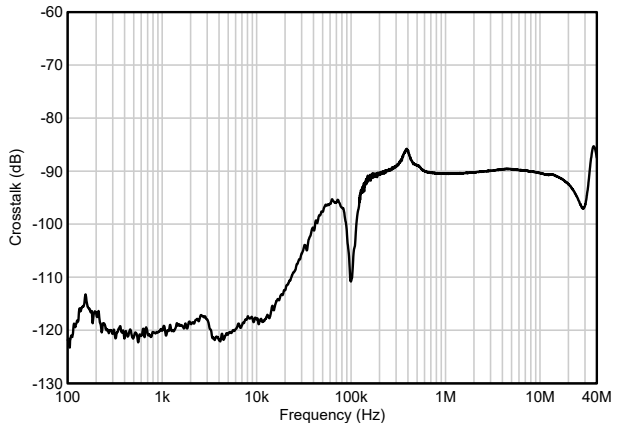


图 5-13. 串扰与频率间的关系

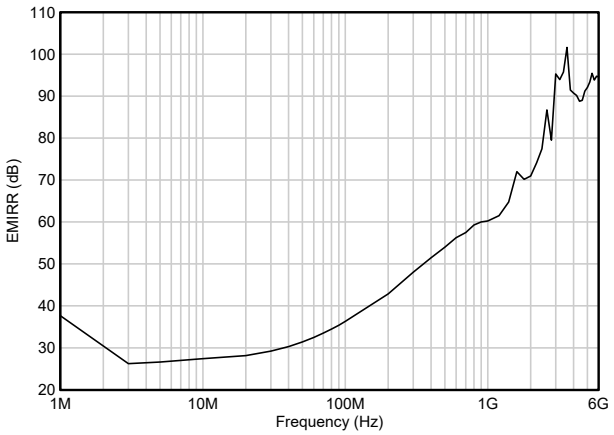
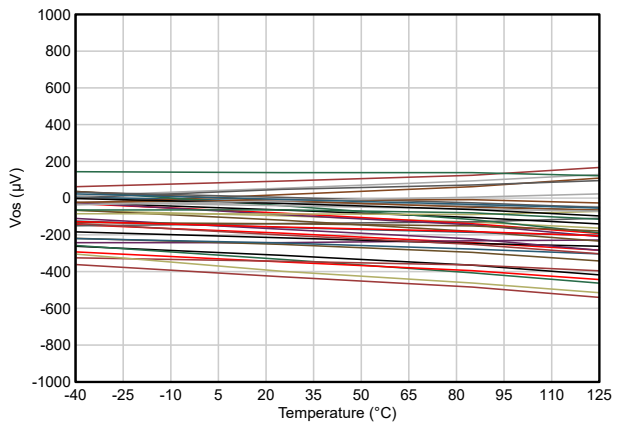
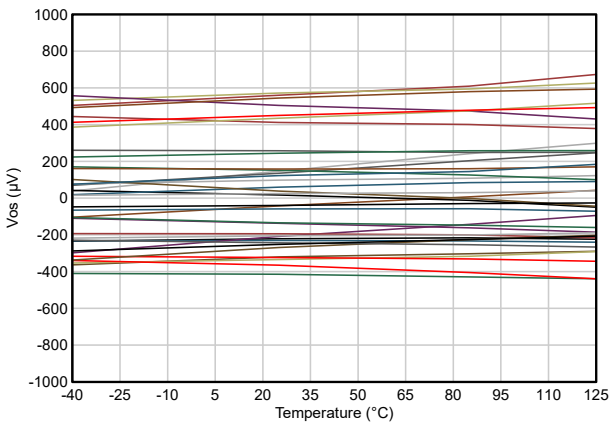


图 5-14. EMIRR 与频率间的关系



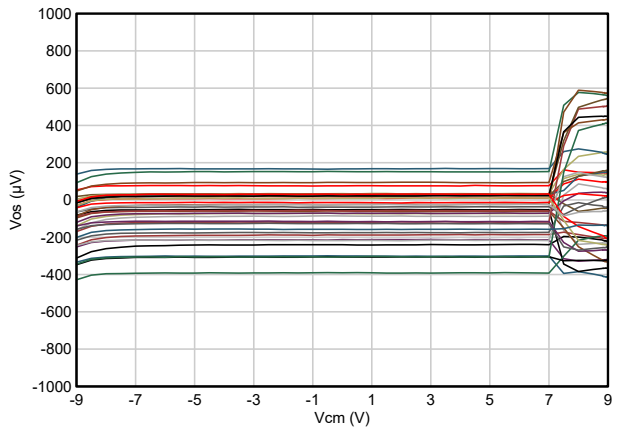
V_{CM} = V –

图 5-15. 输入失调电压与温度间的关系



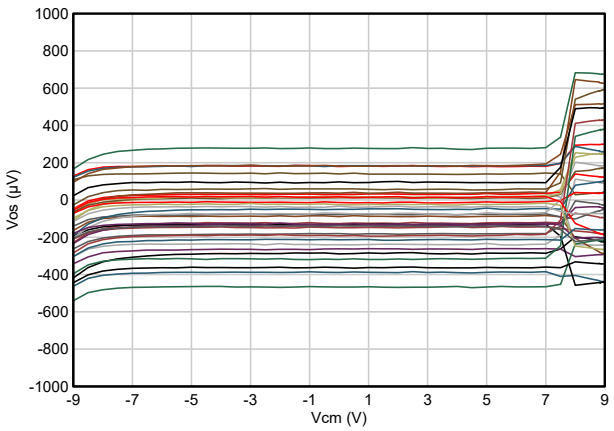
V_{CM} = V+

图 5-16. 输入失调电压与温度间的关系



T = 25°C

图 5-17. 输入失调电压与共模电压间的关系



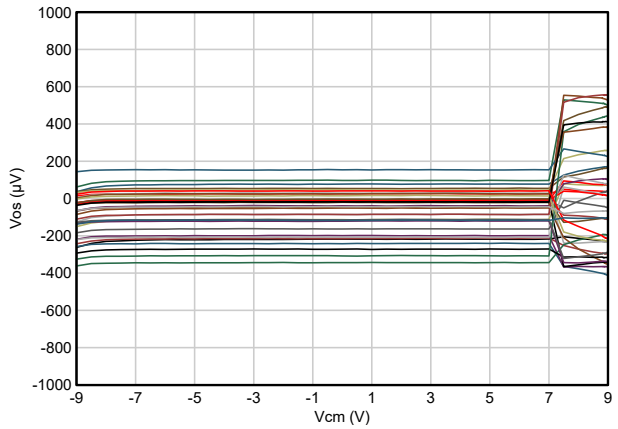
T = 125°C

图 5-18. 输入失调电压与共模电压间的关系

Copyright © 2025 Texas Instruments Incorporated

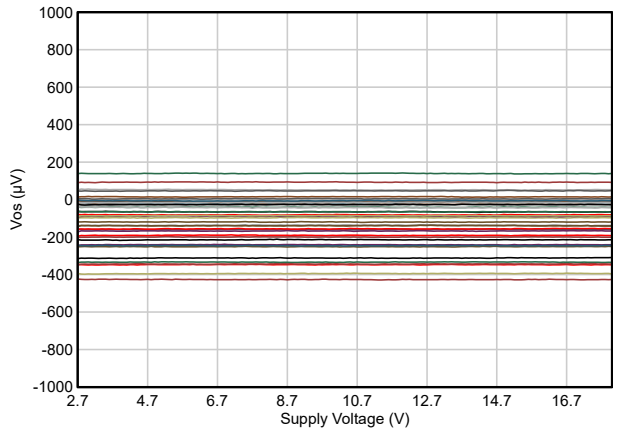
5.8 典型特性（续）

在 T_A = 25°C 时，V_S = ±9V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ（除非另有说明）



T = -40°C

图 5-19. 输入失调电压与共模电压间的关系



V_S = 2.7V 至 18V，V_{CM} = V –

图 5-20. 输入失调电压与电源电压间的关系

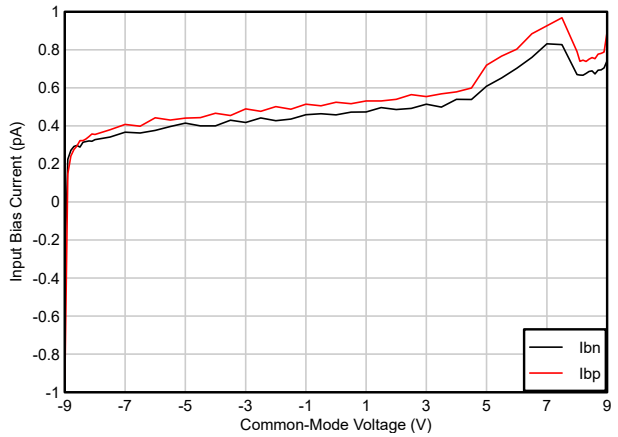


图 5-21. 输入偏置电流与共模电压间的关系

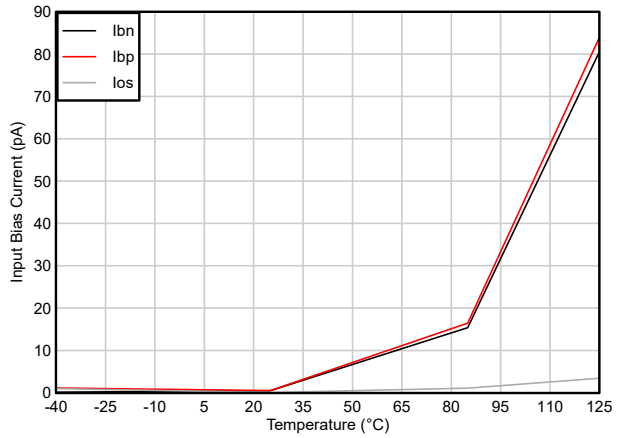
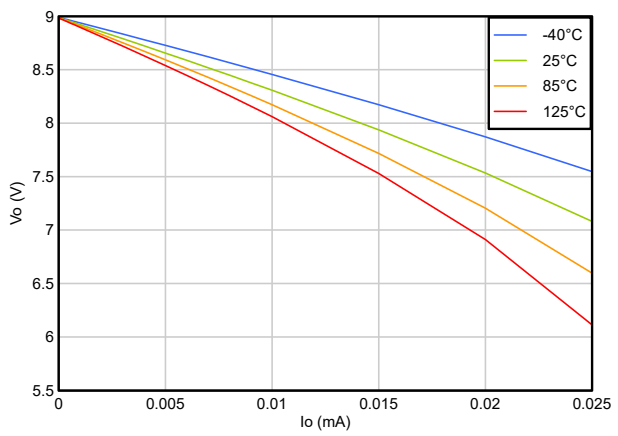
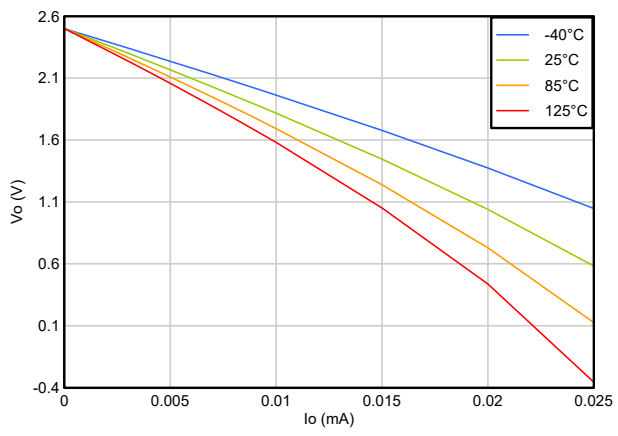


图 5-22. 输入偏置电流与温度间的关系



V_S = ±9V

图 5-23. 输出电压摆幅与输出电流（拉电流）间的关系



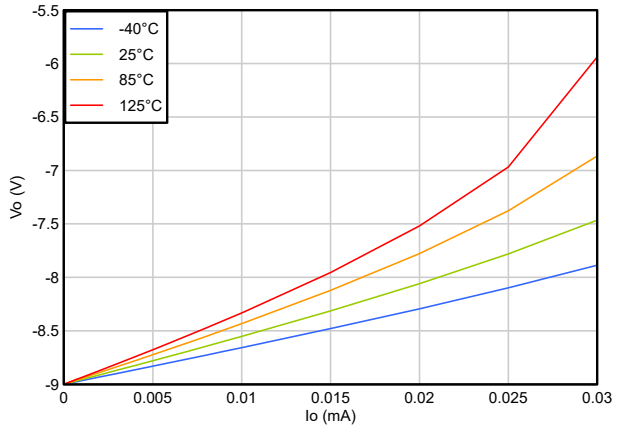
V_S = ±2.5V

图 5-24. 输出电压摆幅与输出电流（拉电流）间的关系

Copyright © 2025 Texas Instruments Incorporated

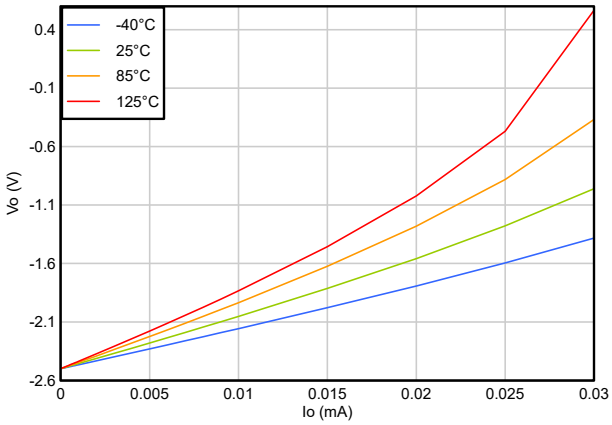
5.8 典型特性（续）

在 T_A = 25°C 时，V_S = ±9V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ（除非另有说明）



V_S = ±9V

图 5-25. 输出电压摆幅与输出电流（灌电流）间的关系



V_S = ±2.5V

图 5-26. 输出电压摆幅与输出电流（灌电流）间的关系

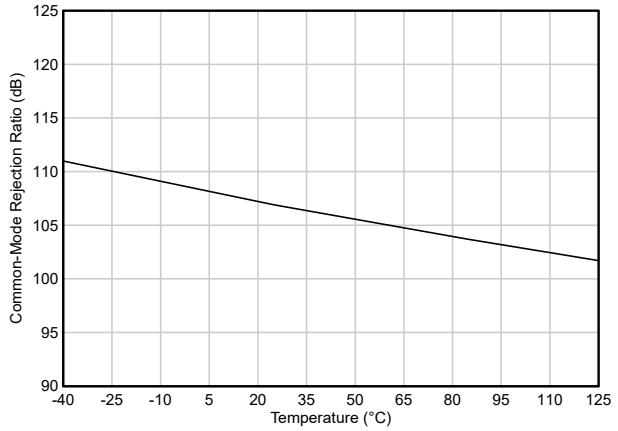


图 5-27. 共模抑制比与温度间的关系

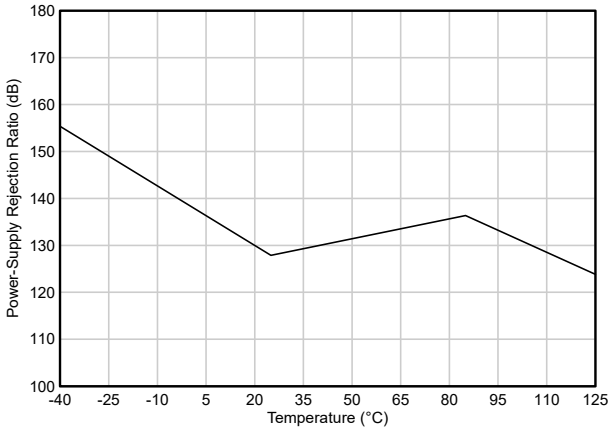


图 5-28. 电源抑制比与温度间的关系

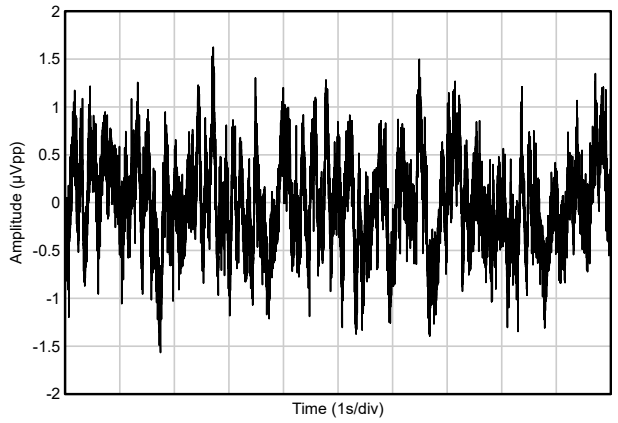
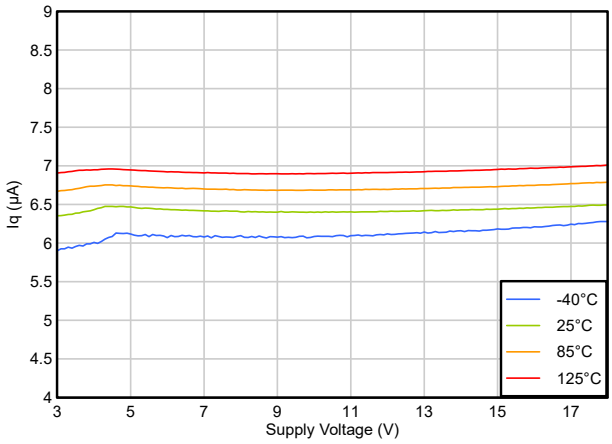


图 5-29. 0.1Hz 至 10Hz 集成电压噪声



V_{CM} = V –

图 5-30. 静态电流与电源电压间的关系

Copyright © 2025 Texas Instruments Incorporated

5.8 典型特性（续）

在 T_A = 25°C 时，V_S = ±9V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ（除非另有说明）

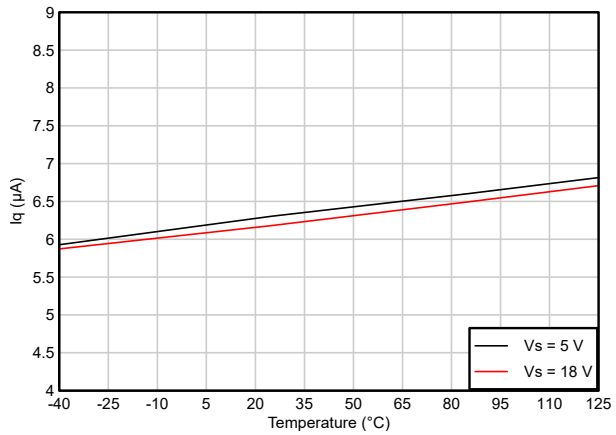


图 5-31. 静态电流与温度间的关系

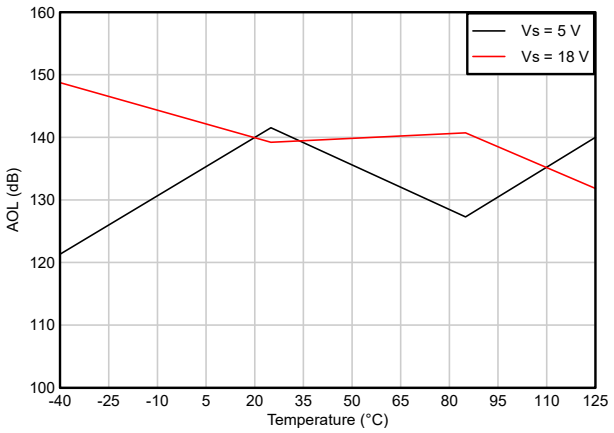
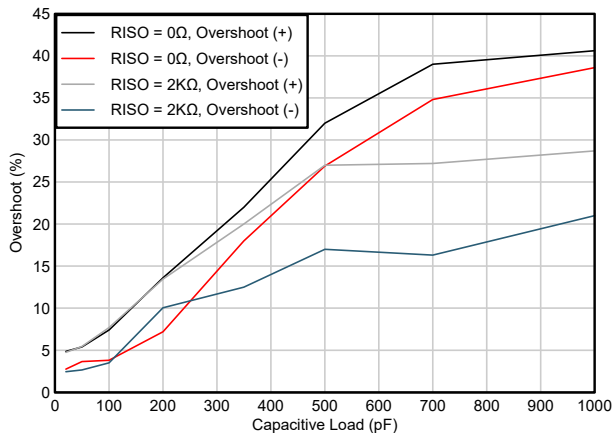
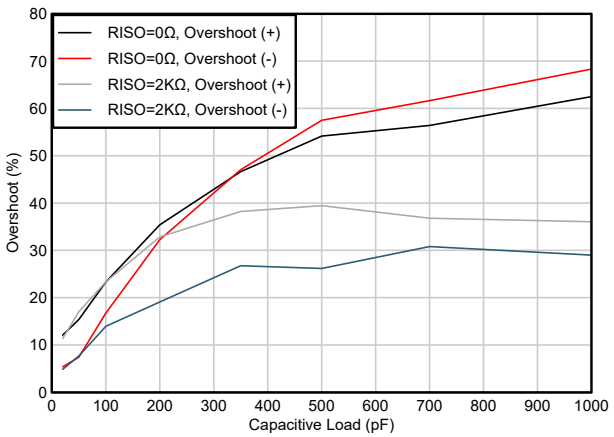


图 5-32. 开环增益与温度间的关系



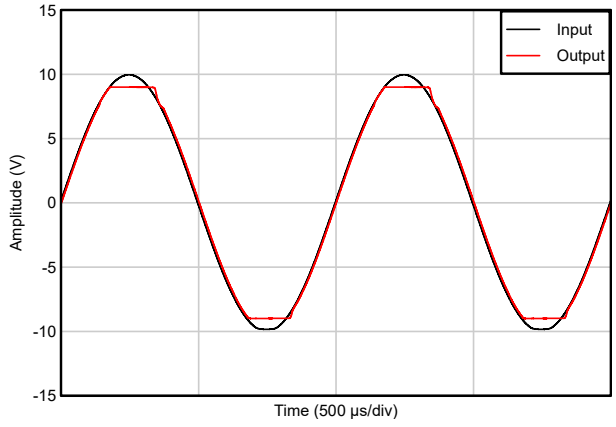
G = 1，V_{OUT} = 10mV_{PP}

图 5-33. 小信号过冲与容性负载间的关系



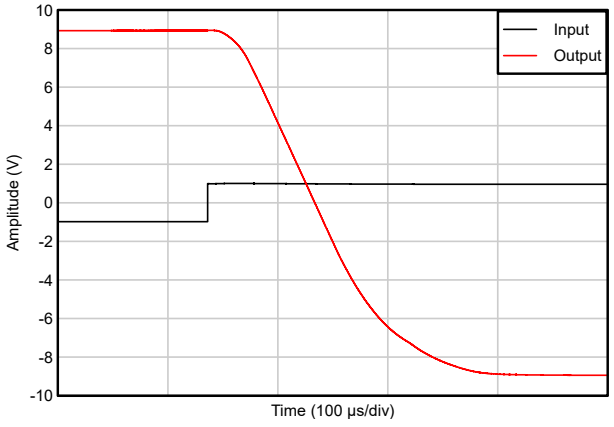
G = -1，V_{OUT} = 10mV_{PP}

图 5-34. 小信号过冲与容性负载间的关系



V_S = ±9V，V_{IN} = ±10V

图 5-35. 无相位反转



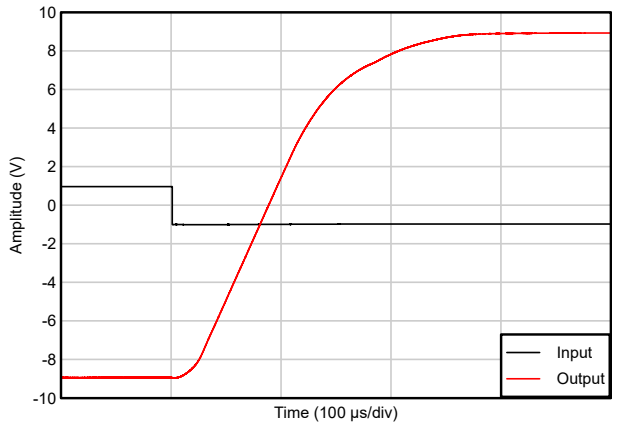
G = -10

图 5-36. 过载恢复（正）

Copyright © 2025 Texas Instruments Incorporated

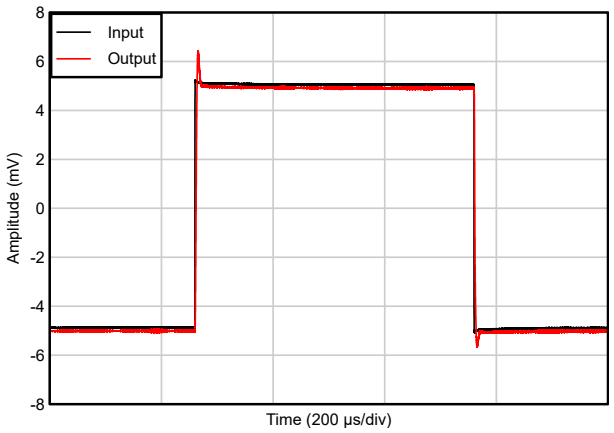
5.8 典型特性（续）

在 T_A = 25°C 时，V_S = ±9V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ（除非另有说明）



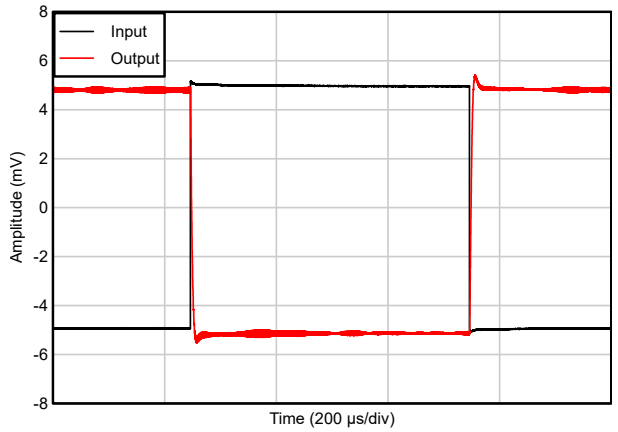
G = -10

图 5-37. 过载恢复（负）



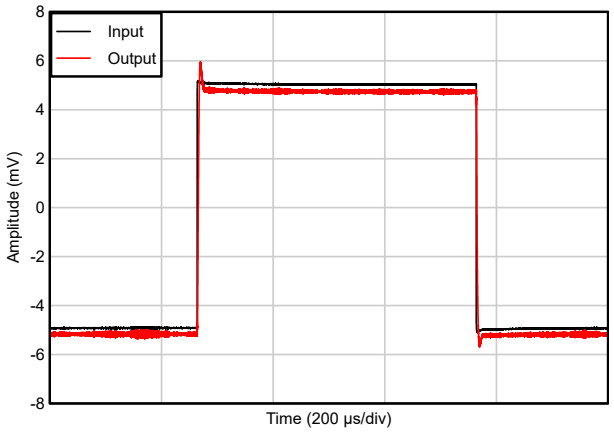
G = 1，V_S = 5V，V_{IN} = 10mV_{PP}

图 5-38. 小信号阶跃响应



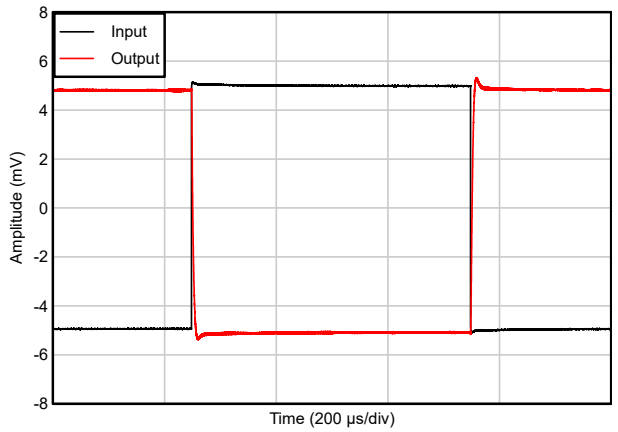
G = -1，V_S = 5V，V_{IN} = 10mV_{PP}

图 5-39. 小信号阶跃响应



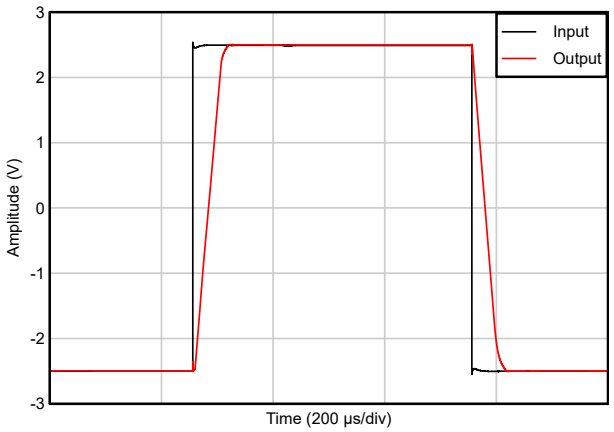
G = 1，V_S = 18V，V_{IN} = 10mV_{PP}

图 5-40. 小信号阶跃响应



G = -1，V_S = 18V，V_{IN} = 10mV_{PP}

图 5-41. 小信号阶跃响应



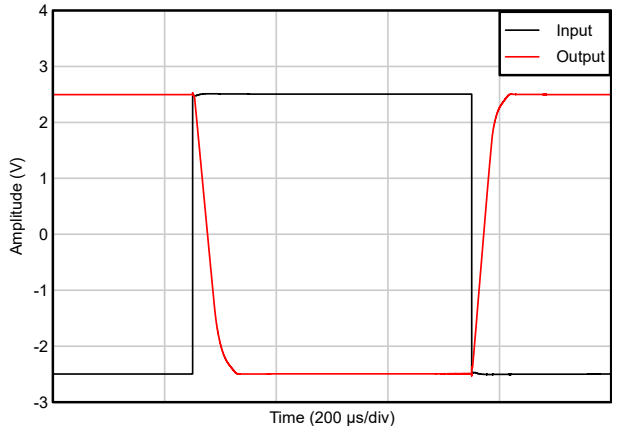
G = 1，V_{IN} = 5V_{PP}

图 5-42. 大信号阶跃响应

Copyright © 2025 Texas Instruments Incorporated

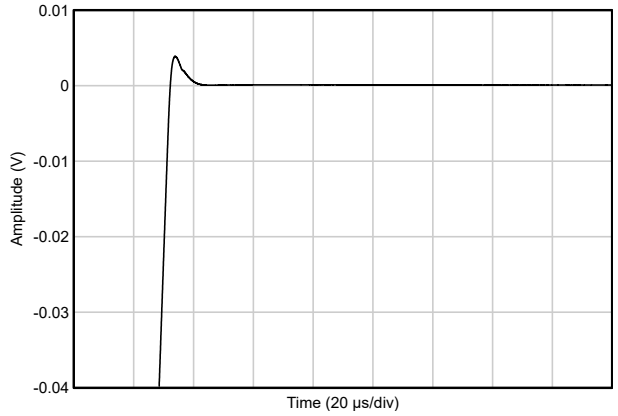
5.8 典型特性（续）

在 T_A = 25°C 时，V_S = ±9V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ（除非另有说明）



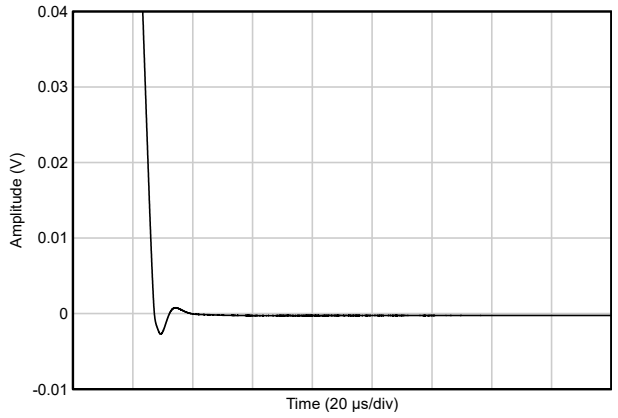
G = -1，V_{IN} = $5V_{PP}$

图 5-43. 大信号阶跃响应



V_{IN} = $5V_{PP}$

图 5-44. 稳定时间（正）



V_{IN} = $5V_{PP}$

图 5-45. 稳定时间（负）

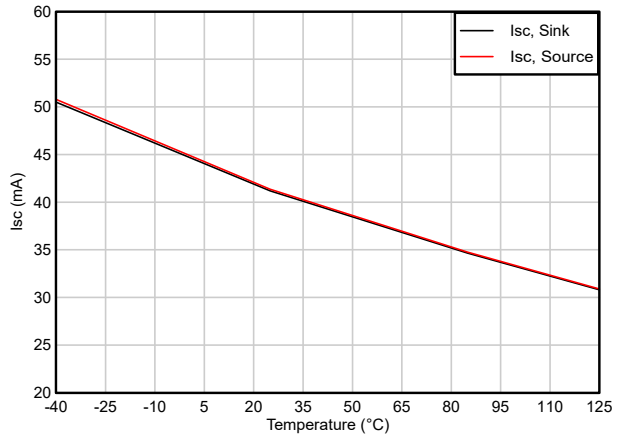


图 5-46. 短路电流与温度间的关系

Copyright © 2025 Texas Instruments Incorporated

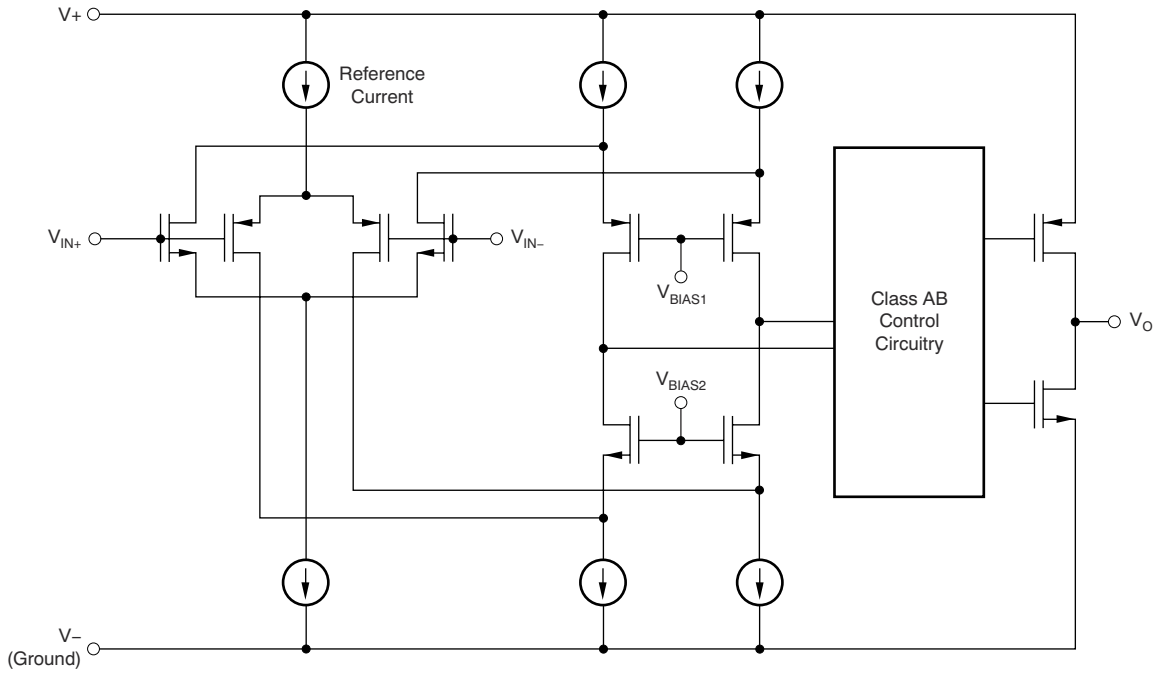
6 详细说明

6.1 概述

TLV914x 系列（TLV9141、TLV9142 和 TLV9144）是高压 (18V) 通用运算放大器系列。

TLV914x 属于低功耗系列器件，每个通道的静态电流为 7μA。这些器件还具有出色的直流精度，包括轨到轨输入/输出、低失调电压（典型值为 ±265μV）和低温漂（典型值为 ±0.2μV/°C）。这些器件还具有 125kHz 的增益带宽积和 3.4μV 峰峰值的低 1/f 闪烁噪声（0.1Hz 至 10Hz）。这些出色的交流和直流参数使 TLV914x 成为一款适用于高电压工业应用、极其灵活且稳定可靠的高性能运算放大器。

6.2 功能方框图



Copyright © 2025 Texas Instruments Incorporated

6.3 特性说明

6.3.1 输入保护电路

TLV914x 使用特殊的输入架构来消除对输入保护二极管的需求，但在瞬态情形下仍能提供可靠的输入保护。可以通过快速瞬态阶跃响应来激活图 6-1 中所示的常规输入二极管保护方案，但由于存在交流电路径，这将引入信号失真和稳定延时时间，如图 6-2 所示。对于低增益电路，这些快速斜向输入信号前向偏置背对背二极管，这会导致输入电流增加，进而使稳定时间延长。

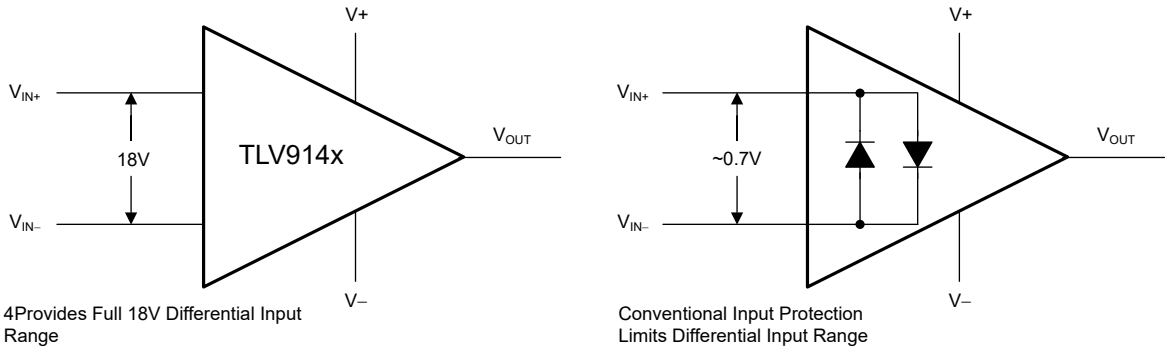


图 6-1. TLV914x 输入保护不限制差分输入能力

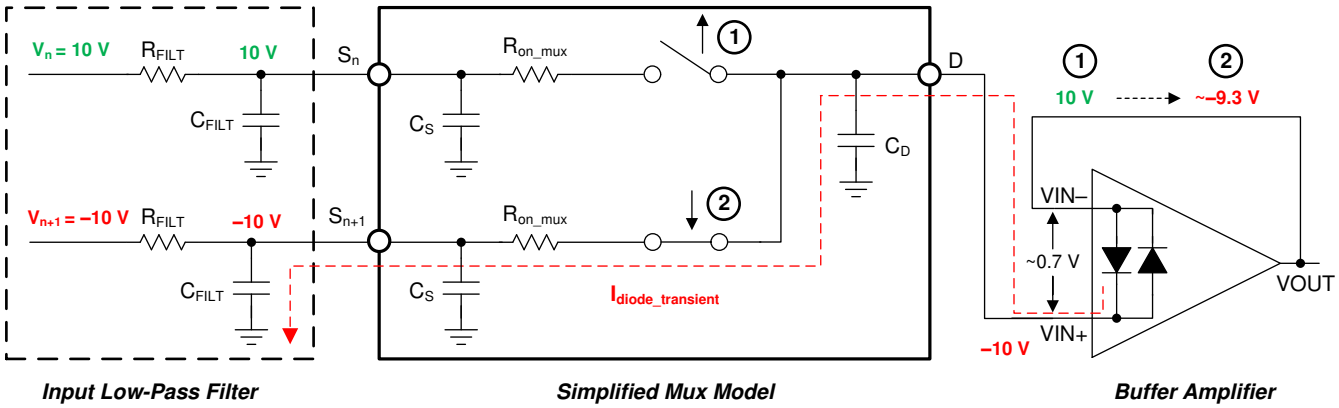


图 6-2. 背对背二极管造成稳定问题

TLV914x 系列运算放大器采用专利输入保护架构，为高压应用提供了真正的高阻抗差分输入能力，不会引入额外的信号失真或延迟的稳定时间，因此该器件非常适合用于多通道、高开关输入应用。TLV914x 能够承受高达 18V 的最大差分摆幅（运算放大器的反相和同相引脚之间的电压），因此该器件适合用于开环配置。有关详细信息，请参阅*支持多路复用器的精密运算放大器*应用简报。

6.3.2 共模电压范围

TLV914x 是一款 18V 的真正轨到轨输入运算放大器，其输入共模范围扩展到两个电源轨。此宽范围通过并联互补的 PMOS 和 NMOS 差分输入对实现，如图 6-3 所示。当输入电压接近正电源轨（通常从 (V+) – 1V 至正电源）时，NMOS 对有效。当输入电压为负电源电压到大约 (V+) – 2V 时，PMOS 对处于激活状态。有一个小转换区域，多通道通常介于 (V+) – 2V 至 (V+) – 1V 之间，在这个区间内两个输入对都打开。此转换区域会随工艺不同而略有波动。在此区域内，与在该区域外运行相比，PSRR、CMRR、失调电压、温漂、噪声和 THD 性能可能会下降。

图 5-17 更详细地显示了典型器件在输入电压失调方面的转换区域。

有关共模电压范围和互补对相互作用的更多信息，请参阅*具有互补对输入级的运算放大器：设计有哪些取舍？*模拟设计期刊。

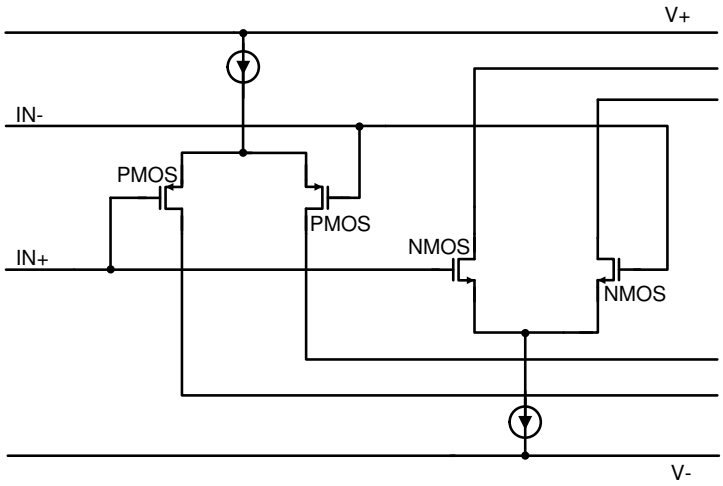


图 6-3. 轨到轨输入级

6.3.3 EMI 抑制

TLV914x 通过集成电磁干扰 (EMI) 滤波降低无线通信设备、混合使用模拟信号链和数字元件的高密度电路板等干扰源产生的 EMI 效应。利用电路设计技术可以提高 EMI 抗扰度；TLV914x 从这些设计改进中受益。德州仪器 (TI) 已具备在 10MHz 至 6GHz 宽频谱范围内准确测量和量化运算放大器抗扰度的能力。表 6-1 提供了 TLV914x 在实际应用中通常会遇到的特定频率下的 EMIRR IN+ 值。*运算放大器的 EMI 抑制比*应用报告包含了 EMIRR 性能相关主题以及 EMIRR 与运算放大器之间的关系，该报告可从 www.ti.com 上下载。

Copyright © 2025 Texas Instruments Incorporated

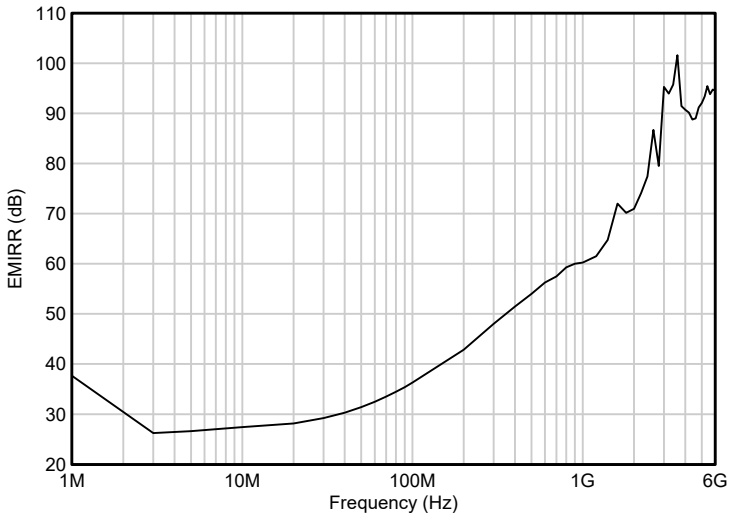


图 6-4. EMIRR 测试

表 6-1. TLV914x 在目标频率下的 EMIRR IN+

频率	应用或分配	EMIRR IN+
400MHz	移动无线广播、移动卫星、太空操作、气象、雷达、超高频 (UHF) 应用	50.0dB
900MHz	全球移动通信系统 (GSM) 应用、无线电通信、导航、GPS（最高可达 1.6GHz）、GSM、航空移动通信及 UHF 应用	56.3dB
1.8GHz	GSM 应用、个人移动通信、宽带、卫星和 L 波段（1GHz 至 2GHz）	65.6dB
2.4GHz	802.11b、802.11g、802.11n、Bluetooth®、个人移动通信、工业、科学和医疗 (ISM) 无线频段、业余无线电通信和卫星、S 波段（2GHz 至 4GHz）	70.0dB
3.6GHz	无线电定位、航空通信和导航、卫星、移动通信、S 波段	78.9dB
5GHz	802.11a、802.11n、航空通信和导航、移动通信、太空和卫星运行、C 波段（4GHz 至 8GHz）	91.0dB

6.3.4 反相保护

TLV914x 系列具有内部相位反转保护功能。当输入驱动超出线性共模范围时，许多运算放大器会发生相位反转。这是同相电路中输入驱动超出额定共模电压范围时的最常见的现象，会导致输出反向进入相对的电源轨。TLV914x 是一款轨到轨输入运算放大器；因此，共模范围可扩展至电源轨。电源轨之外的输入信号不会导致相位反转；相反，输出限制在适当的电源轨中。 图 6-5 中展示了这个特性。有关相位反转的更多信息，请参阅*具有互补对输入级的运算放大器：设计有哪些取舍？*模拟设计期刊。

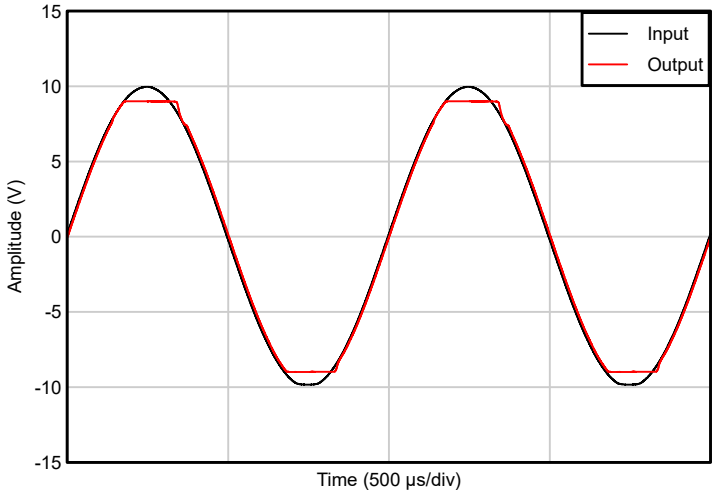


图 6-5. 无相位反转

Copyright © 2025 Texas Instruments Incorporated

6.3.5 电过应力

设计人员常常会问到有关运算放大器承受电气过应力 (EOS) 的能力的问题。这些问题侧重于器件输入，同时也会涉及电源引脚甚至输出引脚。这些不同引脚功能的每一个功能具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气过载限值。此外，这些电路均内置内部静电放电 (ESD) 保护功能，可在产品组装之前和组装过程中保护电路不受意外 ESD 事件的影响。

能够充分了解该基本 ESD 电路及其与电气过载事件的关联性会有所帮助。图 6-6 展示了 TLV914x 中包含的 ESD 电路（用虚线区域指示）。ESD 保护电路涉及从输入和输出引脚连接并路由回内部供电线路的数个导流二极管，其中二极管在吸收器件或电源 ESD 单元（运算放大器的内在部分）处相接。该保护电路在电路正常工作时处于未运行状态。

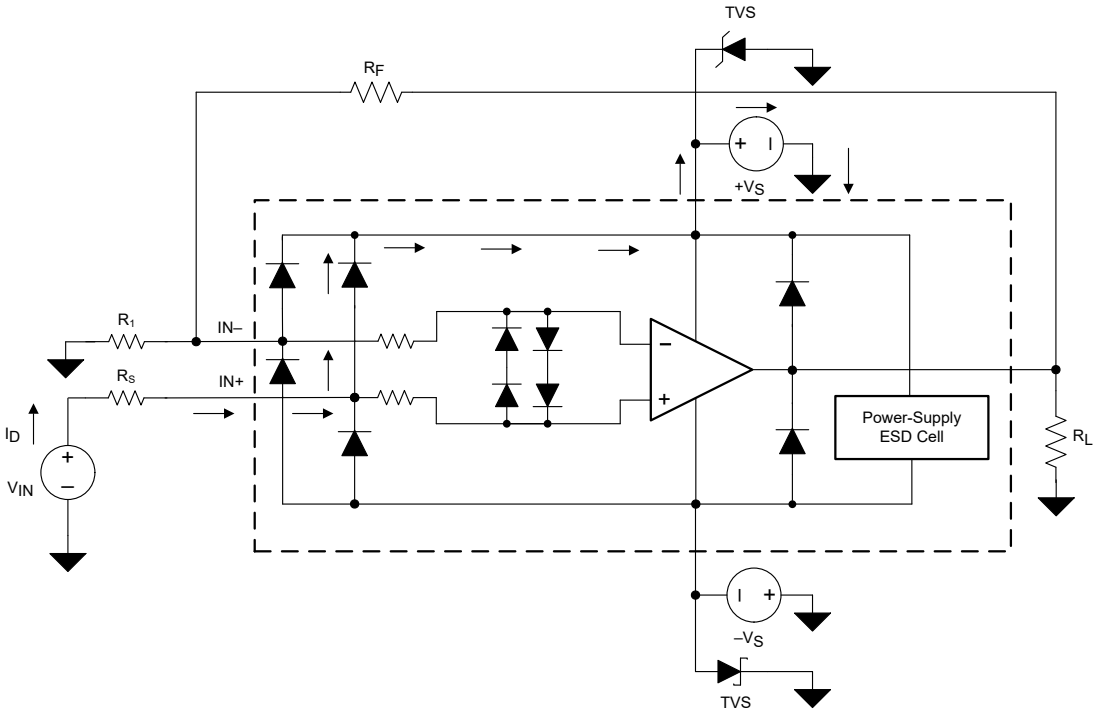


图 6-6. 与典型电路应用相关的等效内部 ESD 电路

ESD 事件可产生短时高电压脉冲，随后在通过半导体器件放电时转换为短时高电流脉冲。ESD 保护电路设计在运算放大器核心周围，旨在为其提供电流路径，以防止造成损坏。保护电路吸收的能量将以热量形式耗散。

当两个或更多个放大器器件终端上产生 ESD 电压时，电流将流经一个或多个导流二极管。根据电流所选路径，该路径上的吸收器件可能激活。吸收器件具有触发器或阈值电压，该电压高于 TLV914x 的正常工作电压，但低于器件击穿电压。超出该阈值后，吸收器件会迅速激活并将电源轨两端电压稳定在安全水平。

当运算放大器接入某个电路（如图 6-6 中所示）时，ESD 保护元件将保持未激活状态并且不会参与应用电路的运行。不过，如果施加的电压超出指定终端的工作电压范围，可能会引起一些问题。如果出现这种情况，部分内部 ESD 保护电路可能处于导通状态并传导电流。此类电流将流经导流二极管路径，但很少涉及吸收器件。

图 6-6 给出了一个具体示例，其中输入电压 V_{IN} 高于正电源电压 ($+V_S$) 500mV 甚至更多。电路中将发生的具体情况取决于电源特性。如果 $+V_S$ 能够吸收电流，那么上面的一个输入钳位二极管就会导通，并将电流传导至 $+V_S$。越来越高的 V_{IN} 会带来过高的电流。因此，数据表规范建议将应用的输入电流限制为 10mA。

如果电源无法吸收电流，V_{IN} 会开始将电流拉至运算放大器，然后作为正电源电压源进行接管。这种情况比较危险，因为该电压可能会超出运算放大器的绝对最大额定值。

另一个常见问题是，如果在电源 $+V_S$ 或 $-V_S$ 为 0V 时向输入施加一个输入信号，放大器将如何响应。同样，此问题取决于电源在 0V 或低于输入信号幅值时的特性。如果电源呈现高阻抗状态，输入源通过电流驱动二极管提供运算放大器电流。但该状态并非正常偏置条件，放大器极有可能无法正常工作。如果电源表现为低阻态，则通过钳位二极管的电流将变得非常大。电流水平取决于输入源的供电能力以及输入路径中的所有电阻。

如果不确定电源对该电流的吸收能力，可在电源终端处外接齐纳二极管；请参阅图 6-6。选择齐纳电压可确保二极管不会在正常运行过程中导通。不过，齐纳电压必须足够低，以便齐纳二极管在电源终端电压上升至超过安全工作电源电压水平时导通。

TLV914x 输入端子由背对背二极管提供保护，不会因差分电压过大而受损；请参阅图 6-6。在多数电路应用中，输入保护电路并不产生实际影响。但在低增益或 G = 1 的电路中，快速斜升的输入信号会导致这些二极管发生正向偏置。原因是放大器输出对于这种输入斜升变化的响应速度较慢。如果输入信号的变化速度足以实现上述正向偏置，则输入信号电流应限制在 10mA 或更低。如果未对输入信号电流进行限定，可使用输入串联电阻限制输入信号电流。该输入串联电阻会降低 TLV914x 的低噪声性能。图 6-6 展示了实现限流反馈电阻器的示例配置。

6.3.6 过载恢复

过载恢复的定义是运算放大器输出从饱和状态恢复到线性状态所需的时间。当输出电压由于高输入电压或高增益而超过额定工作电压时，运算放大器的输出器件进入饱和区。器件进入饱和区后，输出器件中的电荷载体需要时间返回到线性状态。当电荷载体返回到线性状态时，器件开始以指定的压摆率进行转换。因此，过载时的传播延迟等于过载恢复时间与转换时间的总和。TLV914x 的过载恢复时间约为 400ns。

Copyright © 2025 Texas Instruments Incorporated

6.3.7 典型规格与分布

设计人员经常会对放大器的典型规格提出质疑，以便设计出更稳健的电路。由于工艺技术和制造过程上存在自然差异，因此放大器的每种规格都与预期值存在一定的偏差，例如放大器的输入失调电压。这些偏差通常遵循*高斯*（*钟形曲线*）或*正态*分布，即使*电气特性*表格中没有最小值或最大值规格，电路设计人员也可以利用此信息来确定其系统的限值空间。

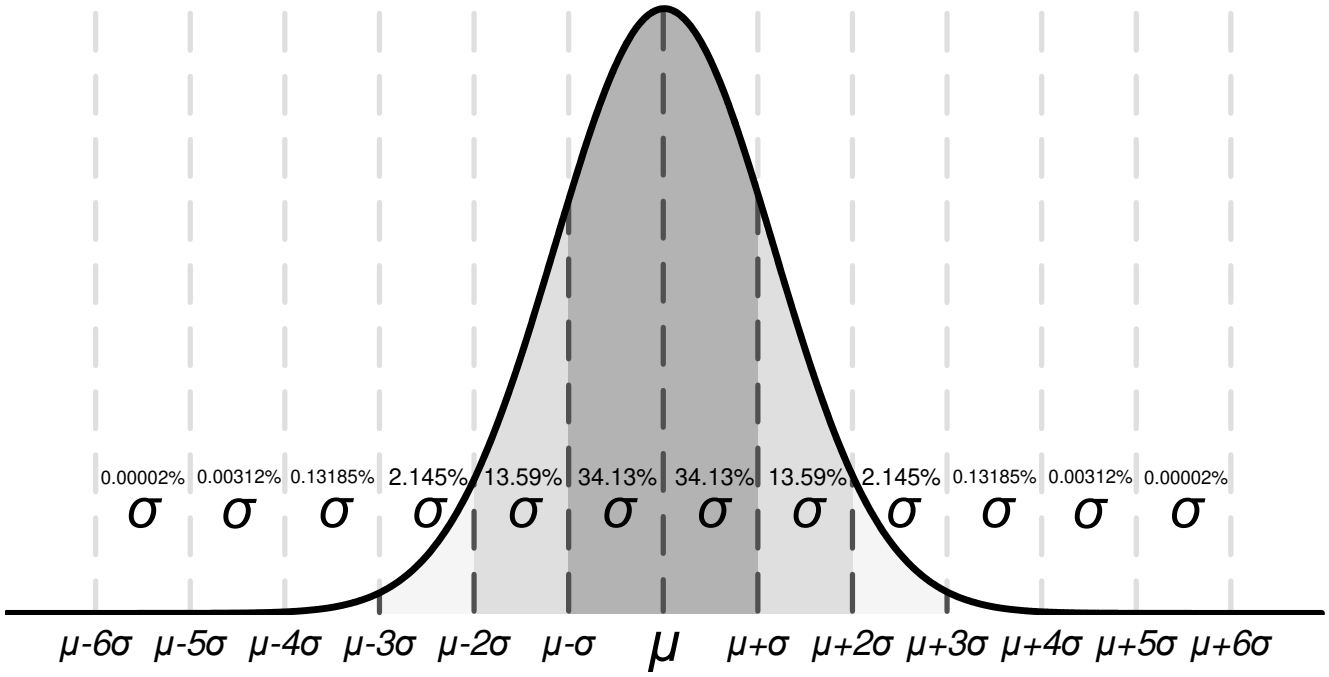


图 6-7. 高斯分布

图 6-7 展示了一个分布示例，其中 *μ* 或 *mu* 是分布的均值，而 *σ* 或 *sigma* 是系统的标准偏差。对于表现出这种分布的规格，可以预期所有器件中大约三分之二 (68.26%) 器件的值落在平均值的标准偏差或一 σ 内（从 *μ* – *σ* 到 *μ*+ *σ*）。

根据具体规格，*电气特性*表中*典型值*一列中列出的值会以多种不同的方式表示。根据一般经验法则，如果规格本身具有非零均值（例如增益带宽），那么典型值等于均值 (μ)。然而，如果规格本身具有接近于零（例如输入失调电压）的均值，那么典型值等于均值加上一个标准偏差 (μ + σ)，这样才能最为准确地表示典型值。

设计人员可以使用此图表来计算器件中某个规格的近似概率；例如，对于 TLV914x，典型的输入电压失调值为 265μV。因此，预计所有 TLV914x 器件中有 68.2% 的器件具有 -265μV 至 +265μV 的失调电压。在 4 *σ* (±800μV) 条件下，分布的 99.9937% 都具有小于 ±1mV 的失调电压，这意味着总体的 0.0063% 位于这些限值之外，相当于 15,873 个器件有 1 个器件超出该限值。

在最小值或最大值列中具有值的规格由 TI 测试（除非另有说明），超过这些限值的器件会从生产材料中剔除。例如，TLV914x 系列在 25°C 条件下的最大失调电压为 1mV，但 TI 会从生产材料中剔除失调电压大于 1mV 的器件。

Copyright © 2025 Texas Instruments Incorporated

对于最小值或最大值列中没有值的规格，可考虑为设计人员应用选择 1σ 值的足够限值空间，并使用此值进行最坏情况下的设计。例如，6σ 值相当于约 5 亿个器件中有 1 个器件，发生的可能性微乎其微，可以作为一个宽限值空间选项来设计系统。在这种情况下，TLV914x 产品系列在失调电压漂移上没有最大值和最小值。但根据*电气特性* 表格中 0.2µV/°C 的典型值，失调电压漂移的 6σ 值的预期最大值约为 1.2µV/°C。在为最坏情况的系统条件进行设计时，可以使用该值来估计整个温度范围内的最坏失调电压，而不用知道实际的最小值或最大值。

请注意，随着时间的推移，工艺差异和调整会改变典型的平均值和标准偏差，除非最小值或最大值规格列中给出了值，否则 TI 无法保证器件的最高性能。仅使用此信息来估算器件的性能。

6.4 器件功能模式

TLV914x 具有单一功能模式，可在电源电压大于或等于 2.7V (±1.35V) 时工作。TLV914x 的最大电源电压为 18V (±9V)。

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

TLV914x 系列提供了出色的直流精度和交流性能。这些器件的工作电压高达 18V，并提供真正的轨到轨输入和输出、低失调电压、失调电压漂移以及 125kHz 带宽和高输出驱动。这些特性使 TLV914x 成为一款适用于高电压工业应用且稳定可靠的高性能运算放大器。

7.2 典型应用

7.2.1 低侧电流测量

图 7-1 展示了低侧电流检测应用中配置的 TLV9141。有关图 7-1 中所示电路的全面分析，包括理论、计算、模拟和测量数据，请参阅 TI 精密设计 TIPD129 *0A 至 1A 单电源低侧电流检测解决方案*。

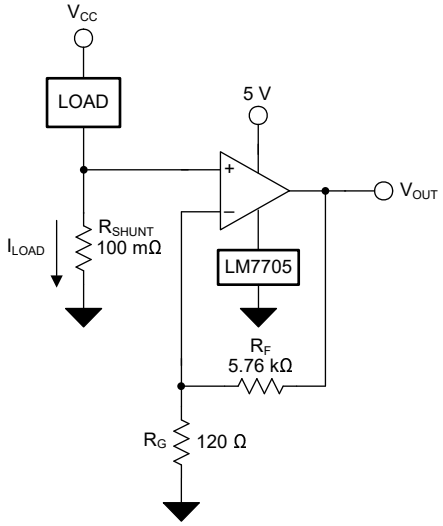


图 7-1. 低侧电流检测应用中的 TLV914x

7.2.1.1 设计要求

针对此设计的设计要求如下：

- 负载电流：0A 至 1A
- 最大输出电压：4.9V
- 最大分流电压：100mV

7.2.1.2 详细设计过程

方程式 1 提供了图 7-1 中的电路传递函数：

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times Gain \quad (1)$$

负载电流 (I_{LOAD}) 在分流电阻器 (R_{SHUNT}) 上产生压降。负载电流设置为 0A 至 1A。为了在最大负载电流下保持分流电压低于 100mV，使用方程式 2 定义了最大分流电阻：

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100mV}{1A} = 100m\Omega \quad (2)$$

使用方程式 2 计算出的 R_{SHUNT} 为 100mΩ。I_{LOAD} 和 R_{SHUNT} 产生的压降由 TLV9141 放大，从而产生 0V 至 4.9V 的输出电压。TLV9141 产生必要输出电压时所需的增益根据方程式 3 算出：

$$Gain = \frac{(V_{OUT_MAX} - V_{OUT_MIN})}{(V_{IN_MAX} - V_{IN_MIN})} \quad (3)$$

使用方程式 3 计算出的所需增益为 49V/V，该值由电阻器 R_F 和 R_G 设置。方程式 4 用于调整电阻器 R_F 和 R_G 的大小，从而将 TLV9141 的增益设置为 49V/V。

$$Gain = 1 + \frac{(R_F)}{(R_G)} \quad (4)$$

将 R_F 选为 5.76kΩ 时，R_G 计算得出为 120Ω。R_F 和 R_G 被选定为 5.76kΩ 和 120Ω，因为这两个是标准值电阻器，可产生 49:1 的比率。也可以使用可产生 49:1 的比率的其他电阻器。但是，电阻器过大会产生超过运算放大器固有噪声的热噪声。图 7-2 展示了图 7-1 所示电路测得的传递函数。

7.2.1.3 应用曲线

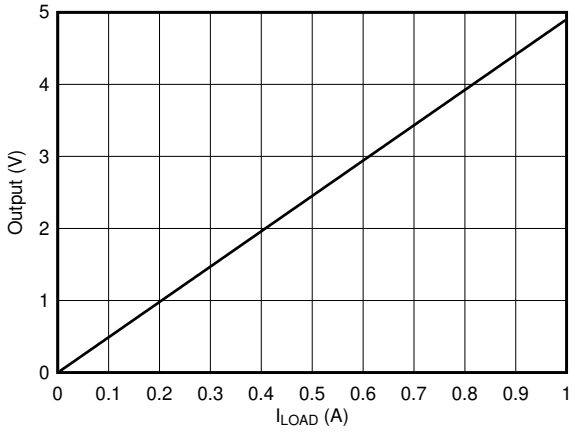


图 7-2. 低侧电流检测传递函数

7.3 电源相关建议

TLV914x 的额定工作电压范围是 2.7V 至 18V（±1.35V 至 ±9V）；多数规格可在 –40°C 至 125°C 的温度范围内适用，或具有特定的电源电压和测试条件。

小心

电源电压超过 20V 会对器件造成损坏；请参阅*绝对最大额定值*。

将 0.1µF 旁路电容器置于电源引脚附近，以减少来自高噪声电源或高阻抗电源的耦合误差。更多有关旁路电容器放置的详细信息，请参阅*布局*。

Copyright © 2025 Texas Instruments Incorporated

7.4 布局

7.4.1 布局指南

为了实现器件的出色工作性能，请采用良好的 PCB 布局实践，包括：

- 噪声可以通过整个电路的电源引脚传播到模拟电路中，并传播到运算放大器。旁路电容器通过在模拟电路局部提供低阻抗电源来减少耦合噪声。
  - 在每个电源引脚和接地端之间连接低等效串联电阻 (ESR) 0.1µF 陶瓷旁路电容器，并尽量靠近器件放置。针对单电源应用，V+ 与接地端之间可以接入单个旁路电容器。
- 将电路中的模拟部分和数字部分单独接地是最简单、最有效的噪声抑制方法之一。多层 PCB 上的一层或多层通常专门用于作为接地平面。接地层有助于散热和减少 EMI 噪声拾取。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流的流动。
- 为了减少寄生耦合，应让输入布线尽可能远离电源或输出布线。如果这些布线无法保持分离，则敏感布线与有噪声布线垂直相交比平行更好。
- 外部元件应尽量靠近器件放置。如图 7-4 所示，使 RF 和 RG 靠近反相输入可更大限度减小寄生电容。
- 尽可能缩短输入布线的长度。切记，输入布线是电路中最敏感的部分。
- 考虑在关键布线周围设定驱动型低阻抗保护环。这样可显著减少附近布线在不同电势下产生的漏电流。
- 为获得卓越性能，建议在组装 PCB 板后进行清洁。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。在执行任何 PCB 水清洁流程之后，建议将 PCB 组件烘干，以去除清洁时渗入器件封装中的水分。大多数情形下，清洁后在 85°C 下低温烘干 30 分钟即可。

7.4.2 布局示例

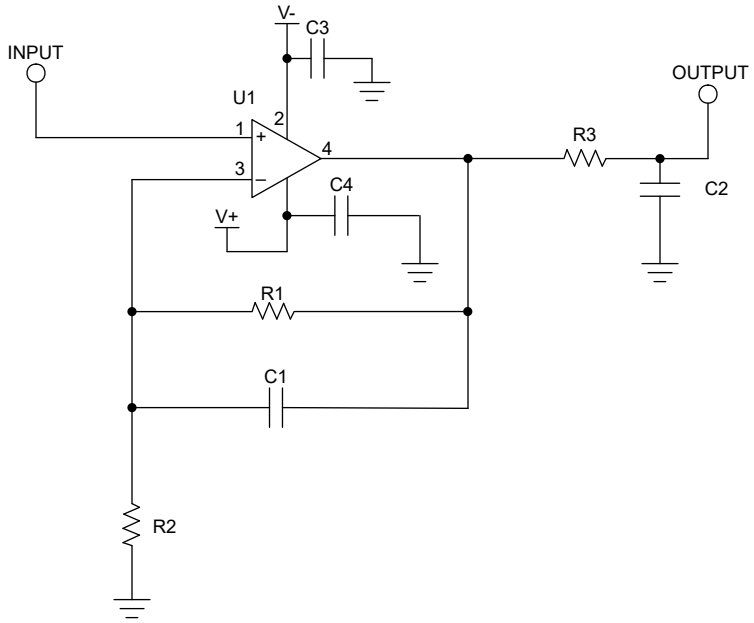


图 7-3. 同相配置布局示例的原理图

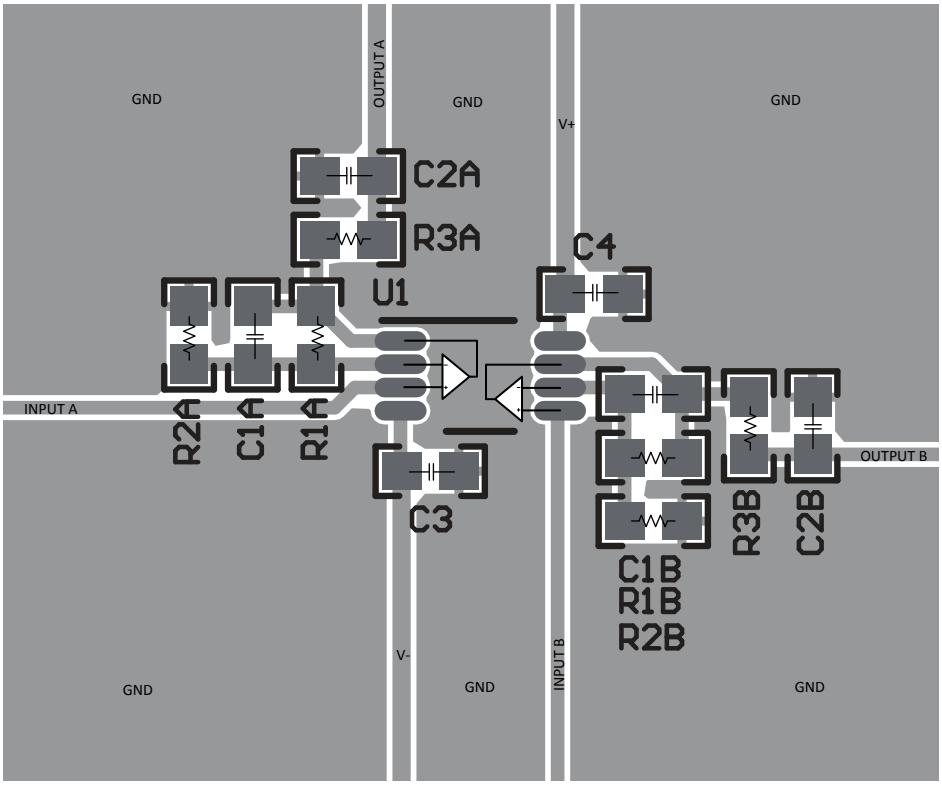


图 7-4. TLV9142 的示例布局

Copyright © 2025 Texas Instruments Incorporated

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

8.1.1.1 TINA-TI™（免费软件下载）

TINA™ 是一款基于 SPICE 引擎的 简单、功能强大且易于使用的电路仿真程序。TINA-TI 是 TINA 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 可通过模拟电子实验室设计中心免费下载，该软件提供了丰富的后处理能力，允许用户以各种方式格式化结果。虚拟仪器提供选择输入波形和探测电路节点、电压以及波形的能力，从而构建一个动态的快速启动工具。

备注

这些文件要求安装 TINA 软件（从 DesignSoft™）或者 TINA-TI 软件。请从 TINA-TI 文件夹中下载免费的 TINA-TI 软件。

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*支持多路复用器的精密运算放大器* 应用简报
- 德州仪器 (TI)，*运算放大器的 EMI 抑制比* 应用手册
- 德州仪器 (TI)，*具有互补对输入级的运算放大器：设计有哪些取舍？*模拟设计期刊
- 德州仪器 (TI)，*0A 至 1A 单电源低侧电流检测解决方案* 设计指南

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.5 商标

TINA-TI™ and TI E2E™ are trademarks of Texas Instruments.
TINA™ and DesignSoft™ are trademarks of DesignSoft, Inc.
Bluetooth® is a registered trademark of Bluetooth SIG, Inc.
所有商标均为其各自所有者的财产。

8.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2025 Texas Instruments Incorporated

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

日期	修订版本	注释
December 2024	*	初始发行版

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV9141IDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	94DBV
TLV9141IDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	94DBV
TLV9141IDR	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	9141ID
TLV9141IDR.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	9141ID
TLV9142IDR	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	9142ID
TLV9142IDR.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	9142ID
TLV9142IPWR	Active	Production	TSSOP (PW) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	9142PW
TLV9142IPWR.A	Active	Production	TSSOP (PW) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	9142PW
TLV9144IDR	Active	Production	SOIC (D) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV9144IDR
TLV9144IDR.A	Active	Production	SOIC (D) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV9144IDR
TLV9144IN	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	9144IN
TLV9144IN.A	Active	Production	PDIP (N) | 14	25 | TUBE	Yes	NIPDAU	N/A for Pkg Type	-40 to 125	9144IN
TLV9144IPWR	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	9144PW
TLV9144IPWR.A	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	9144PW

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

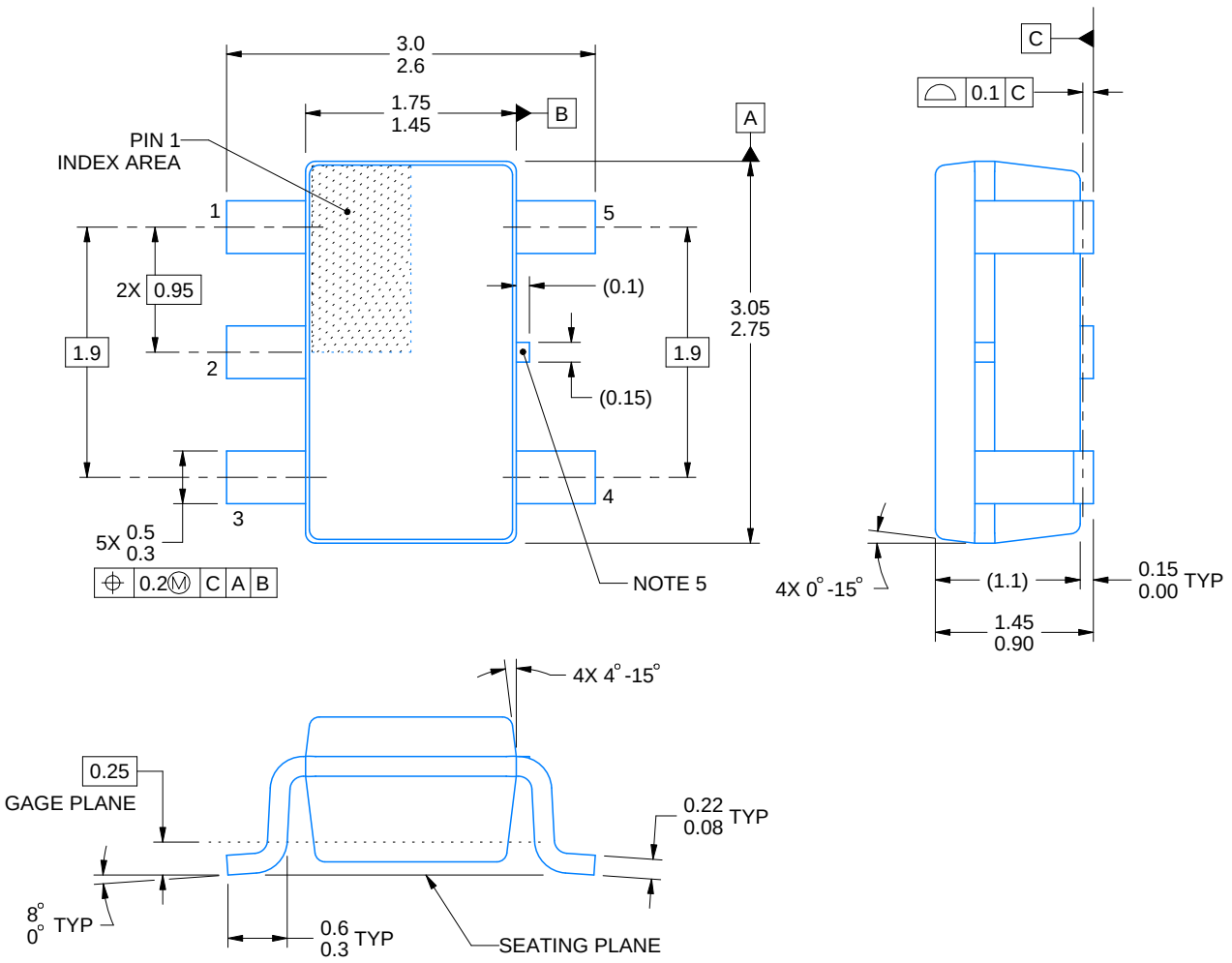
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

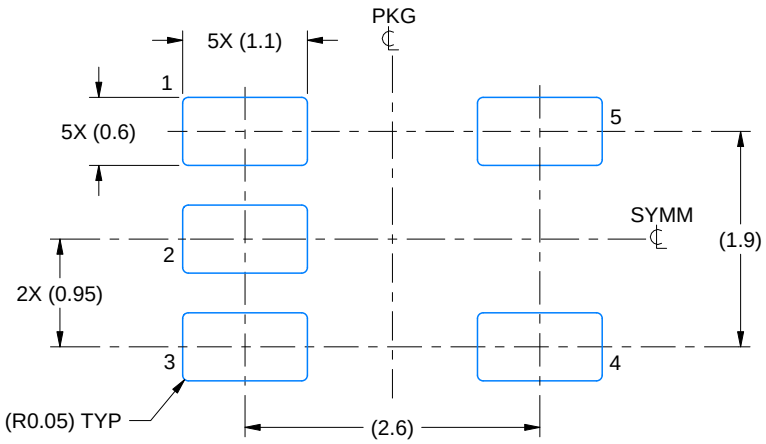
SMALL OUTLINE TRANSISTOR



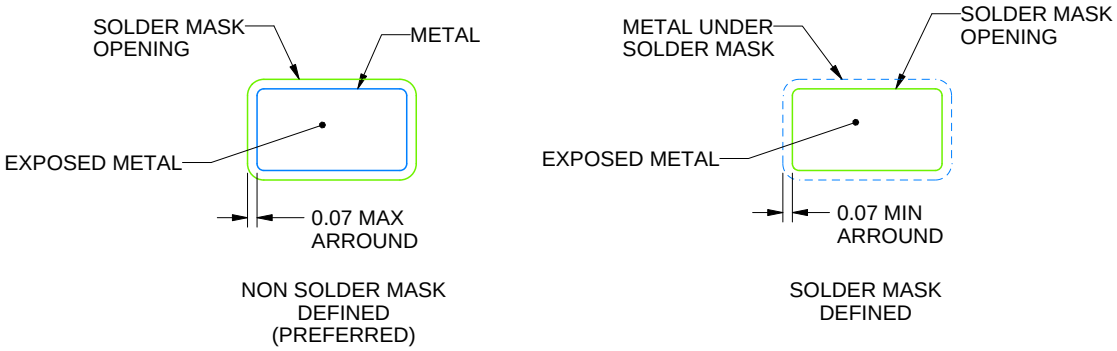
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

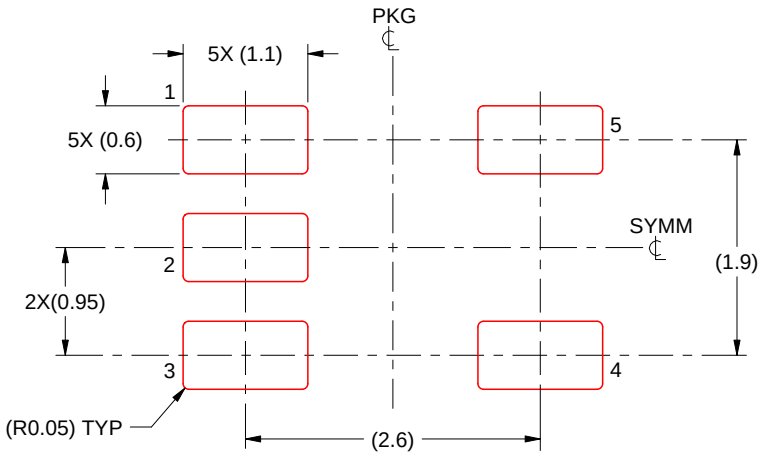


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

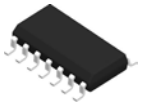


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

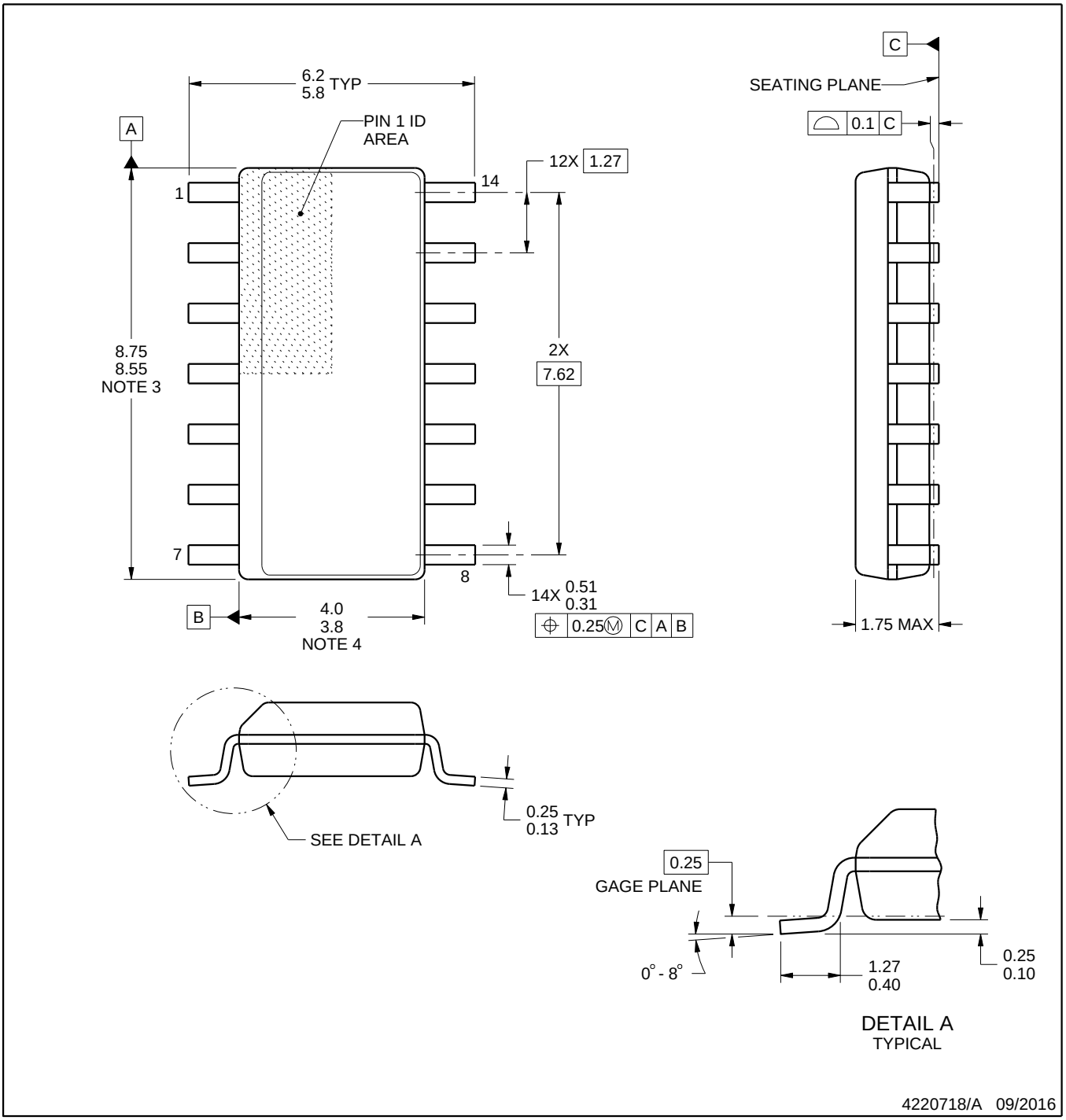


PACKAGE OUTLINE

D0014A

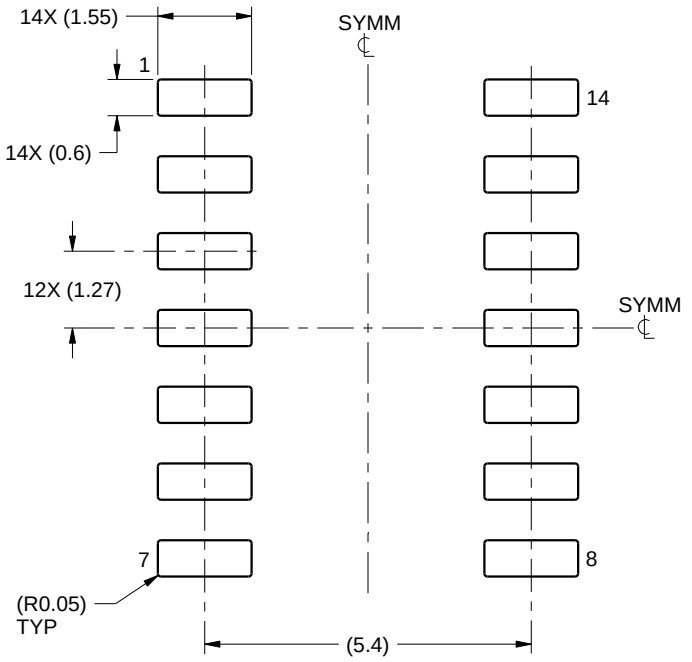
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

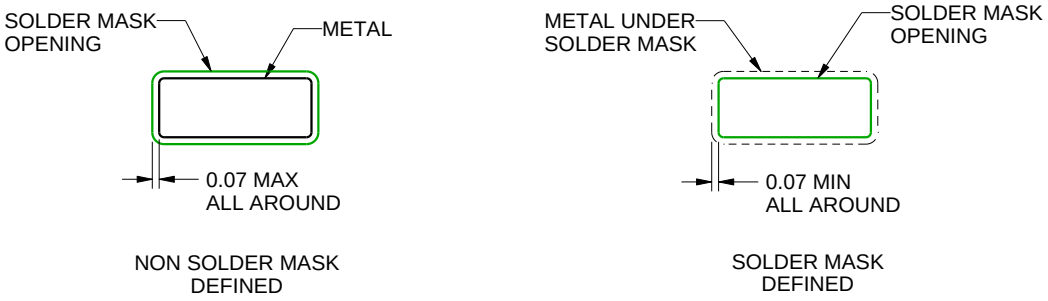


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

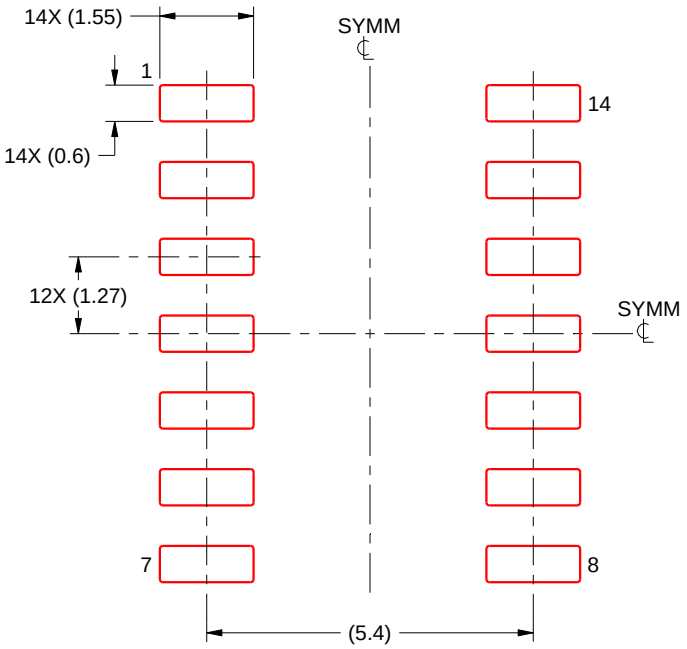
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

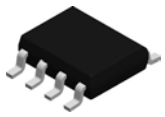


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

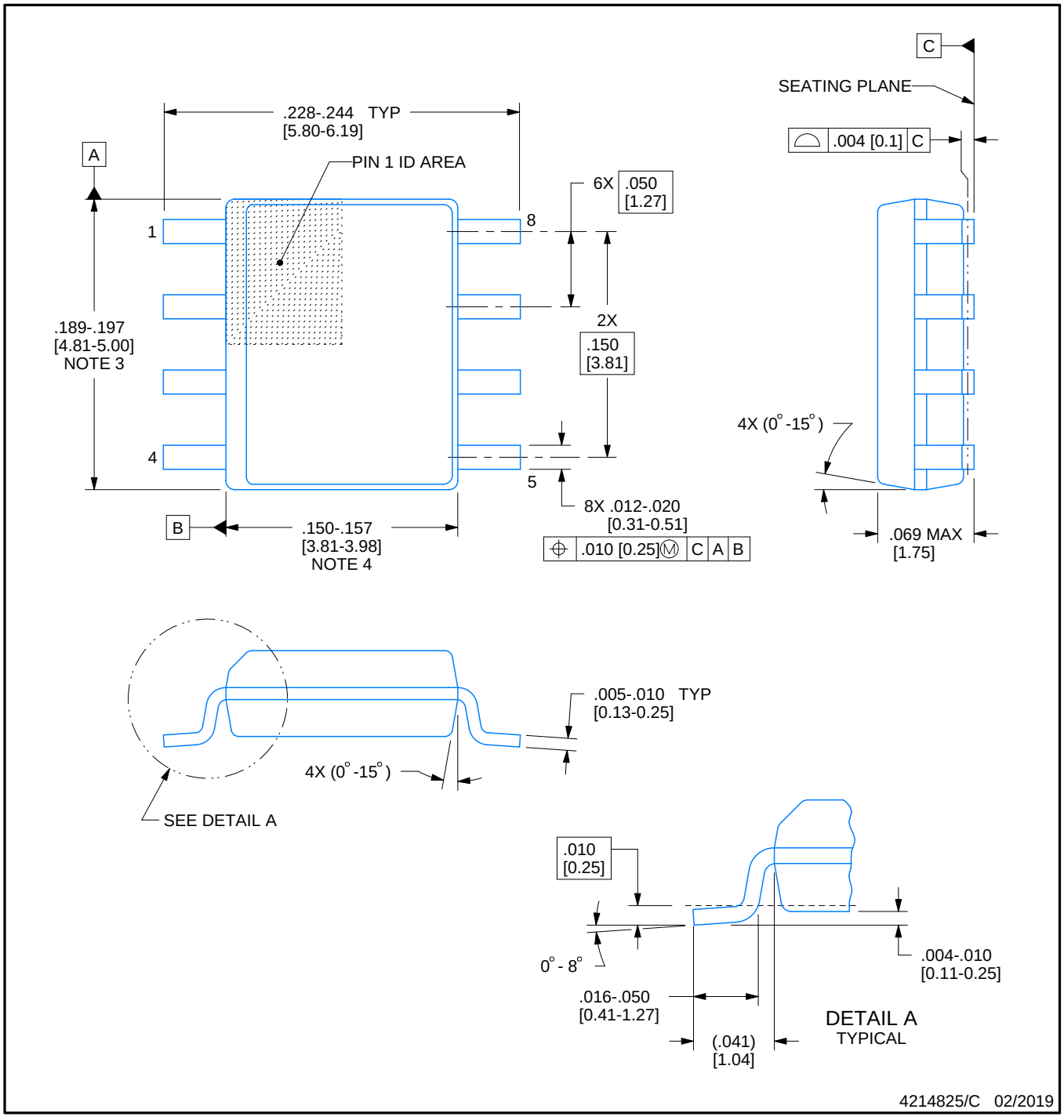


PACKAGE OUTLINE

D0008A

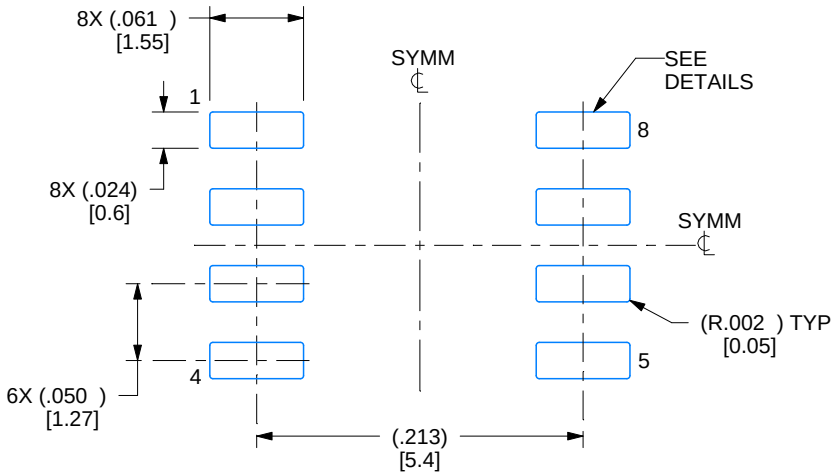
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

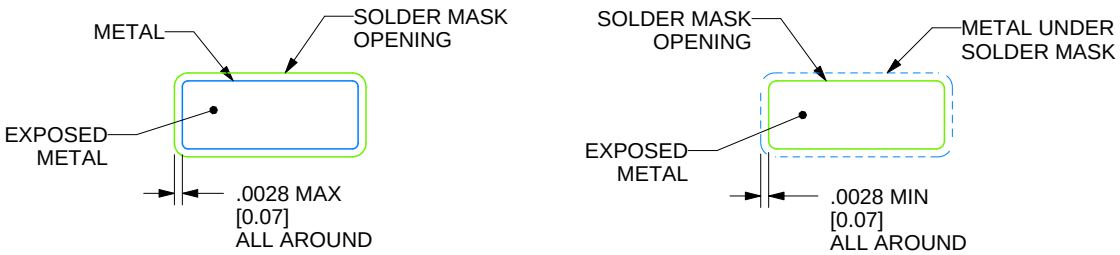


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

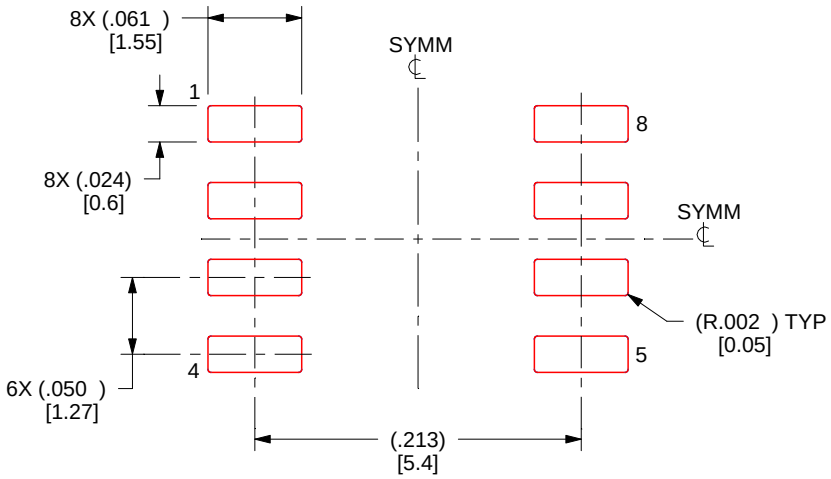
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

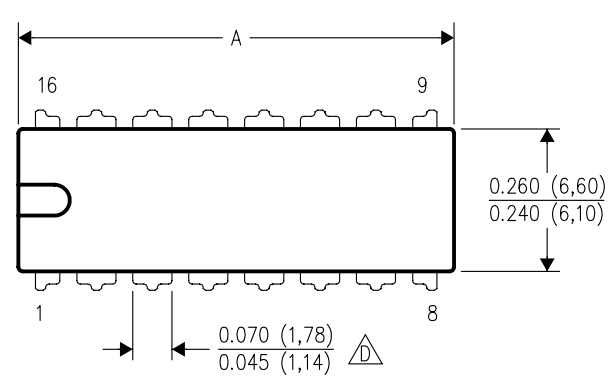
NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

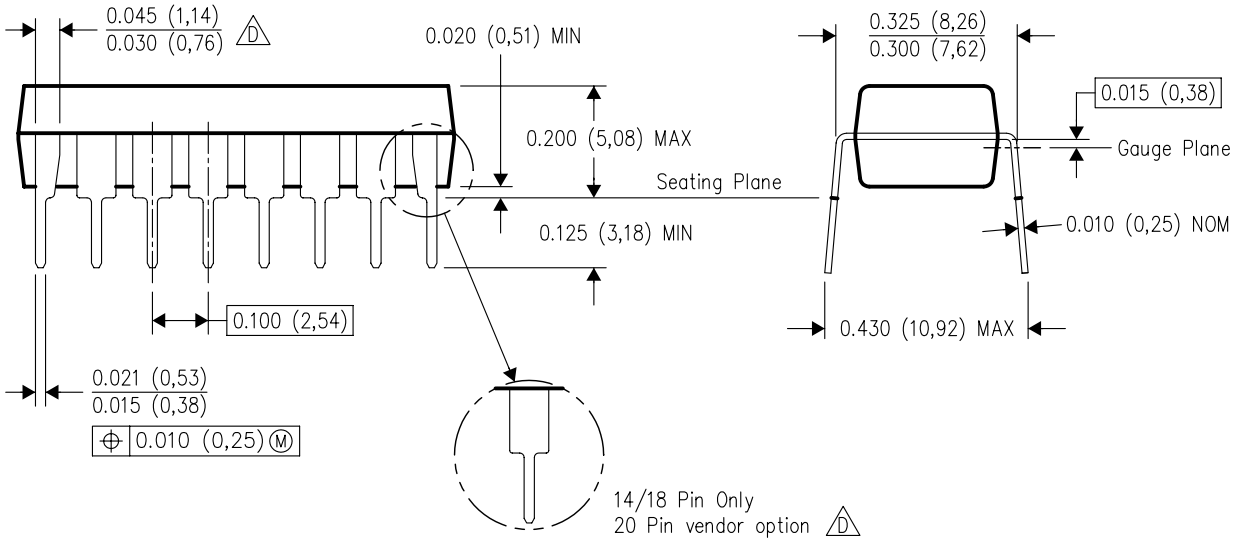
N (R–PDIP–T**)

PLASTIC DUAL–IN–LINE PACKAGE

16 PINS SHOWN



DIM \ PINS **	14	16	18	20
A MAX	0.775 (19,69)	0.775 (19,69)	0.920 (23,37)	1.060 (26,92)
A MIN	0.745 (18,92)	0.745 (18,92)	0.850 (21,59)	0.940 (23,88)
MS–001 VARIATION (C)	AA	BB	AC	AD



4040049/E 12/2002

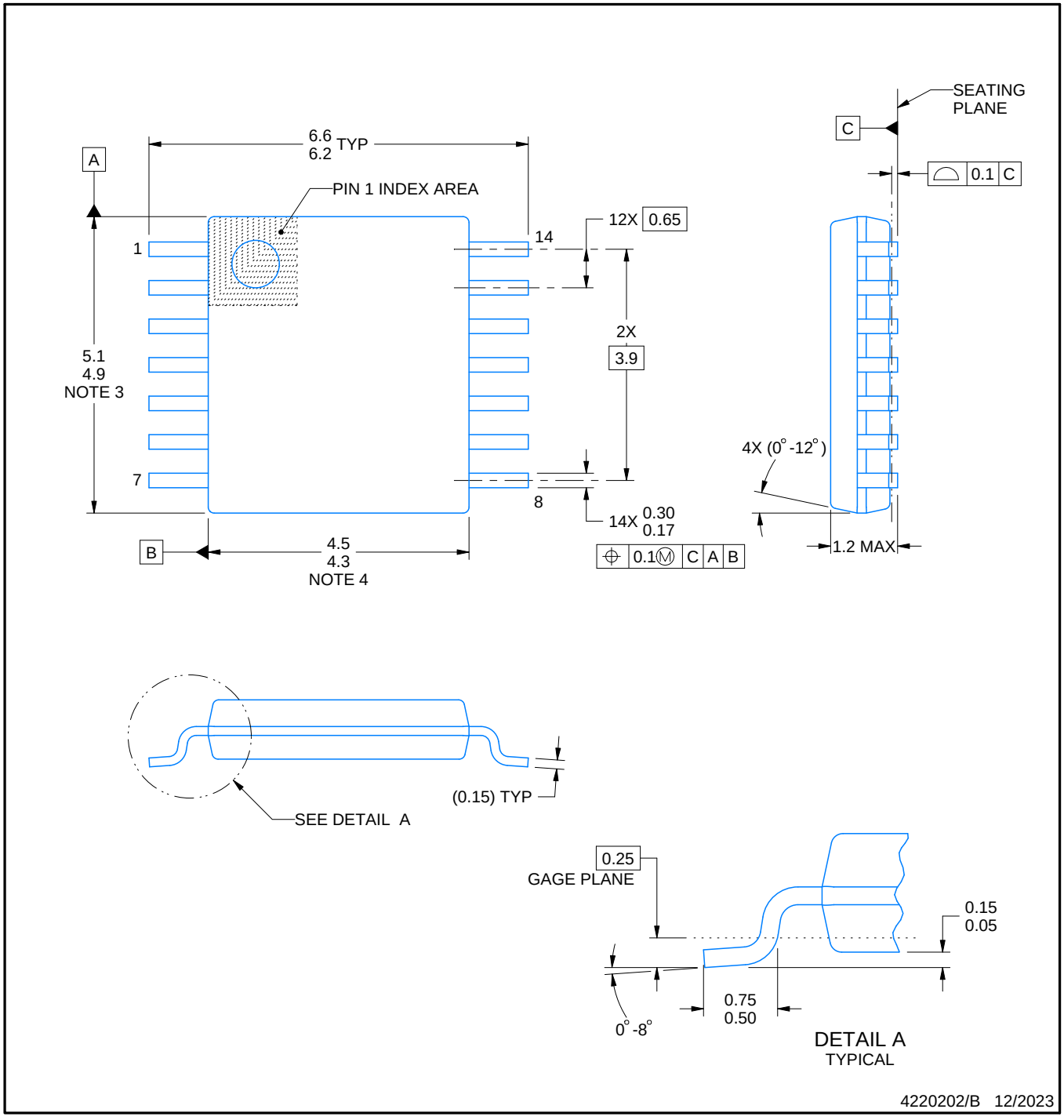
NOTES:
A. All linear dimensions are in inches (millimeters).
B. This drawing is subject to change without notice.
C. Falls within JEDEC MS–001, except 18 and 20 pin minimum body length (Dim A).
D. The 20 pin end lead shoulder width is a vendor option, either half or full width.

PACKAGE OUTLINE

PW0014A

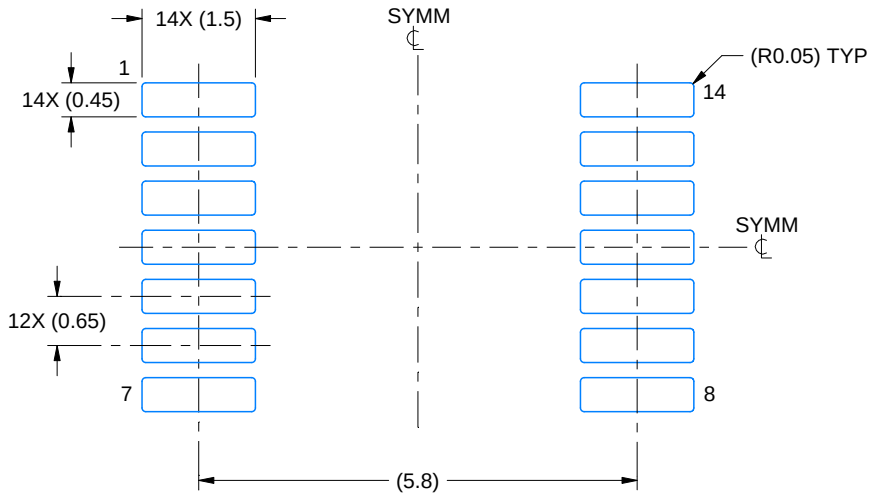
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

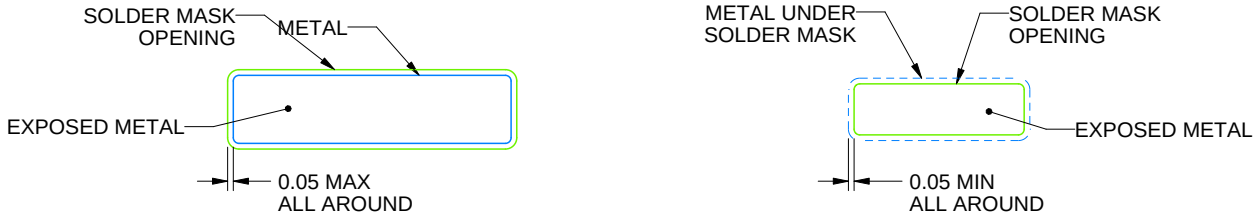


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

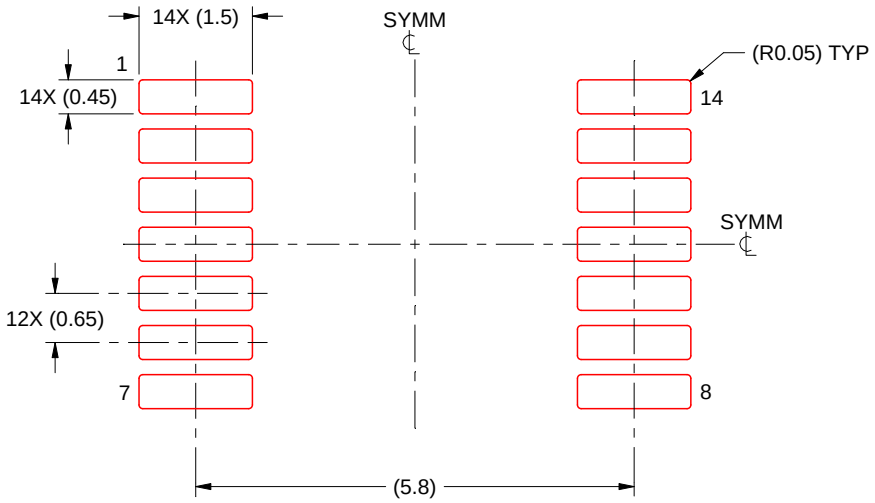


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

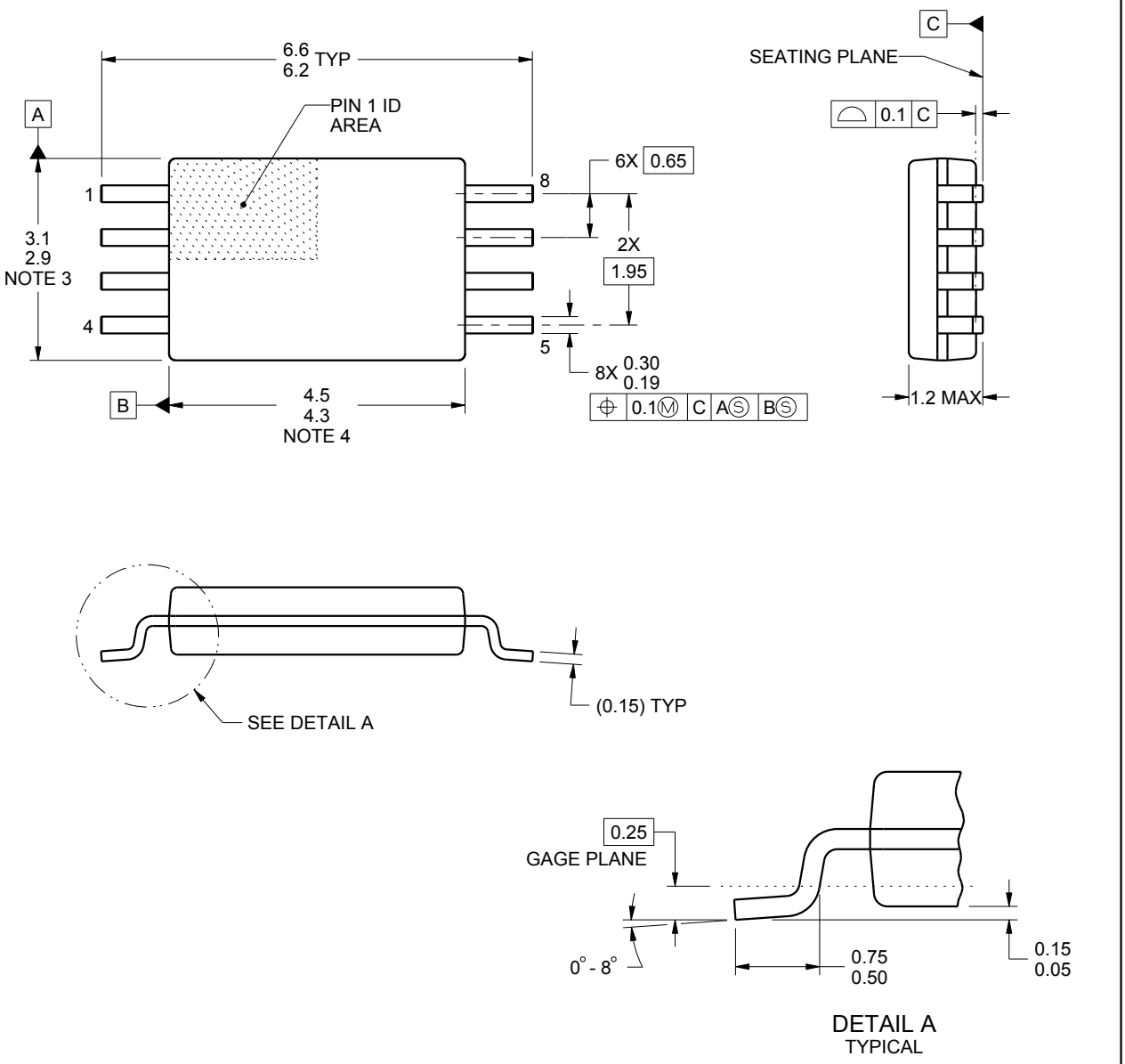
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0008A

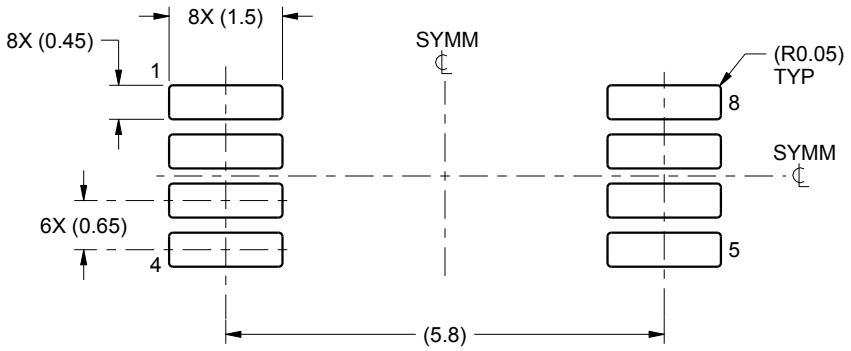
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

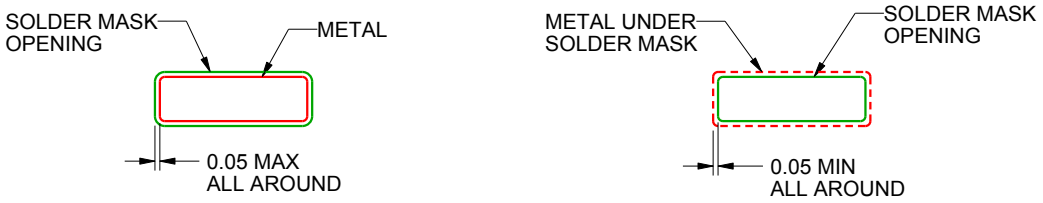


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

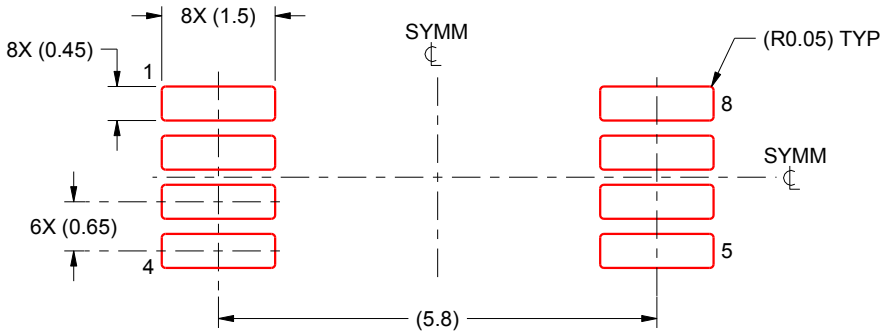


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月