TLV181x and TLV182x 系列 40V 轨到轨输入比较器，具有推挽或开漏输出选项

1 特性

- 2.4V 至 40V 宽电源电压范围
- 轨到轨输入
- 已知启动的上电复位 (POR)
- 低输入偏移电压为 500 µ V
- 420ns 典型传播延迟
- 每通道的低静态电流为 5 µ A
- 低输入偏置电流 150fA
- 推挽输出选项 (TLV181x)
- 开漏输出选项 (TLV182x)
- -40°C 到 +125°C 的完整温度范围
- 2kV ESD 保护
- 功能安全型
  - 可提供用于功能安全系统设计的文档

2 应用

- 电器
- 工厂自动化和控制
- 电机驱动器
- 信息娱乐系统与仪表组

3 说明

TLV181x 和 TLV182x 是一个 40V 单通道、双通道和四通道比较器系列，具有多个输出选项。该系列提供具有推挽或开漏输出选项的轨至轨输入。该系列具有出色的速度功率组合，传播延迟为 420ns，整个电源电压范围为 2.4V 至 40V，每个通道的静态电源电流仅为 5 µ A。

所有器件都包含上电复位 (POR) 功能。这可确保输出处于已知状态，直到达到最小电源电压，然后输出才对输入做出响应，从而防止系统上电和断电期间出现错误输出。

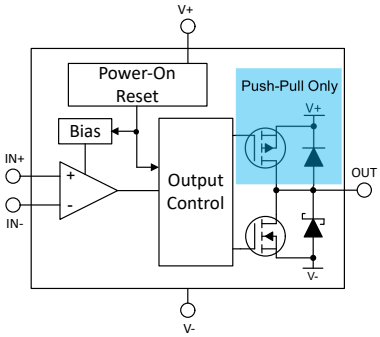
TLV181x 比较器具有推挽式输出级，能够灌/拉毫安级电流，同时可对 LED 进行控制或驱动容性负载（例如 MOSFET 栅极）。

TLV182x 比较器具有开漏输出级，可在独立于比较器电源电压的情况下上拉至 40V。

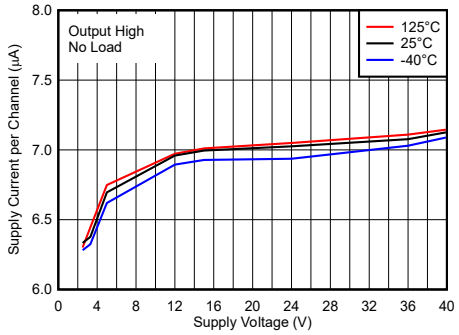
器件信息

器件型号	封装(1)	本体尺寸（标称值）(2)
TLV1811、TLV1821（单通道）	SC-70 (6)	1.25mm x 2.00mm
	SOT-23 (5)	1.60mm x 2.90mm
TLV1811L，TLV1821L（单通道 - 交替引脚排列）	SC-70 (5)	1.25mm x 2.00mm
	SOT-23 (5)	1.60mm x 2.90mm
TLV1812、TLV1822（双通道）	SOIC (8)	3.91mm × 4.90mm
	TSSOP (8)	3.00mm × 4.40mm
	VSSOP (8)	3.00mm × 3.00mm
	WSON (8)	2.00mm × 2.00mm
	SOT-23 (8)	1.60mm × 2.90mm
TLV1814、TLV1824（四通道）	SOIC (14)	3.91mm × 8.65mm
	TSSOP (14)	4.40mm × 5.00mm
	SOT-23 (14)	4.20mm x 2.00mm
	WQFN (16)	3.00mm × 3.00mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



TLV18xx 方框图



TLV18xx 电源电流与电源电压间的关系

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

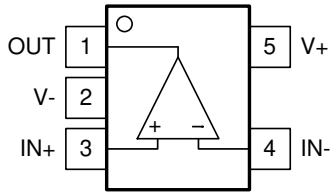
内容

1 特性 ... 1
2 应用 ... 1
3 说明 ... 1
4 引脚配置和功能 ... 3
引脚功能：TLV18x1 TLV18x1L ... 3
引脚功能：TLV1812 和 TLV1822 ... 4
引脚功能：TLV1814 和 TLV1824 ... 5
5 规格 ... 6
5.1 绝对最大额定值 ... 6
5.2 ESD 等级 ... 6
5.3 建议运行条件 ... 6
5.4 热性能信息 - 单通道 ... 7
5.5 热性能信息 - 双通道 ... 7
5.6 热性能信息 - 四通道 ... 7
5.7 电气特性 ... 8
5.8 开关特性 ... 9
6 典型特性 ... 10
7 详细说明 ... 13
7.1 概述 ... 13
7.2 功能方框图 ... 13
7.3 特性说明 ... 13
7.4 器件功能模式 ... 13
8 应用和实施 ... 16
8.1 应用信息 ... 16
8.2 典型应用 ... 19
8.3 电源相关建议 ... 26
8.4 布局 ... 26
9 器件和文档支持 ... 28
9.1 文档支持 ... 28
9.2 接收文档更新通知 ... 28
9.3 支持资源 ... 28
9.4 商标 ... 28
9.5 静电放电警告 ... 28
9.6 术语表 ... 28
10 修订历史记录 ... 29
11 机械、封装和可订购信息 ... 29

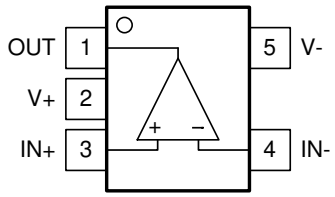
Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

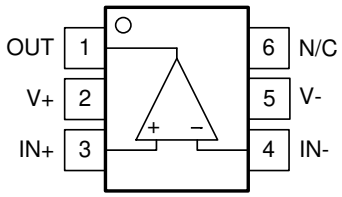
引脚功能：TLV18x1 TLV18x1L



TLV18x1 TLV18x1L
标准“西北”引脚分配
DBV、DCK 封装，
SOT-23-5、SC-70-5
顶视图



TLV1811L 和 TLV1821L DBV 封装，
“LMC72x1/TLV72x1 类型”引脚分配，具有反向电源
SOT-23-5，
顶视图



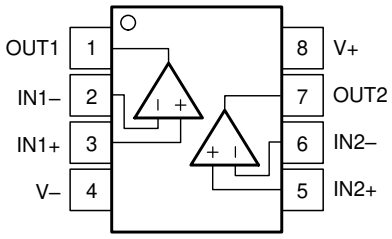
TLV1811L 和 TLV1821L DCK 封装，
“TLV72x1 6 引脚类型”引脚分配，具有反向电源和漂移 V-
SC-70-6，
顶视图

表 4-1. 引脚功能：TLV1811、TLV1821、TLV1811L 和 TLV1821L

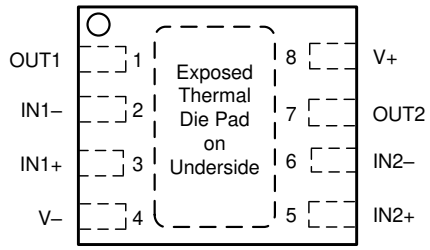
名称	TLV1811、TLV1821		TLV1811L、TLV1821L		I/O	说明
	引脚		引脚			
	SOT-23	SC-70	SOT-23	SC-70		
OUT	1	1	1	1	O	输出
V-	2	2	**5**	**5**	-	负电源电压
IN+	3	3	3	3	I	同相 (+) 输入
IN-	4	4	4	4	I	反相 (-) 输入
V+	5	5	**2**	**2**	-	正电源电压
N/C	-	-	-	6	-	无连接

Copyright © 2025 Texas Instruments Incorporated

引脚功能：TLV1812 和 TLV1822



D、DGK、PW、DDF 封装
8 引脚 SOIC、VSSOP、TSSOP、SOT-23-8
顶视图



注意：将外露散热焊盘直接连接到 V- 引脚。

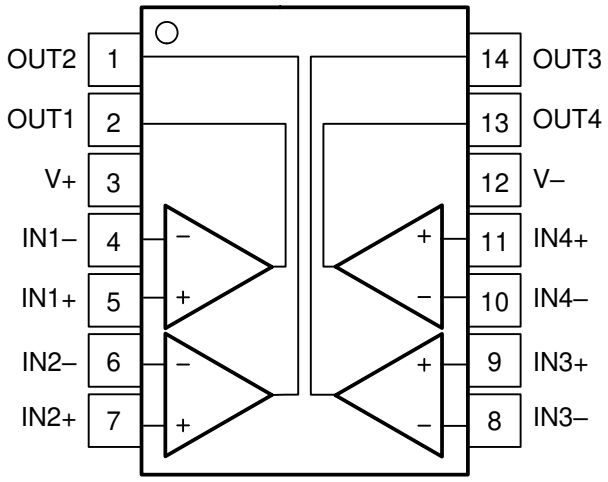
DSG 封装，
8 引脚 WSON（带有外露散热焊盘），
顶视图

表 4-2. 引脚功能：TLV1812 和 TLV1822

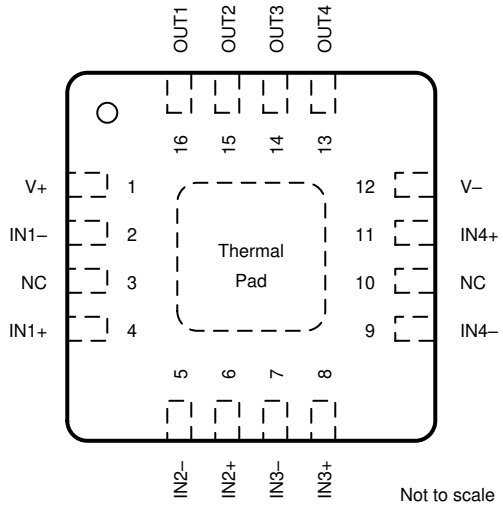
引脚		I/O	说明
名称	编号		
OUT1	1	O	比较器 1 的输出引脚
IN1 –	2	I	比较器 1 的反相输入引脚
IN1+	3	I	比较器 1 的同相输入引脚
V-	4	—	负（低）电源
IN2+	5	I	比较器 2 的同相输入引脚
IN2 –	6	I	比较器 2 的反相输入引脚
OUT2	7	O	比较器 2 的输出引脚
V+	8	—	正电源
散热焊盘	—	—	直接连接到 V- 引脚

Copyright © 2025 Texas Instruments Incorporated

引脚功能：TLV1814 和 TLV1824



D、PW、DYY 封装，14 引脚 SOIC、TSSOP、SOT-23，顶视图



注意：将外露散热焊盘直接连接到 V- 引脚。

RTE 封装，16 引脚 WQFN（带有外露散热焊盘），顶视图

表 4-3. 引脚功能：TLV1814 和 TLV1824

引脚			I/O	说明
名称	SOIC	WQFN		
OUT2(1)	1	15	O	比较器 2 的输出引脚
OUT1(1)	2	16	O	比较器 1 的输出引脚
V+	3	1	—	正电源
IN1 –	4	2	I	比较器 1 的负输入引脚
IN1+	5	4	I	比较器 1 的正输入引脚
IN2 –	6	5	I	比较器 2 的负输入引脚
IN2+	7	6	I	比较器 2 的正输入引脚
IN3 –	8	7	I	比较器 3 的负输入引脚
IN3+	9	8	I	比较器 3 的正输入引脚
IN4 –	10	9	I	比较器 4 的负输入引脚
IN4+	11	11	I	比较器 4 的正输入引脚
V-	12	12	—	负电源
OUT4	13	13	O	比较器 4 的输出引脚
OUT3	14	14	O	比较器 3 的输出引脚
NC	—	3	—	没有与内部电路连接 - 保持悬空或 GND
NC	—	10	—	没有与内部电路连接 - 保持悬空或 GND
散热焊盘	—	PAD	—	直接连接到 V- 引脚。

(1) 一些制造商调换了通道 1 和 2 的名称。引脚的电气分配是相同的，只是通道命名规则有所不同。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

	最小值	最大值	单位
电源电压：V_S = (V+) – (V–)	-0.3	42	V
(V–) 的输入引脚（IN+、IN–）(2)	-0.3	(V+) + 0.3	V
进入输入引脚（IN+、IN–）的电流	-10	10	mA
(V–) 的输出 (OUT) 电压（开漏）(3)	-0.3	42	V
(V–) 的输出 (OUT) 电压（推挽）	-0.3	(V+) + 0.3	V
输出 (OUT)电流 (4) (5) (6)	-10	10	mA
结温，T_J		150	°C
贮存温度，T_{stg}	-65	150	°C

(1) 超出绝对最大额定值运行可能会对器件造成永久损坏。 绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。 如果超出建议运行条件但在绝对最大额定值范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 输入端子被二极管钳制至 (V–)。对于摆幅可能超过电源轨 0.3V 的输入信号，必须将其电流限制为 10mA 或者更低。
(3) 只要在 –0.3V 至 42V 范围内，开漏输出 (OUT) 就可以大于 (V+) 和输入（IN+、IN–）
(4) 对于两个输出选项，输出被二极管钳制至 (V-)，而对于推挽输出选项，二极管钳制至 (V+)。开漏版本不会钳制到 V+。有关更多信息，请参阅*应用信息* 部分的*输出* 和 *ESD 保护*。
(5) 当在绝对最大输出电压限值内运行时，输出灌电流和拉电流在内部限制为 <35mA。此处指定的绝对最大输出电流限值是在超过电源电压时流经钳位结构的最大电流，对于两个输出选项为低于 (V-)，或对于推挽选项为高于 (V+)。
(6) 从输出到 (V–) 或 (V+) 短路。在升高的电源电压下持续输出短路会导致过热并超过允许的最大结温，最终导致器件损坏。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101(2)	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值	单位
电源电压： V_S = (V+) – (V–)		2.4	40	V
(V–) 的输入电压范围		-0.2	(V+) + 0.2	V
(V–) 的输入电压范围	漏极开路	-0.2	40	V
(V–) 的输入电压范围	推挽	-0.2	(V+) + 0.2	V
环境温度，T_A		-40	125	°C

Copyright © 2025 Texas Instruments Incorporated

5.4 热性能信息 - 单通道

热指标(1)		TLV18x1 和 TLV18x1L			单位
		DCK (SC-70)	DCK (SC-70)	DBV (SOT-23)	
		5 引脚	6 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	226.6	185.6	203.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	129.5	137.6	105.4	°C/W
$R_{\theta JB}$	结至电路板热阻	78.6	76.5	106.6	°C/W
ψ_{JT}	结至顶部特征参数	51.5	59.8	54.0	°C/W
ψ_{JB}	结至电路板特征参数	78.3	76.2	106.0	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	–	–	–	°C/W

(1) 更多有关新旧热指标的信息，请参阅半导体和 IC 封装热指标报告。

5.5 热性能信息 - 双通道

热指标(1)		TLV18x2					单位
		D (SOIC)	PW (TSSOP)	DDF (SOT-23)	DSG (WSON)	DGK (VSSOP)	
		8 引脚	8 引脚	8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	136.1	187.5	170.4	79.9	178.3	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	76.8	76.7	90.3	100.1	66.4	°C/W
$R_{\theta JB}$	结至电路板热阻	79.7	118.1	88.1	46.4	100.0	°C/W
ψ_{JT}	结至顶部特征参数	26.8	14.4	7.5	5.3	9.2	°C/W
ψ_{JB}	结至电路板特征参数	78.9	116.4	87.6	46.4	98.3	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	–	–	–	21.6	–	°C/W

(1) 更多有关新旧热指标的信息，请参阅半导体和 IC 封装热指标报告。

5.6 热性能信息 - 四通道

热指标(1)		TLV18x4				单位
		D (SOIC)	PW (TSSOP)	DYY (SOT-23-THN)	RTE (WQFN)	
		16 引脚	16 引脚	16 引脚	16 引脚	
$R_{\theta JA}$	结至环境热阻	104.2	124.1	119.9	53.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	60.3	52.4	60.6	58.6	°C/W
$R_{\theta JB}$	结至电路板热阻	60.2	67.2	79.0	29.0	°C/W
ψ_{JT}	结至顶部特征参数	20.7	7.5	3.3	2.2	°C/W
ψ_{JB}	结至电路板特征参数	59.8	66.6	41.2	28.9	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	–	–	–	13.1	°C/W

(1) 更多有关新旧热指标的信息，请参阅半导体和 IC 封装热指标报告。

Copyright © 2025 Texas Instruments Incorporated

5.7 电气特性

T_A = 25°C 时，V_S（总电源电压）= (V+) – (V–) = 12V，V_{CM} = V_S/2（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
失调电压						
V_{OS}	输入失调电压		-3	±0.5	3	mV
V_{OS}	输入失调电压	T_A = -40°C 至 +125°C	-4		4	mV
dV_{IO}/dT	输入失调电压漂移	T_A = -40°C 至 +125°C		±1.2		µV/°C
PSRR	电源抑制比	V_S = 2.4V 至 40V，V_{CM} = (V–)		100		dB
电源						
I_Q	静态电流，无负载	输出低电平，T_A = 25°C 仅 TLV1811		6	7.5	µA
		输出低电平，T_A = –40°C 至 +125°C 仅 TLV1811			8.5	
		输出高电平，T_A = 25°C 仅 TLV1811		8	10	
		输出高电平，T_A = –40°C 至 +125°C 仅 TLV1811			11	
I_Q	每个比较器的静态电流，无负载	输出低电平、T_A = 25°C		6	7.5	µA
		输出低电平，T_A = –40°C 至 +125°C			8.5	
		输出高电平、T_A = 25°C		7	9	
		输出高电平，T_A = –40°C 至 +125°C			10	
V_{POR}	上电复位电压			1.7		V
输入偏置电流						
I_B	输入偏置电流			150		fA
I_B	输入偏置电流	T_A = -40°C 至 +125°C	-1.2		1.2	nA
I_{OS}	输入失调电流			10		fA
输入电容						
C_{ID}	输入电容，差分			2		pF
C_{IC}	输入电容，共模			8		pF
输入共模范围						
$V_{CM\text{-}Range}$	共模电压范围	V_S = 2.4V 至 40V T_A = -40°C 至 +125°C	(V–) – 0.2		(V+) + 0.2	V
输出						
V_{OL}	(V–) 的电压摆幅	I_{SINK} = 4mA T_A = -40°C 至 +125°C			250	mV
V_{OH}	(V+) 的电压摆幅（仅适用于推挽）	I_{SOURCE} = 4mA T_A = -40°C 至 +125°C			250	mV
I_{LKG}	开漏输出漏电流	V_{ID} = +0.1V，V_{PULLUP} = (V+) T_A = -40°C 至 +125°C		0.1		nA
I_{OL}	短路电流	灌电流	15	30		mA
I_{OH}	短路电流	拉电流（仅适用于推挽）	15	30		mA

Copyright © 2025 Texas Instruments Incorporated

5.8 开关特性

T_A = 25°C 时，V_S（总电源电压）= (V+) – (V–) = 12V，V_{CM} = V_S/2（除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
输出						
T_{PD-HL}	传播延迟时间，高电平到低电平	V_{OD} = 10mV，C_L = 50pF		900		ns
T_{PD-HL}	传播延迟时间，高电平到低电平	V_{OD} = 100mV，C_L = 50pF		450		ns
T_{PD-LH}	传播延迟时间，低电平到高电平，推挽输出	V_{OD} = 10mV，C_L = 50pF		900		ns
T_{PD-LH}	传播延迟时间，低电平到高电平，推挽输出	V_{OD} = 100mV，C_L = 50pF		420		ns
T_{RISE}	输出上升时间，20% 至 80%，推挽输出	C_L = 50pF		15		ns
T_{FALL}	输出下降时间，80% 至 20%	C_L = 50pF		15		ns
F_{TOGGLE}	切换频率	V_{ID} = 100mV，C_L = 50pF		500		kHz
上电时间						
P_{ON}	上电时间			200		µs

Copyright © 2025 Texas Instruments Incorporated

6 典型特性

T_A = 25°C，V_S = 12V，R_{PULLUP} = 2.5k，C_L = 20pF，V_{CM} = 0V，$V_{UNDERDRIVE}$ = 100mV，$V_{OVERDRIVE}$ = 100mV（除非另有说明）。

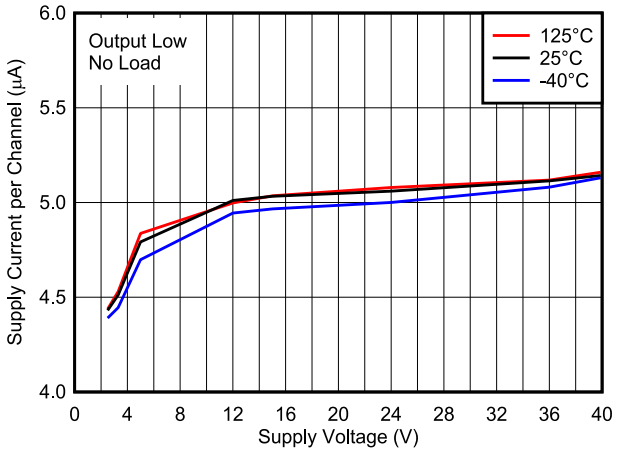


图 6-1. 每通道电源电流与电源电压间的关系，输出低电平

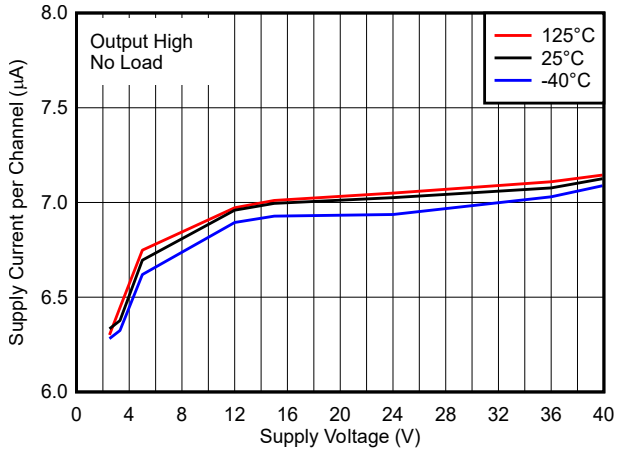


图 6-2. 每通道电源电流与电源电压间的关系，输出高电平

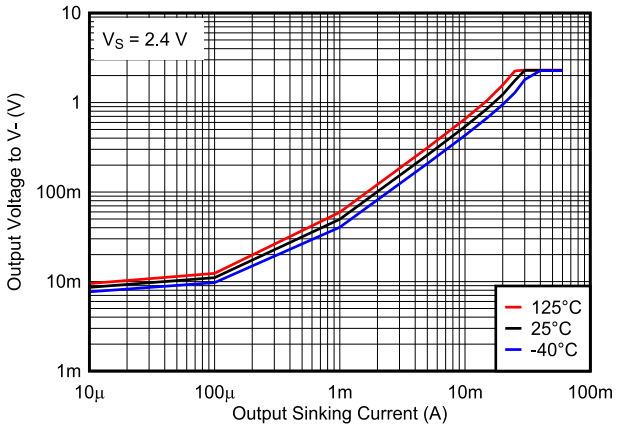


图 6-3. 输出电压与输出灌电流间的关系，2.4V

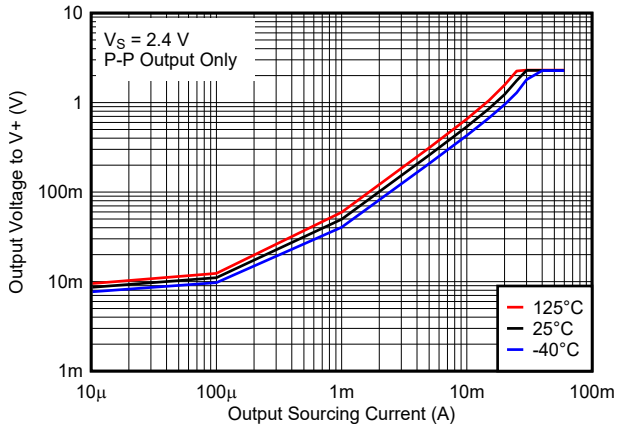


图 6-4. 输出电压与输出拉电流间的关系，2.4V

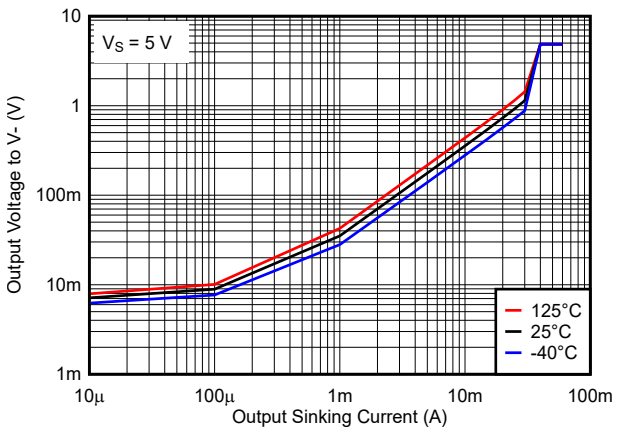


图 6-5. 输出电压与输出灌电流间的关系，5V

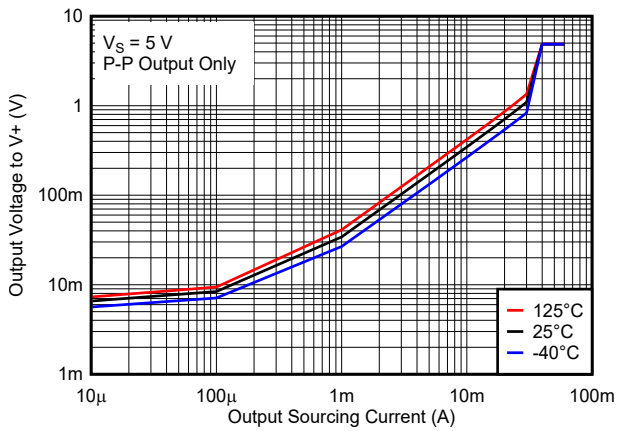


图 6-6. 输出电压与输出拉电流间的关系，5V

Copyright © 2025 Texas Instruments Incorporated

6 典型特性（续）

T_A = 25°C，V_S = 12V，R_{PULLUP} = 2.5k，C_L = 20pF，V_{CM} = 0V，$V_{UNDERDRIVE}$ = 100mV，$V_{OVERDRIVE}$ = 100mV（除非另有说明）。

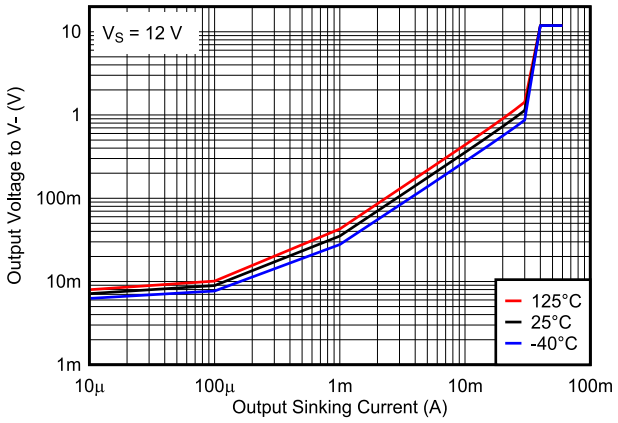


图 6-7. 输出电压与输出灌电流间的关系，12V

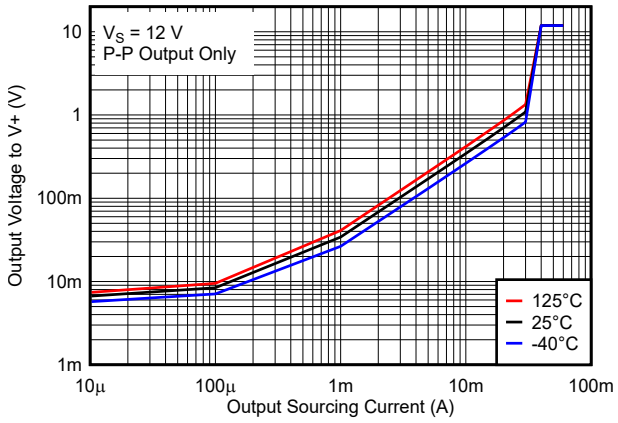


图 6-8. 输出电压与输出拉电流间的关系，12V

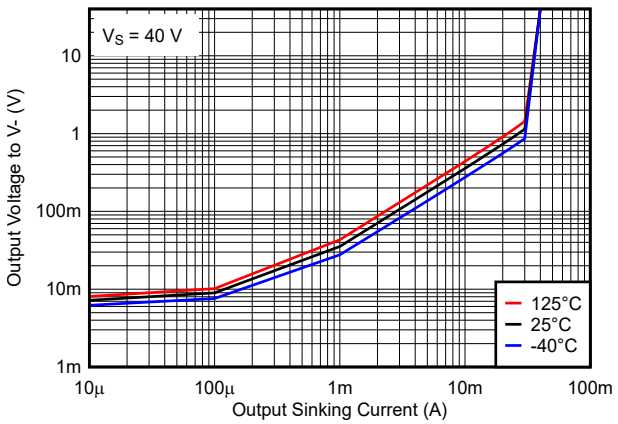


图 6-9. 输出电压与输出灌电流间的关系，40V

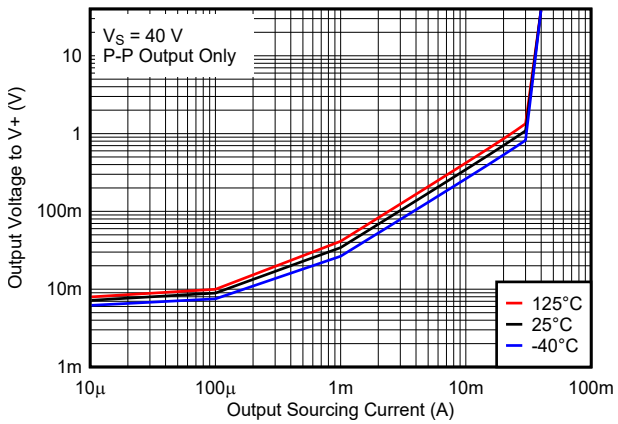


图 6-10. 输出电压与输出拉电流间的关系，40V

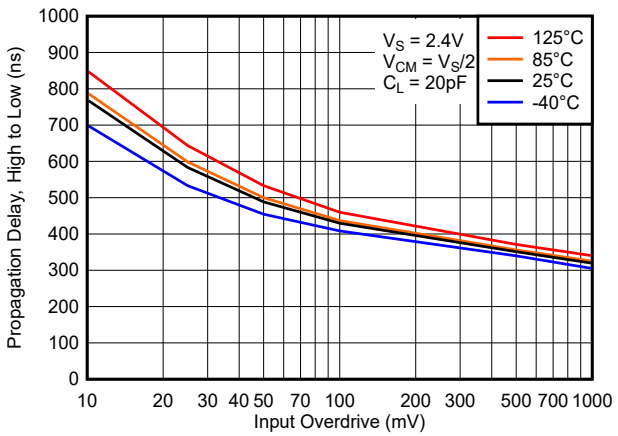


图 6-11. 传播延迟，从高电平到低电平，2.4V

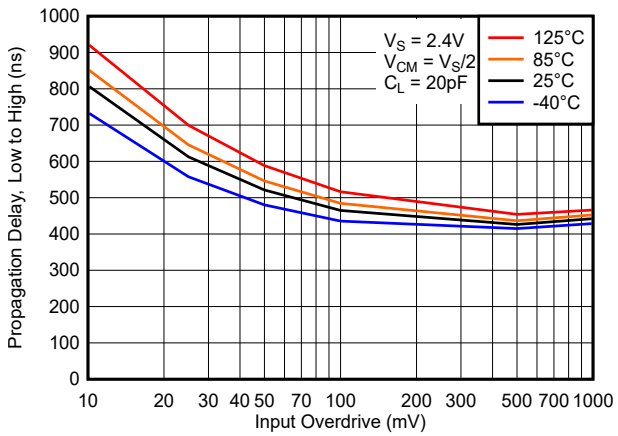


图 6-12. 传播延迟，从低电平到高电平，2.4V

Copyright © 2025 Texas Instruments Incorporated

6 典型特性（续）

T_A = 25°C，V_S = 12V，R_{PULLUP} = 2.5k，C_L = 20pF，V_{CM} = 0V，$V_{UNDERDRIVE}$ = 100mV，$V_{OVERDRIVE}$ = 100mV（除非另有说明）。

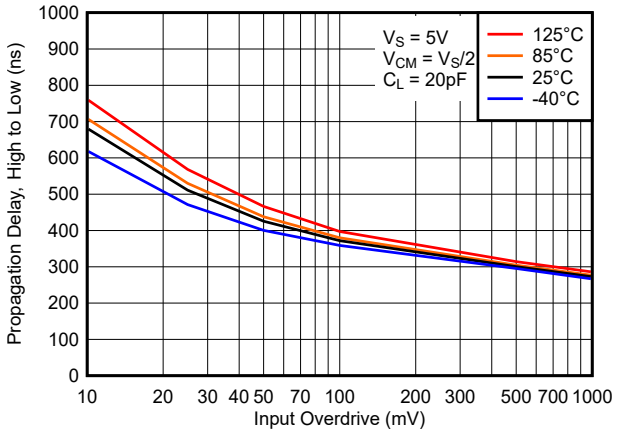


图 6-13. 传播延迟，从高电平到低电平，5V

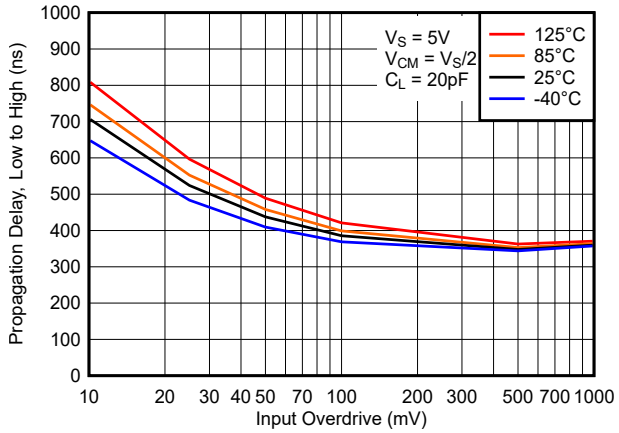


图 6-14. 传播延迟，从低电平到高电平，5V

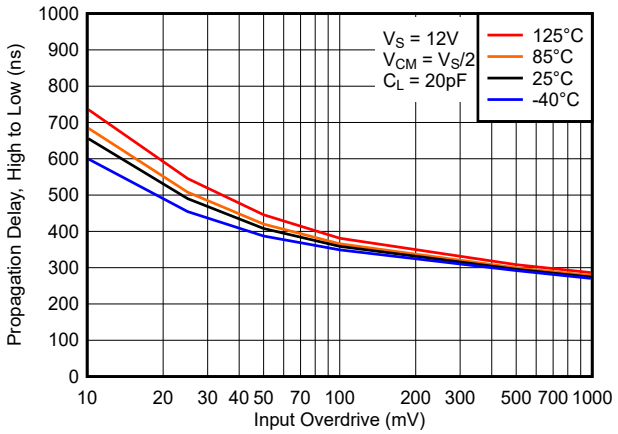


图 6-15. 传播延迟，从高电平到低电平，12V

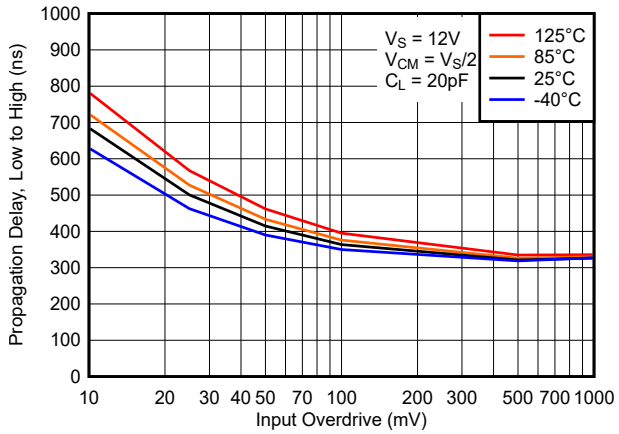


图 6-16. 传播延迟，从低电平到高电平，12V

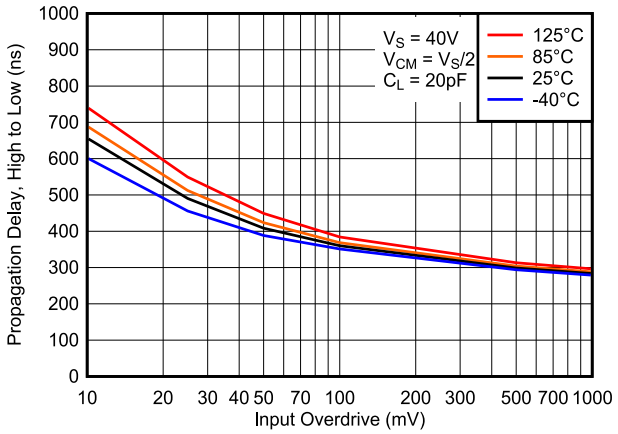


图 6-17. 传播延迟，从高电平到低电平，40V

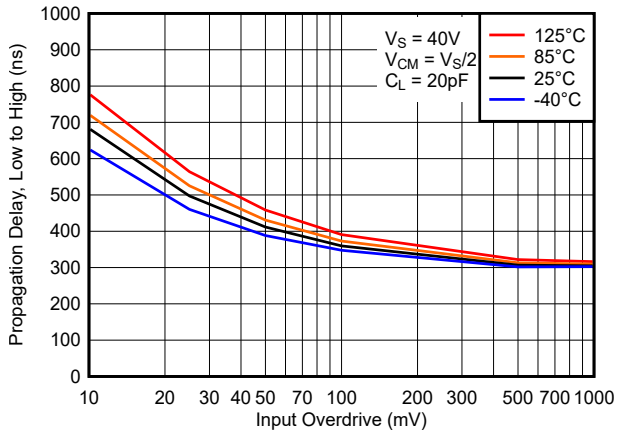


图 6-18. 传播延迟，从低电平到高电平，40V

Copyright © 2025 Texas Instruments Incorporated

7 详细说明

7.1 概述

TLV181x 和 TLV182x 器件是微功耗比较器，具有推挽和开漏输出选项。TLV181x 和 TLV182x 的工作电压低至 2.4V，而且每通道仅消耗 5µA 的电流，非常适合便携式应用、汽车应用和工业应用。指派内部上电复位电路以确保在上电和断电期间输出保持在已知状态。

7.2 功能方框图

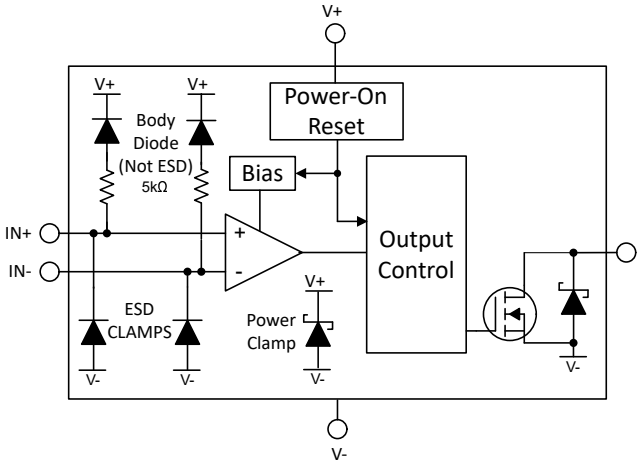


图 7-1. TLV182x 开漏方框图

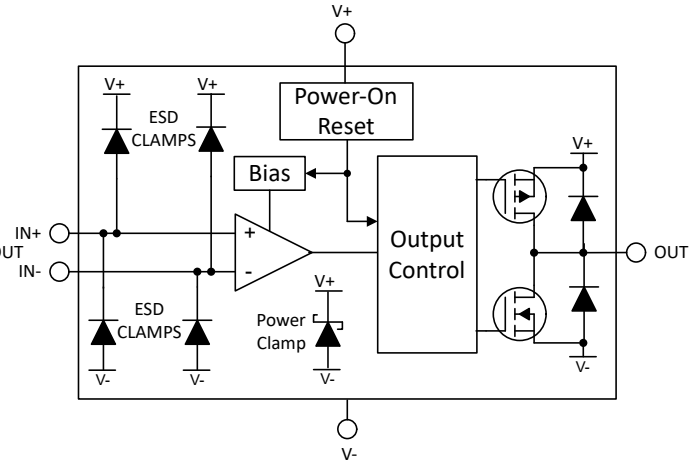


图 7-2. TLV181x 推挽方框图

7.3 特性说明

TLV18xx 系列选项

TLV18xxy 系列包含多个输出和引脚分配选项，每一种选项均具有 40V 工作电压、微功耗 5µA 电源电流、420ns 传播延迟和上电复位 (POR) 功能。

TLV18xx 系列具有两个输出选项：

TLV181x 具有**推挽**（灌-拉）输出。

TLV182x 具有**开漏**（仅灌电流）输出，能够上拉至任何高达 40V 的电压，而不受比较器电源电压的影响。

TLV1811L 和 TLV1821L 是 TLV1811 和 TLV1821 的备选引脚分配，可升级 TLV7211、TLV7221、LMC7211 和 LMC7221 系列等旧器件。

7.4 器件功能模式

7.4.1 输入

7.4.1.1 TLV18xx 轨到轨输入

TLV18xx 的输入电压范围为从 (V-) - 200mV 到 (V+) + 200mV。差分输入电压 (V_{ID}) 可以是上述范围内的任何电压。当输入电压保持在指定范围内时，比较器输出不会发生相位转换。

轨到轨输入有一个连接 V+ 电源线路的 ESD 钳位，因此输入电压不得超出电源电压 200mV 以上。TI 不建议在没有电源电压的情况下向轨到轨输入施加信号。

7.4.1.2 ESD 保护

TLV182x 开漏选项 ESD 保护电路包括输出和 V- 之间的快速复位 ESD 钳位，以允许将输出拉至高于 V+，最高为 40V。对于输入，V- 和输入之间有一个“下部”ESD 钳位，输入和 V+ 之间还有一个具有 5kΩ 等效电阻的寄生

Copyright © 2025 Texas Instruments Incorporated

“上部”ESD 软钳位二极管（如图 7-1 所示）。这些不是传统的 ESD 器件，通过该上部二极管结点和电阻的电流必须限制在 1mA 或更小。如果运行期间输入电压会超过 V+，则建议使用外部二极管钳位。

TLV181x 推挽输入和输出 ESD 保护电路包含 I/O 引脚与 V+ 之间的传统二极管型“上部”ESD 钳位和 I/O 引脚输出与 V- 之间的“下部”ESD 钳位。输入或输出电压不得比电源轨高出 200mV 以上。

如果输入端要连接到低阻抗源（例如电源或缓冲参考线），TI 建议添加一个与输入端串联的限流电阻器，以限制钳位导通时的任何电流。电流必须限制在 10mA 或更小，但 TI 建议将电流限制在 1mA 或更小。该串联电阻可以是任何电阻输入分压器或网络的一部分。

7.4.1.3 未使用的输入

如果不使用通道，请勿将输入端连接在一起。由于存在高等效带宽和低偏移电压，将输入端直接连接在一起可导致高频率抖动，因为器件会触发其自身的内部宽带噪声。必须将输入端连接到处于指定输入电压范围内并提供至少 50mV 差分电压的任何可用电压。例如，可以将一个输入端接地，而将另一个输入端连接到基准电压，甚至连接到 V+（只要该输入端直接连接到 V+ 引脚以避免瞬变）。

7.4.2 输出

7.4.2.1 TLV181x 推挽输出

TLV181x 具有推挽输出级，既能灌入电流，也能拉出电流。这允许驱动负载（如 LED 和 MOSFET 栅极），并且无需使用耗电的外部上拉电阻器。推挽输出绝不能连接到另一个输出端。

直接将输出与相对的电源轨短接（当输出为“低电平”时为 V+，当输出为“高电平”时为 V-）会导致热失控，并最终在高电源电压 (>12V) 下摧毁器件。如果可能发生输出短路，建议使用一个串联限流电阻器来限制功率耗散。

未使用的推挽输出必须保持悬空，绝不能连接到电源、地面或其他输出端。

7.4.2.2 TLV182x 开漏输出

TLV182x 具有一个仅灌入的开漏（通常也被称为集电极开路）输出级，可将输出逻辑电平上拉至一个外部电压（0V 至 40V），而不受比较器电源电压 (V+) 的影响。该开漏输出允许对多个开漏输出进行逻辑或运算和逻辑电平转换。TI 建议将上拉电阻器电流设置为 100uA 至 1mA。较低的上拉电阻值有助于增加上升沿的上升时间，但代价是增加 V_{OL} 和功耗。上升时间将取决于总上拉电阻和总负载电容的时间常数。较大的上拉电阻值 (>1MΩ) 由于输出 RC 时间常数而产生指数上升沿，并增加上升时间。

直接将输出短接至 V+ 可导致热失控，并最终在高上拉电压 (>12V) 下摧毁器件。如果可能发生输出短路，建议使用一个串联限流电阻器来限制功率耗散。

未使用的漏极开路输出可保持悬空，如果不允许使用悬空引脚，也可以连接到 V- 引脚。

Copyright © 2025 Texas Instruments Incorporated

7.4.3 上电复位 (POR)

TLV18xx 系列具有用于启动或断电条件已知的内部上电复位 (POR) 电路。当电源 (V+) 上升或下降时，POR 电路在超过 2.4V 的最小电源电压阈值后激活长达 200µs，在电源电压降至 2.4V 以下时立即激活。当电源电压大于等于最小电源电压时，经过延迟周期后，比较器输出将反映差分输入的状态 (V_{ID})。

对于 TLV181x 推挽输出器件，输出在 POR 期间 (t_{on}) 保持低电平。

对于 TLV182x 开漏输出选项，POR 电路在 POR 期间 (t_{on}) 使输出保持高阻抗 (Hi-Z)。

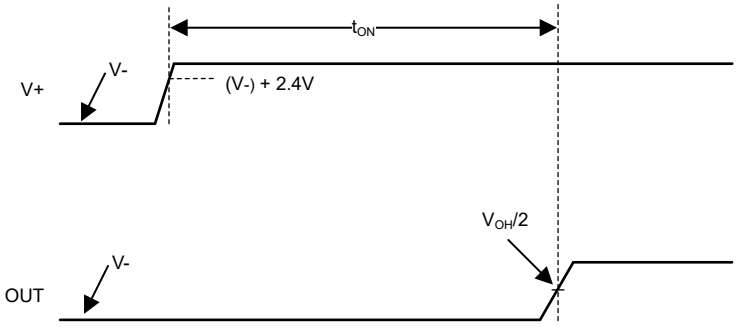


图 7-3. 上电复位时序图

注意：在 POR 期间、输出电压随着上拉电压而上升。

7.4.4 迟滞

TLV18xx 系列没有内部迟滞功能。由于存在较宽的有效带宽和较低的输入偏移电压，当绝对差分电压接近于零时，输出有可能出现“抖动”，因为比较器会产生内部宽带噪声。这是正常的比较器行为，在意料之中。TI 建议，如果预期有缓慢移动的信号，用户应添加外部迟滞。请参阅下一节中的节 8.1.2。

8 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

8.1 应用信息

8.1.1 基本的比较器定义

8.1.1.1 运行

基本比较器将一个输入端上的输入电压 (V_{IN}) 与另一输入端上的基准电压 (V_{REF}) 进行比较。在下面的 图 8-1 示例中，如果 V_{IN} 小于 V_{REF}，则输出电压 (V_O) 为逻辑低电平 (V_{OL})。如果 V_{IN} 大于 V_{REF}，则输出电压 (V_O) 为逻辑高电平 (V_{OH})。表 8-1 总结了输出条件。只需交换输入引脚，即可反转输出逻辑。

表 8-1. 输出条件

输入条件	输出
IN+ > IN-	高 (V_{OH})
IN+ = IN-	不确定（抖动 - 请参阅迟滞）
IN+ < IN-	低 (V_{OL})

8.1.1.2 传播延迟

在输入超过基准电压和输出响应之间存在一定的延迟，这种延迟称为传播延迟。输入从高电平转换为低电平和从低电平转换为高电平时，传播延迟可能不同。这在比较器时序图中显示为 t_{pLH} 和 t_{pHL}，从输入中点到输出中点进行测量。同样，传播也会随着所谓的过驱 (V_{OD}) 和欠驱 (V_{UD}) 电压电平变化而变化（参阅过驱和欠驱动电压）。

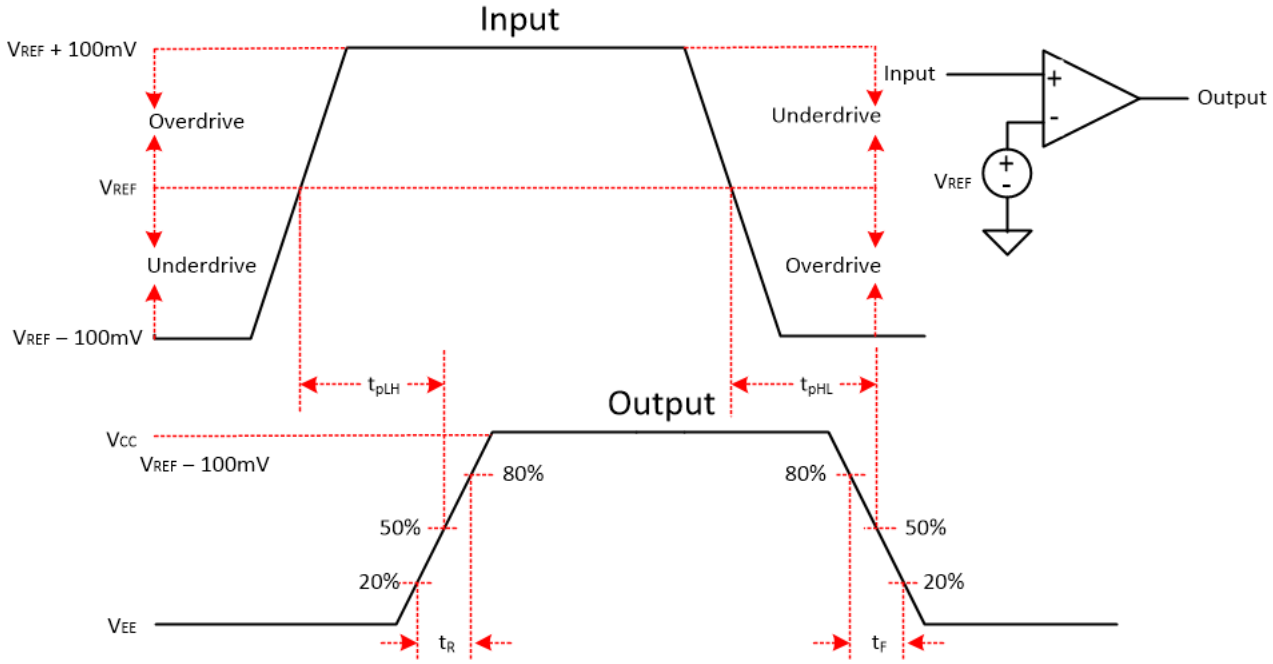


图 8-1. 比较器时序图

Copyright © 2025 Texas Instruments Incorporated

8.1.1.3 过驱动和欠驱动电压

过驱电压 V_{OD} 是超出基准电压的输入电压（而不是总输入峰值间电压）。如 图 8-1 示例所示，过驱电压为 100mV。类似地，欠驱电压 V_{UD} 是指输入在开始时低于 REF 的幅度。过驱和欠驱电压会影响传播延迟 (t_p)。有关更多详细信息，请参阅“典型特性”部分中的曲线。过驱电压越小，传播延迟越长，尤其在 < 100mV 时。如果需要非常快的速度，使用尽可能大的过驱电压。与过驱电压相反，更大的欠驱电压会导致 tp 增加。这在比较器输入存在轨到轨输入摆幅的应用中尤其重要。结果可能是传播延迟偏移（tp_{LH} 和 tp_{HL} 之间的差异）。作为低功耗比较器，如果传播延迟变化至关重要，TI 不建议使用该比较器系列。

上升时间 (t_r) 和下降时间 (t_f) 是从输出波形的 20% 和 80% 点开始的时间。

8.1.2 迟滞

如果所施加的差分输入电压接近比较器的失调电压，则基本比较器配置可能会出现振荡或产生有噪声的“抖动”输出。该情况通常在输入信号非常缓慢地超过比较器的开关阈值时发生。

可以通过添加迟滞或正反馈来防止发生该问题。

图 8-2 所示为迟滞传递曲线。该曲线是一个涉及三个分量的函数：V_{TH}、V_{OS} 和 V_{HYST}：

- V_{TH} 是实际设定电压或阈值跳变电压。
- V_{OS} 是 V_{IN+} 和 V_{IN-} 之间的内部失调电压。该电压与 V_{TH} 相加以形成实际跳变点，比较器必须响应该跳变点以改变输出状态。
- V_{HYST} 是旨在降低比较器对噪声敏感性的迟滞（或跳变窗口）。

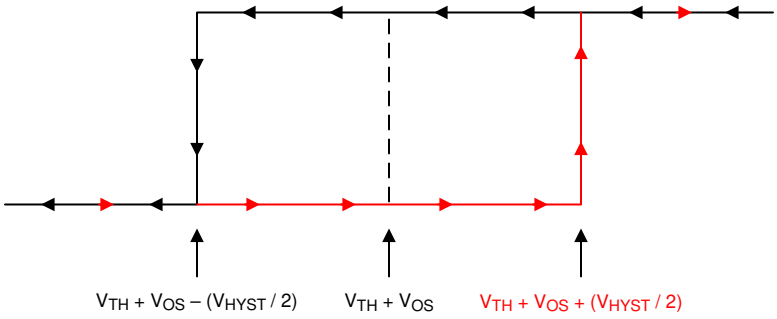


图 8-2. 迟滞传递曲线

更多相关信息，请参阅应用手册 SBOA219“具有/不具有迟滞功能的比较器电路”。

8.1.2.1 具有迟滞功能的反相比较器

具有迟滞功能的反相比较器需要一个以比较器电源电压 (V_{CC}) 为基准的三电阻器网络，如图 8-3 所示。

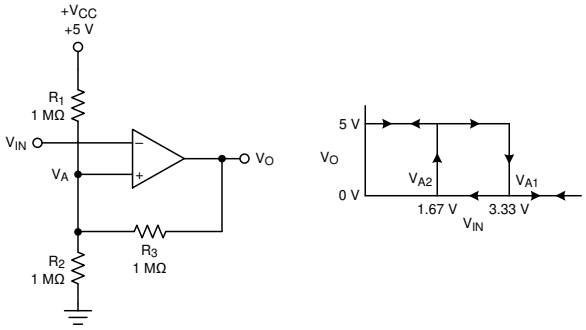


图 8-3. 采用反相配置且具有迟滞功能的 TLV181x

输出为高电平和低电平时的等效电阻器网络如图 8-3 所示。

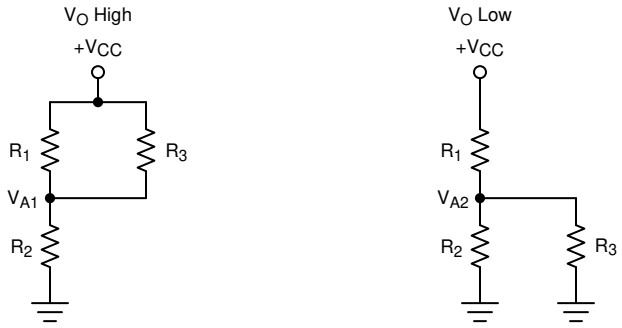


图 8-4. 反相配置电阻器等效网络

当 V_{IN} 小于 V_A 时，输出电压为高电平（为简单起见，假设 V_O 切换至与 V_{CC} 一样高）。三电阻器网络可以表示为 R1 || R3 与 R2 串联，如图 8-4 所示。

下面的方程式 1 定义了从高电平转换到低电平的跳变电压 (V_{A1})。

$$V_{A1} = V_{CC} \times \frac{R2}{(R1 \parallel R3) + R2} \tag{1}$$

当 V_{IN} 大于 V_A 时，输出电压较低。在这种情况下，三电阻器网络可以表示为 R2 || R3 与 R1 串联，如方程式 2 所示。

使用方程式 2 定义从低电平转换到高电平的跳变电压 (V_{A2})。

$$V_{A2} = V_{CC} \times \frac{R2 \parallel R3}{R1 + (R2 \parallel R3)} \tag{2}$$

方程式 3 定义了网络提供的总迟滞。

$$\Delta V_A = V_{A1} - V_{A2} \tag{3}$$

8.1.2.2 具有迟滞功能的同相比较器

具有磁滞功能的非反相比较器需要一个双电阻器网络并在反相输入端需要一个电压基准 (V_{REF})，如图 8-5 所示。

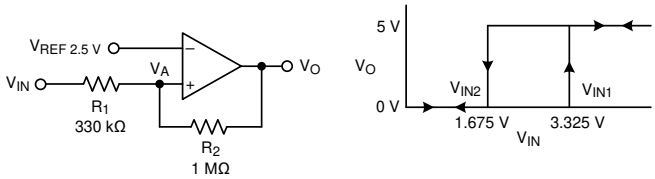


图 8-5. 采用非反相配置、具有迟滞功能的 TLV181x

输出为高电平和低电平时的等效电阻器网络如图 8-6 所示。

Copyright © 2025 Texas Instruments Incorporated

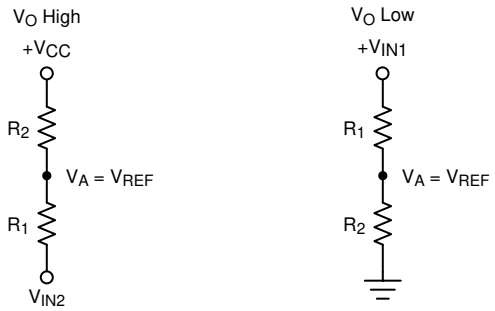


图 8-6. 同相配置电阻器网络

当 V_{IN} 小于 V_{REF} 时，输出为低电平。若要使输出从低电平切换到高电平，V_{IN} 必须高于 V_{IN1} 阈值。请使用方程式 4 来计算 V_{IN1}。

$$V_{IN1} = R1 \times \frac{V_{REF}}{R2} + V_{REF} \tag{4}$$

当 V_{IN} 大于 V_{REF} 时，输出为高电平。若要使比较器切换回低电平状态，V_{IN} 必须降至 V_{IN2} 以下。请使用方程式 5 来计算 V_{IN2}。

$$V_{IN2} = \frac{V_{REF}\,(R1 + R2) - V_{CC} \times R1}{R2} \tag{5}$$

在此电路中，迟滞是 V_{IN1} 和 V_{IN2} 之间的差值，如方程式 6 所示。

$$\Delta V_{IN} = V_{CC} \times \frac{R1}{R2} \tag{6}$$

更多相关信息，请参阅应用手册 SNOA997“具有迟滞功能的反相比较器电路”和 SBOA313“具有迟滞功能的同相比较器电路”。

8.1.2.3 使用开漏输出的反相和同相迟滞

也可以使用开漏输出器件，如 TLV182x，但在计算中还必须考虑输出上拉电阻器。当输出为高电平时，可以看到上拉电阻器与反馈电阻器串联。因此，反馈电阻器实际上可视为 R2 + R_{PULLUP}。TI 建议上拉电阻器阻值至少是反馈电阻器的十分之一。

8.2 典型应用

8.2.1 窗口比较器

窗口比较器通常用于检测欠压和过压情况。图 8-7 显示了一个简单的窗口比较器电路。如果输出端直接连接在一起，则窗口比较器需要开漏输出 (TLV182x)。

Copyright © 2025 Texas Instruments Incorporated

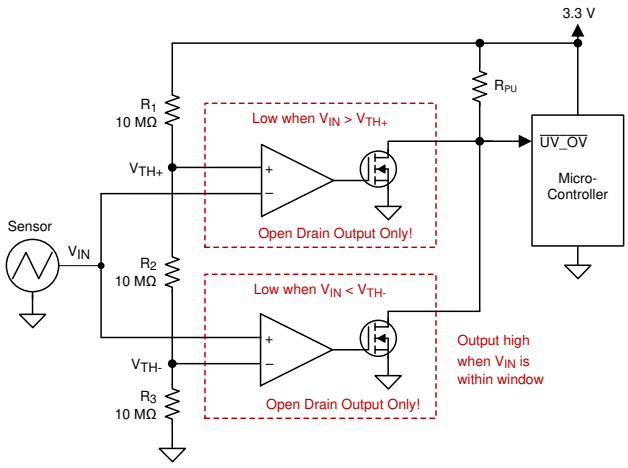


图 8-7. 窗口比较器

8.2.1.1 设计要求

对于此设计，请遵循以下设计要求：

- 当 24V 电源低于 19.2V 时的 UV_Alert（逻辑低电平输出）
- 当 24V 电源高于 30V 时的 OV_Alert（逻辑低电平输出）
- 电阻器串中消耗的电流为 30uA
- 比较器由 5V 电源供电
- 采用 2.5V 外部基准

8.2.1.2 详细设计过程

如上面的电路所示配置电路，其中 TLC3702-EP 的 2.5V REF 用作参考电压，R1、R2 和 R3 的电阻器串用于定义 24V PLC 电源的阈值电压上限和下限。当比较器检测到 24V 电源已超过 30V 的最大电压或降至 19.2V 的最小电压以下时，OV_Alert 和 UV_Alert 网络被拉至逻辑低电平状态。

第一步是使用 30uA 的耗散限值来确定电阻器串（R1、R2、R3）的总电阻。在最高工作电压为 30V 的情况下，如果 R1+R2+R3 的总电阻为 1Mohm，则电阻器串的电流消耗为 30uA。

第二步是设置 R3 的值，以便下限比较器在 24V 电源达到 30V 时将输出状态从高电平更改为低电平。当 R2 和 R3 结点处的电压等于 2.5V 的参考电压时，即可实现此目的。由于在 30V 的电压下会有 30uA 通过电阻器串，因此 R3 可以根据 2.5V/30uA 计算得出，约为 83.3kΩ。

第三步是设置 R2 的值，以便上限比较器在 24V 电源达到 19.2V 时将输出状态从高电平更改为低电平。当 R1 和 R2 结点处的电压等于 2.5V 的参考电压时，即可实现此目的。由于在 19.2V 的电压下会有 19.2uA 通过电阻器串，因此 R2 可以根据 (2.5V /19.2uA) - R3 计算得出，约为 46.9kΩ。

最后，R1 的值根据 1Mohm - (R2 + R3) 计算得出，约为 870kΩ。请注意，为电路选择标准的 1% 电阻器值

当 24V PLC 电源小于 19.2V 或大于 30V 时，相应的比较器输出（OV_Alert 和 UV_Alert）为低电平。同样，当 24V 电源在 19.2V 至 30V 范围内（在“窗口”内）时，相应的比较器输出为高电平，如下所示。

Copyright © 2025 Texas Instruments Incorporated

8.2.1.3 应用曲线

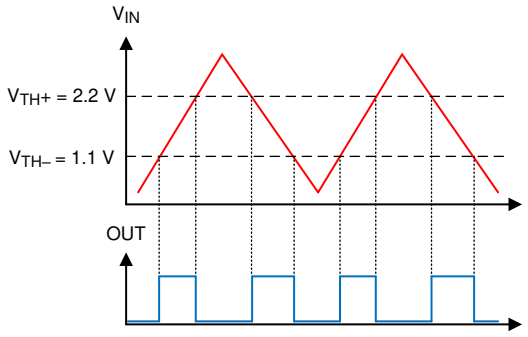


图 8-8. 窗口比较器结果

更多相关信息，请参阅应用手册 SBOA221 “窗口比较器电路”。

8.2.2 方波振荡器

方波振荡器可用作低成本时序基准或系统监控时钟源。推荐使用推挽输出器件 (TLV181x) 以获得最佳对称性。

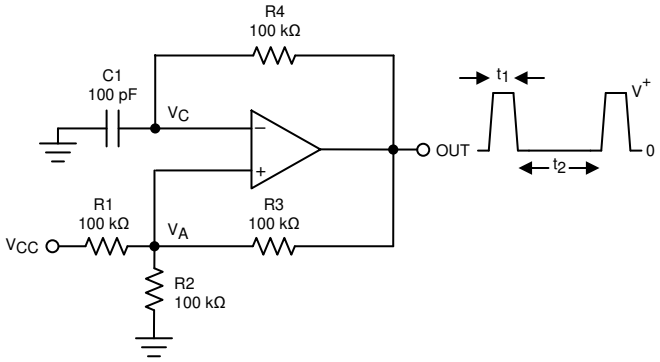


图 8-9. 方波振荡器

8.2.2.1 设计要求

方波周期由电容器 C_1 和电阻器 R_4 的 RC 时间常数决定。最高频率受限于器件的传播延迟以及输出端的容性负载。在给定的振荡器频率下，低输入偏置电流允许采用较低的电容值和较大的电阻值组合，这有助于降低 BOM 成本并减少布板空间。TI 建议 R4 超过几千欧，以尽量减少输出负载。

8.2.2.2 详细设计过程

振荡频率由电阻值和电容值决定。以下计算提供了这些步骤的详细信息。

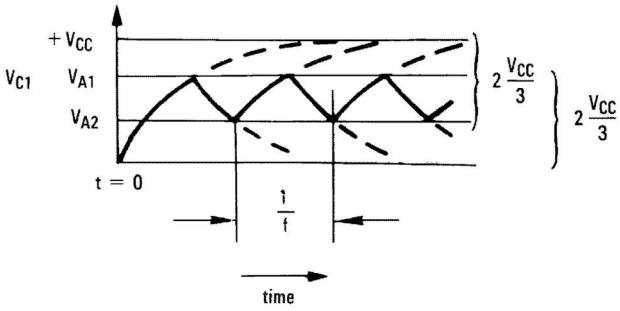


图 8-10. 方波振荡器时序阈值

首先考虑图 图 8-9 的输出为高电平，这表明反相输入 (V_C) 低于同相输入 (V_A)。这将使 C_1 通过 R_4 充电，电压 V_C 将增加，直到等于同相输入。此时 V_A 的值由方程式 7 计算得出。

$$V_{A1} = \frac{V_{CC} \times R_2}{R_2 + R_1 \| R_3} \tag{7}$$

如果 $R_1 = R_2 = R_3$，则 $V_{A1} = 2V_{CC}/3$

此时，比较器输出会跳闸，将输出拉低至负电源轨。此时 V_A 的值由方程式 8 计算得出。

$$V_{A2} = \frac{V_{CC}(R_2 \| R_3)}{R_1 + R_2 \| R_3} \tag{8}$$

如果 $R_1 = R_2 = R_3$，则 $V_{A2} = V_{CC}/3$

C_1 现在通过 R_4 放电，电压 V_{CC} 下降，直到达到 V_{A2}。此时，输出切换回起始状态。振荡周期等于 C_1 从 $2V_{CC}/3$ 到 $V_{CC}/3$ 再回到 $2V_{CC}/3$ 的持续时间，每次切换为 $R_4C_1 \times \ln 2$。因此，总持续时间的计算公式为 $2R_4C_1 \times \ln 2$。

振荡频率可以通过方程式 9 得出：

$$f = 1/(2\ R4 \times C1 \times \ln 2) \tag{9}$$

8.2.2.3 应用曲线

图 8-11 显示了使用以下元件值时的振荡器仿真结果：

- $R_1 = R_2 = R_3 = R_4 = 100k\Omega$
- $C_1 = 100pF$，$C_L = 20pF$
- V+ = 5V，V– = GND
- C_{stray}（未显示）为 V_A 至 GND = 10pF

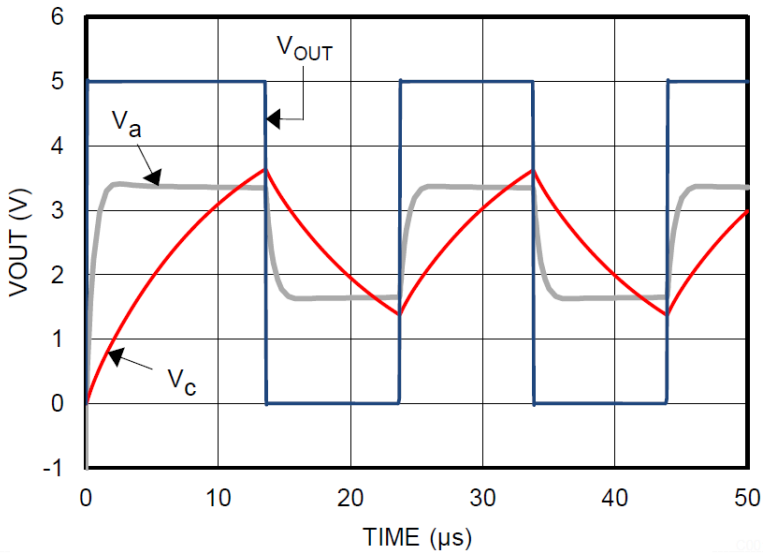


图 8-11. 方波振荡器输出波形

8.2.3 可调节的脉宽生成器

图 8-12 是方波振荡器的一种变体，允许调整脉冲宽度。

R_4 和 R_5 根据输出状态为电容器 C 提供单独的充电和放电路径。

Copyright © 2025 Texas Instruments Incorporated

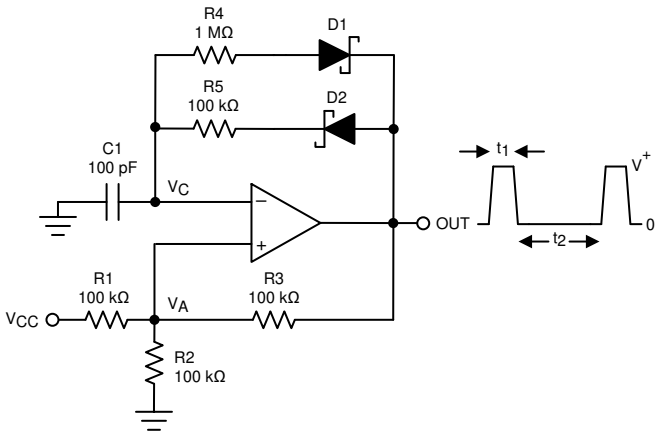


图 8-12. 可调节的脉宽生成器

当输出为高电平时，充电路径通过 R_5 和 D_2 进行设置。同样，当输出为低电平时，电容器的放电路径通过 R_4 和 D_1 进行设置。

脉冲宽度 t_1 由 R_5 和 C 的 RC 时间常数决定。因此，脉冲之间的时间 t_2 可通过改变 R_4 来更改，脉冲宽度可通过 R_5 来更改。输出的频率可通过改变 R_4 和 R_5 来更改。在低电压下，必须通过在计算中改变输出高电压和低电压来考虑二极管正向压降（0.8V，或对于肖特基二极管为 0.15V）的影响。

8.2.4 延时时间生成器

图 8-13 所示电路从某个时间基准起以规定的时间间隔提供输出信号，并在输入返回到 0V 时自动将输出复位为低电平。这适用于对“上电”信号进行时序控制以触发电源的受控启动。

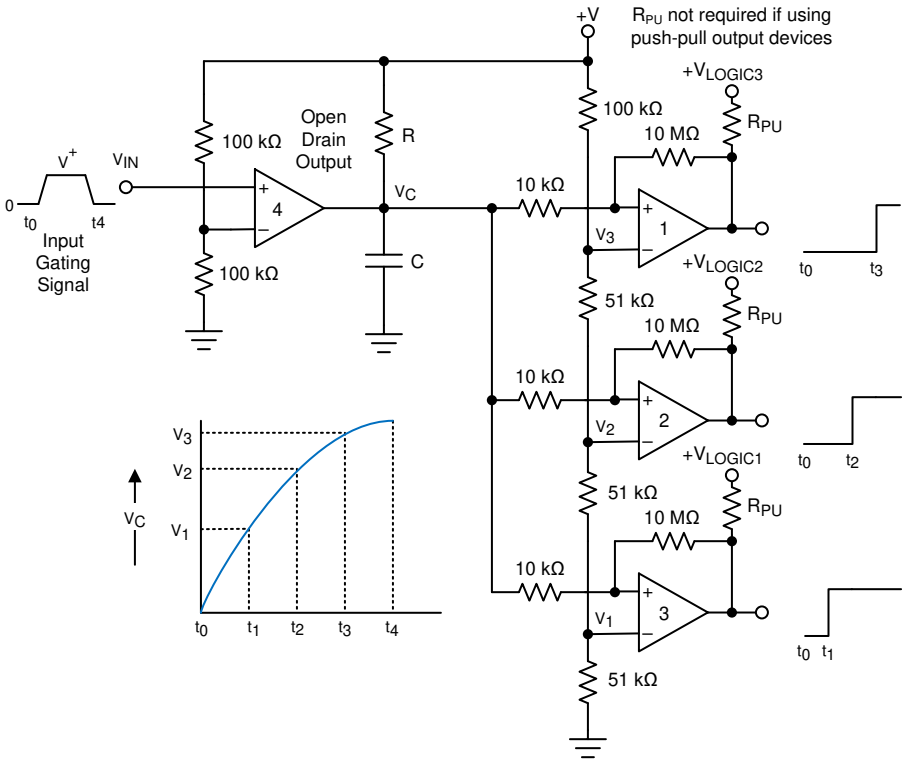


图 8-13. 延时时间生成器

考虑 V_{IN} = 0 的情况。比较器 4 的输出也将接地，将电容器“短接”并将节点保持在 0V。这意味着比较器 1、2 和 3 的输出也为 0V。当施加一个输入信号时，开漏比较器 4 的输出变为高阻态，C 以指数方式通过 R 充电。图中显示了这一点。当 V_C 高于基准电压 V_1、V_2 和 V_3 时，比较器 1、2 和 3 的输出电压依次切换到高电平状态。10kΩ 和 10MΩ 电阻器提供了少量迟滞，以确保在选择 RC 时间常数以提供长延迟时间时能够快速切换。可以先选择 R = 100kΩ 且 C = 0.01µF 至 1µF。

由于比较器输出变为低电平并立即对电容器放电，当电压 V_{IN} 降至 0V 时，所有输出将立即变为低电平。

比较器 4 必须是开漏型输出 (TLV182x)；而比较器 1 至 3 可以是开漏型输出，也可以是推挽型输出，具体取决于系统要求。推挽型输出器件不需要 R_{PU}。

8.2.5 逻辑电平转换器

TLV182x 的输出是输出晶体管的非限定漏极。如有需要，可以将许多开漏输出连接在一起，以提供输出 OR'ing 功能。

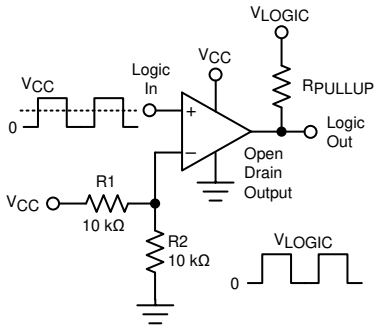


图 8-14. 通用逻辑电平转换器

两个 10kΩ 电阻器将输入偏置到输入逻辑电源电平的一半，以在输入逻辑电平的中点设置阈值。只需一个共享输出上拉电阻器即可连接至 0V 至 5.5V 之间的任何上拉电压。上拉电压 (V_{LOGIC}) 应与驱动的逻辑输入“高”电平相匹配。

8.2.6 单稳态多谐振荡器

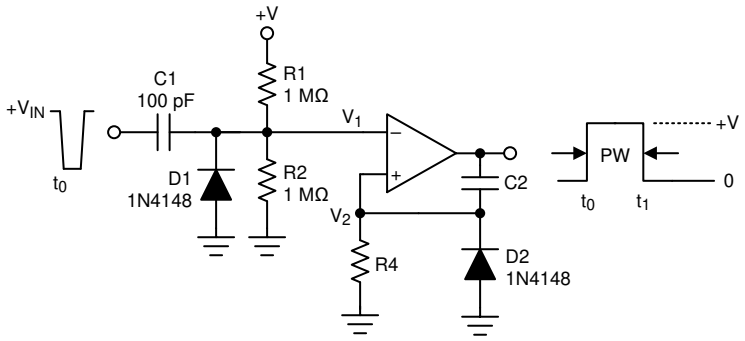


图 8-15. 单稳态多谐振荡器

单稳态多谐振荡器有一种使电路可以长久保持的稳定状态。可从外部将电路触发到另一个准稳定状态。因此，可以使用单稳态多谐振荡器来生成所需宽度的脉冲。

通过调整 C_2 和 R_4 的值来设置所需的脉冲宽度。可以使用 R_1 和 R_2 的电阻分压器来确定输入触发脉冲的幅度。当 $V_1 < V_2$ 时，输出会改变状态。二极管 D_2 为电容器 C_2 提供快速放电路径，以便在脉冲结束时复位。二极管还可防止将同相输入驱动至低于接地值。

Copyright © 2025 Texas Instruments Incorporated

8.2.7 双稳态多谐振荡器

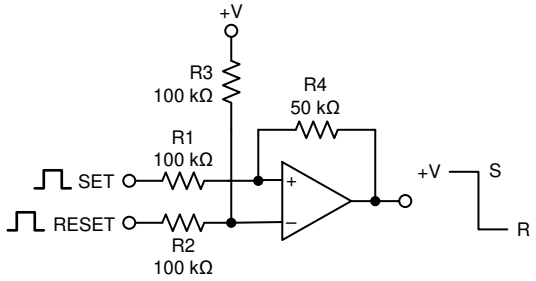


图 8-16. 双稳态多谐振荡器

双稳态多谐振荡器有两个稳定状态。基准电压由 R_2 和 R_3 的分压器设置。施加到 SET 端子的脉冲会将比较器的输出切换为高电平。R_1 和 R4 的电阻分压器现在将非反相输入设置为大于基准电压的电压。施加到 RESET 的脉冲会将输出切换为低电平。

8.2.8 过零检测器

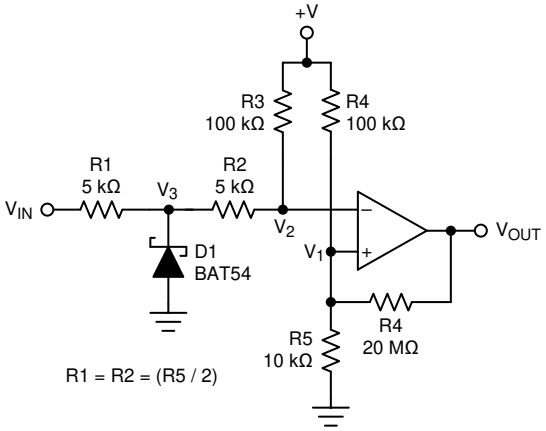


图 8-17. 过零检测器

R_4 和 R_5 的分压器在同相输入端建立基准电压 V_1。通过使 R_1 和 R_2 的串联电阻等于 R_5，比较器输出在 V_{IN} = 0V 时切换。二极管 D_1 的钳位 V_3 接近地电平。然后，R_2 和 R_3 的分压器防止 V_2 低于地电平。设置了少量迟滞以维持快速输出电压转换。

8.2.9 脉冲切片器

脉冲切片器是过零检测器的一种变体，用于对具有不同基线电平的输入信号进行过零检测。该电路非常适合对称波形。R_1 和 C_1 的 RC 网络建立了一个平均基准电压 V_{REF}，可跟踪 V_{IN} 信号的平均振幅。非反相输入通过 R2 直接连接到 V_{REF}。R2 和 R3 用于产生迟滞，确保转换过程中没有虚假切换。时间常数是在长期对称性和对振幅变化的响应时间之间进行权衡的结果。

如果波形是数据，该数据可编码为建议的 NRZ（不归零码）格式，以保持适当的平均基线。非对称输入可能会因 V_{REF} 平均电压的变化而出现时序失真。

Copyright © 2025 Texas Instruments Incorporated

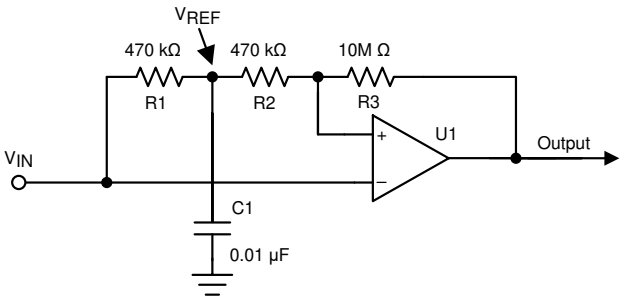


图 8-18. 脉冲切片器

对于此设计，请遵循以下设计要求：

- RC 常数值（R_2 和 C_1）必须支持目标数据速率，以保持有效的跳变阈值。
- R_2 和 R_{43} 引入的迟滞有助于避免虚假输出切换。

也可以使用 TLV182x，但要在输出端增加一个上拉电阻器（为清晰起见，未显示）。

图 8-19 显示了随基线变化的 9600 波特数据信号波形。

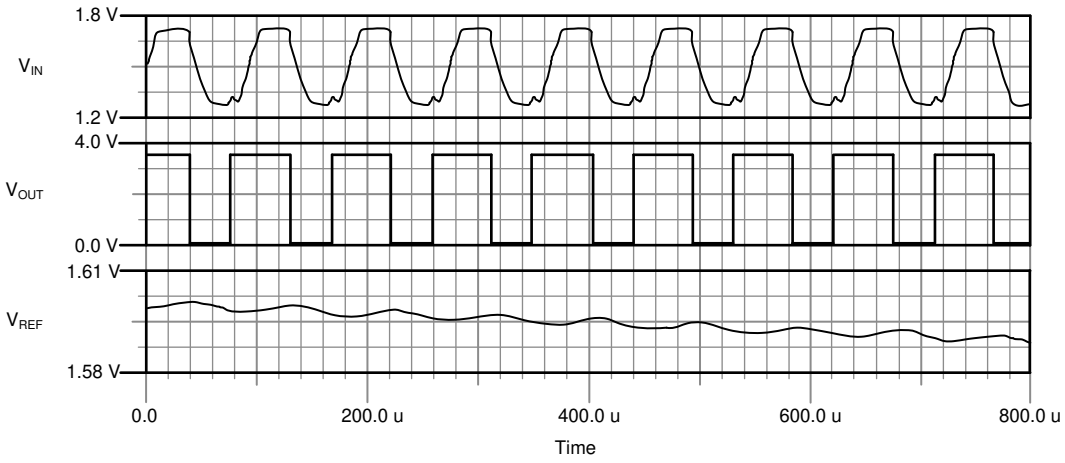


图 8-19. 脉冲切片器波形

8.3 电源相关建议

由于输出边沿速率较快，务必在电源引脚上安装旁路电容器以防止电源发生振铃和误触发以及振荡。在 V_{CC} 引脚和接地引脚之间直接放一个低 ESR 0.1µF 陶瓷旁路电容器，直接在*每个*器件上旁路电源。输出转换期间会汲取窄峰值电流，特别是对于推挽输出器件而言。这些窄脉冲会导致电源线未被旁路和不良的接地振铃，可能会导致输入电压范围发生变化并产生不准确的比较，甚至造成振荡。

该器件可由“双”电源（V+ 和 V-）或“单”电源（V+ 和 GND，GND 连接 V- 引脚）供电。对于任一类型，输入信号必须保持在指定的输入范围内（介于 V+ 和 V- 之间）。请注意，使用“双”电源时，输出可以将“低电平”(V_{OL}) 摆动到 V- 电位而不是摆动到 GND。

8.4 布局

8.4.1 布局指南

在应用精确比较器时，保持电源干净、稳定，对于将输出干扰降至最低至关重要。输出上升和下降时间为几十纳秒，必须被视为高速逻辑器件。旁路电容器必须尽可能靠近电源引脚放置并连接到实心接地层，最好直接放在 V_{CC} 与 GND 引脚之间。

Copyright © 2025 Texas Instruments Incorporated

尽量减少输出和输入之间的耦合，以防止输出振荡。除非输出之间存在 V_{CC} 或 GND 迹线，否则请勿并行布置输出和输入迹线，以减少耦合。向输入端添加串联电阻时，将电阻器放在靠近器件的位置。还可以在输出端串联一个低阻值（≤100 欧姆）电阻器，以抑制非阻抗控制的长迹线上出现任何振铃或反射。为获得理想边缘形状，在进行长距离布线时可以使用带有反向终端的受控阻抗布线。

8.4.2 布局示例

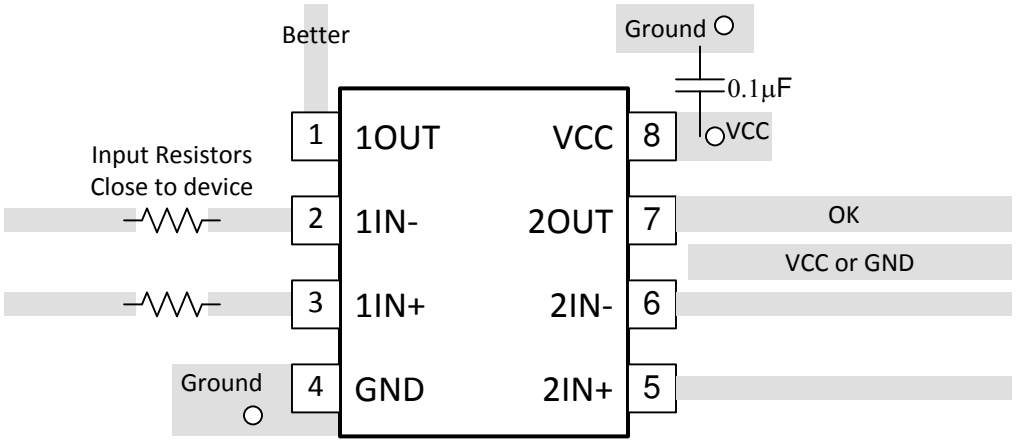


图 8-20. 双通道布局示例

9 器件和文档支持

9.1 文档支持

9.1.1 相关文档

模拟工程师电路设计指导手册：放大器（请参阅“比较器”一节）- SLYY137

精密设计，具有迟滞功能的比较器参考设计 - TIDU020

窗口比较器电路 - SBOA221

参考设计，窗口比较器参考设计 - TIPD178

具有/不具有迟滞功能的比较器电路 - SBOA219

具有迟滞功能的反相比较器电路 - SNOA997

具有迟滞功能的同相比较器电路 - SBOA313

采用比较器的过零检测电路 - SNOA999

PWM 发生器电路 - SBOA212

如何在工业驱动应用中采用比较器以提高旋转编码器的性能 - SNOAA41

四个独立运行的比较器 - SNOA654

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

Copyright © 2025 Texas Instruments Incorporated

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision D (December 2024) to Revision E (July 2025)	Page
• 已恢复缺少的行和表	6

Changes from Revision C (September 2023) to Revision D (December 2024)	Page
• 替换了方框图并添加了图形 XX	1
• 替换了方框图并添加了图形	1
• 更新了 ESD 文本	13

Changes from Revision B (December 2022) to Revision C (September 2023)	Page
• 删除了多个双通道和四通道 SOIC 版本的预发布状态	1

Changes from Revision A (November 2022) to Revision B (December 2022)	Page
• 删除了 TLV1811/21 单通道版本的预发布状态	1

Changes from Revision * (September 2022) to Revision A (November 2022)	Page
• 删除了 TLV1812/22 双通道 SOIC 版本的预发布状态	1

11 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV1811DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2XJT
TLV1811DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2XJT
TLV1811DCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2XST
TLV1811DCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2XST
TLV1811LDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2XNT
TLV1811LDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2XNT
TLV1811LDCKR	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2XTT
TLV1811LDCKR.A	Active	Production	SC70 (DCK) | 6	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2XTT
TLV1812DDFR	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	32EF
TLV1812DDFR.A	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	32EF
TLV1812DGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	31US
TLV1812DGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	31US
TLV1812DR	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL1812
TLV1812DR.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL1812
TLV1812DSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1OD
TLV1812DSGR.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1OD
TLV1812PWR	Active	Production	TSSOP (PW) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL1812
TLV1812PWR.A	Active	Production	TSSOP (PW) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL1812
TLV1814DR	Active	Production	SOIC (D) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV1814D
TLV1814DR.A	Active	Production	SOIC (D) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV1814D
TLV1814DYYR	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV1814B1
TLV1814DYYR.A	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV1814B1
TLV1814PWR	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T1814B1
TLV1814PWR.A	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T1814B1
TLV1814RTER	Active	Production	WQFN (RTE) | 16	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T1814B
TLV1814RTER.A	Active	Production	WQFN (RTE) | 16	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T1814B
TLV1821DBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2XLT
TLV1821DBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2XLT

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
TLV1821DCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2XUT
TLV1821DCKR.A	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	2XUT
TLV1821LDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2XMT
TLV1821LDBVR.A	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	2XMT
TLV1822DDFR	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	32DF
TLV1822DDFR.A	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	32DF
TLV1822DGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	31VS
TLV1822DGKR.A	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	31VS
TLV1822DR	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL1822
TLV1822DR.A	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL1822
TLV1822DSGR	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1OE
TLV1822DSGR.A	Active	Production	WSON (DSG) | 8	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	1OE
TLV1822PWR	Active	Production	TSSOP (PW) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL1822
TLV1822PWR.A	Active	Production	TSSOP (PW) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TL1822
TLV1824DR	Active	Production	SOIC (D) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV1824D
TLV1824DR.A	Active	Production	SOIC (D) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV1824D
TLV1824DYYR	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV1824DYY
TLV1824DYYR.A	Active	Production	SOT-23-THIN (DYY) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	TLV1824DYY
TLV1824PWR	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T1824B1
TLV1824PWR.A	Active	Production	TSSOP (PW) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T1824B1
TLV1824RTER	Active	Production	WQFN (RTE) | 16	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T1824B
TLV1824RTER.A	Active	Production	WQFN (RTE) | 16	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	T1824B

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) Lead finish/Ball material: Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) MSL rating/Peak reflow: The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) Part marking: There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF TLV1811, TLV1812, TLV1814, TLV1821, TLV1822, TLV1824 :

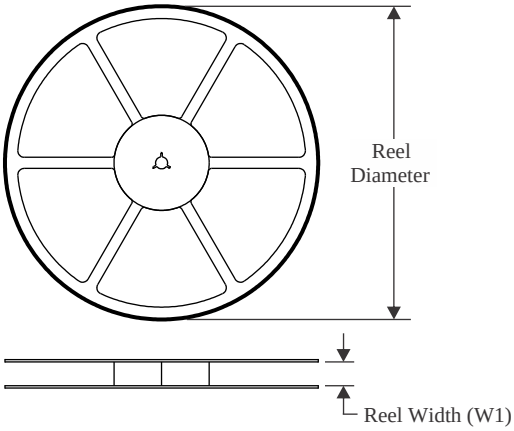
- Automotive : TLV1811-Q1, TLV1812-Q1, TLV1814-Q1, TLV1821-Q1, TLV1822-Q1, TLV1824-Q1
- Enhanced Product : TLV1812-EP, TLV1822-EP

NOTE: Qualified Version Definitions:

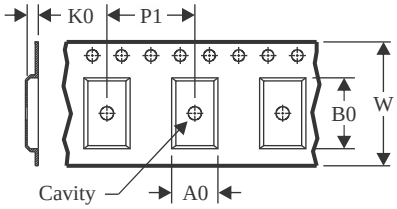
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects
- Enhanced Product - Supports Defense, Aerospace and Medical Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

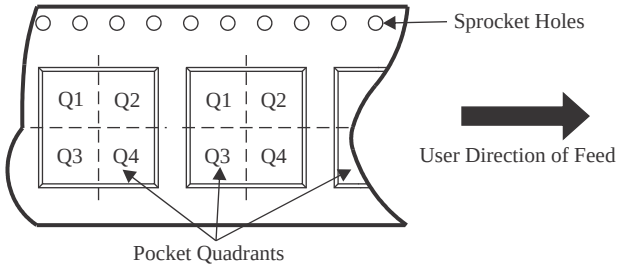


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE

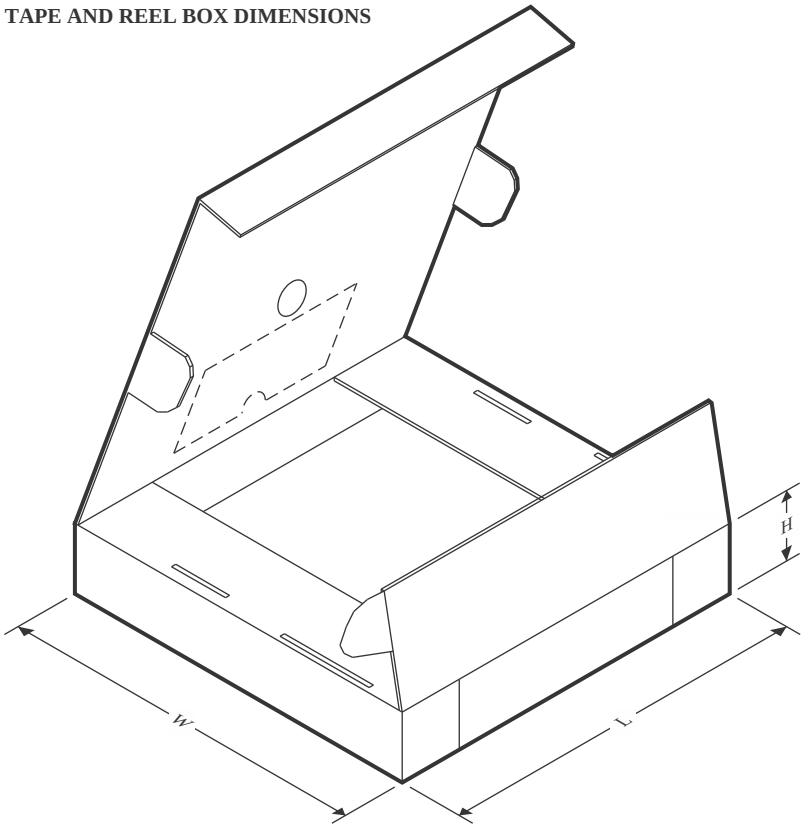


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV1811DBVR	SOT-23	DBV	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV1811DCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV1811LDBVR	SOT-23	DBV	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV1811LDCKR	SC70	DCK	6	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV1812DDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV1812DGKR	VSSOP	DGK	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV1812DR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV1812DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TLV1812PWR	TSSOP	PW	8	3000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLV1814DR	SOIC	D	14	3000	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV1814DYYR	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
TLV1814PWR	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLV1814RTER	WQFN	RTE	16	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2
TLV1821DBVR	SOT-23	DBV	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV1821DCKR	SC70	DCK	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
TLV1821LDBVR	SOT-23	DBV	5	3000	178.0	9.0	2.4	2.5	1.2	4.0	8.0	Q3
TLV1822DDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
TLV1822DGKR	VSSOP	DGK	8	2500	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV1822DR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
TLV1822DSGR	WSON	DSG	8	3000	180.0	8.4	2.3	2.3	1.15	4.0	8.0	Q2
TLV1822PWR	TSSOP	PW	8	3000	330.0	12.4	7.0	3.6	1.6	8.0	12.0	Q1
TLV1824DR	SOIC	D	14	3000	330.0	16.4	6.5	9.0	2.1	8.0	16.0	Q1
TLV1824DYYR	SOT-23-THIN	DYY	14	3000	330.0	12.4	4.8	3.6	1.6	8.0	12.0	Q3
TLV1824PWR	TSSOP	PW	14	3000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
TLV1824RTER	WQFN	RTE	16	5000	330.0	12.4	3.3	3.3	1.1	8.0	12.0	Q2

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV1811DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TLV1811DCKR	SC70	DCK	5	3000	180.0	180.0	18.0
TLV1811LDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TLV1811LDCKR	SC70	DCK	6	3000	180.0	180.0	18.0
TLV1812DDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TLV1812DGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0
TLV1812DR	SOIC	D	8	3000	353.0	353.0	32.0
TLV1812DSGR	WSON	DSG	8	3000	210.0	185.0	35.0
TLV1812PWR	TSSOP	PW	8	3000	353.0	353.0	32.0
TLV1814DR	SOIC	D	14	3000	353.0	353.0	32.0
TLV1814DYYR	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
TLV1814PWR	TSSOP	PW	14	3000	353.0	353.0	32.0
TLV1814RTER	WQFN	RTE	16	5000	367.0	367.0	35.0
TLV1821DBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TLV1821DCKR	SC70	DCK	5	3000	180.0	180.0	18.0
TLV1821LDBVR	SOT-23	DBV	5	3000	180.0	180.0	18.0
TLV1822DDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
TLV1822DGKR	VSSOP	DGK	8	2500	353.0	353.0	32.0

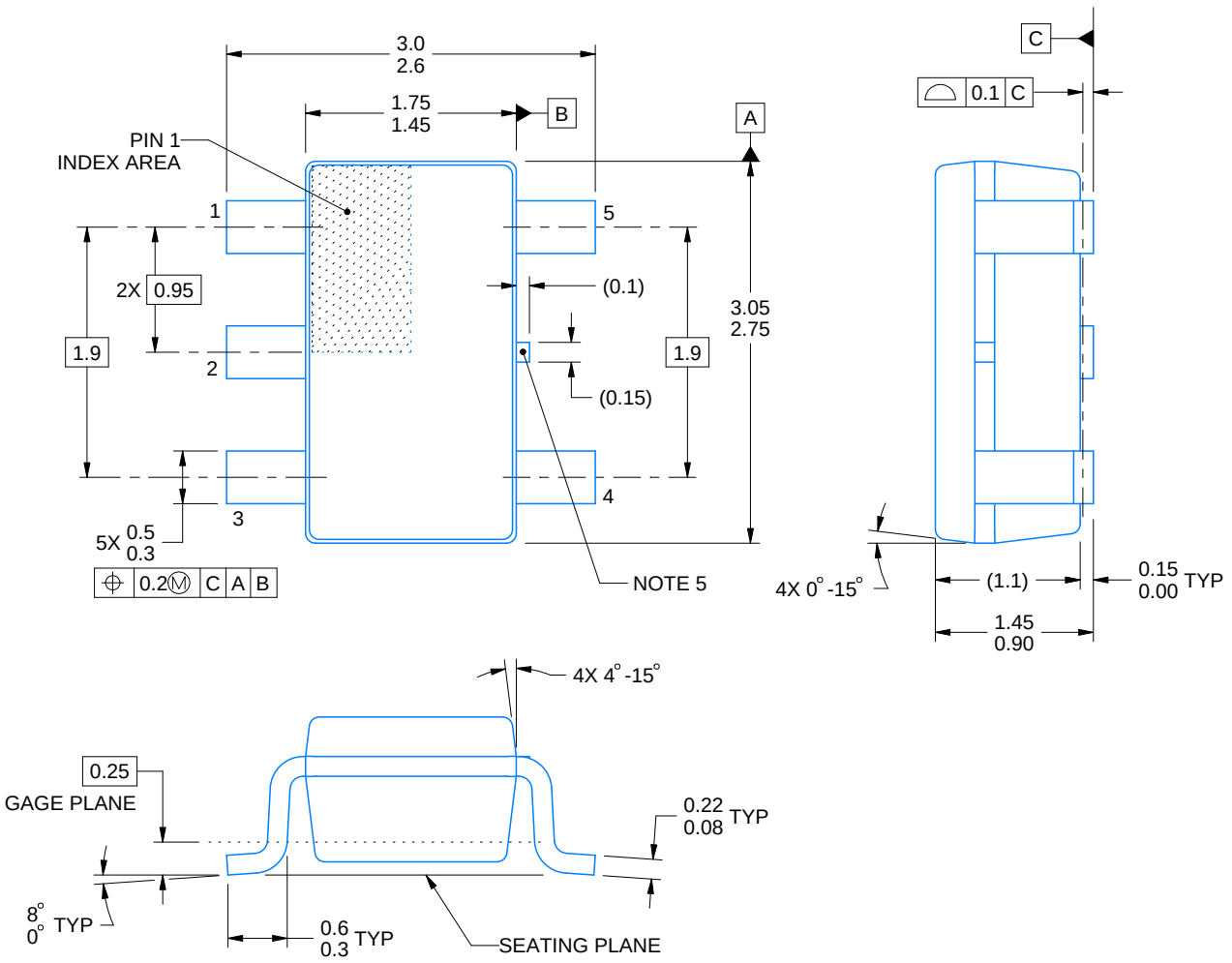
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
TLV1822DR	SOIC	D	8	3000	353.0	353.0	32.0
TLV1822DSGR	WSON	DSG	8	3000	210.0	185.0	35.0
TLV1822PWR	TSSOP	PW	8	3000	353.0	353.0	32.0
TLV1824DR	SOIC	D	14	3000	353.0	353.0	32.0
TLV1824DYYR	SOT-23-THIN	DYY	14	3000	336.6	336.6	31.8
TLV1824PWR	TSSOP	PW	14	3000	353.0	353.0	32.0
TLV1824RTER	WQFN	RTE	16	5000	367.0	367.0	35.0

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

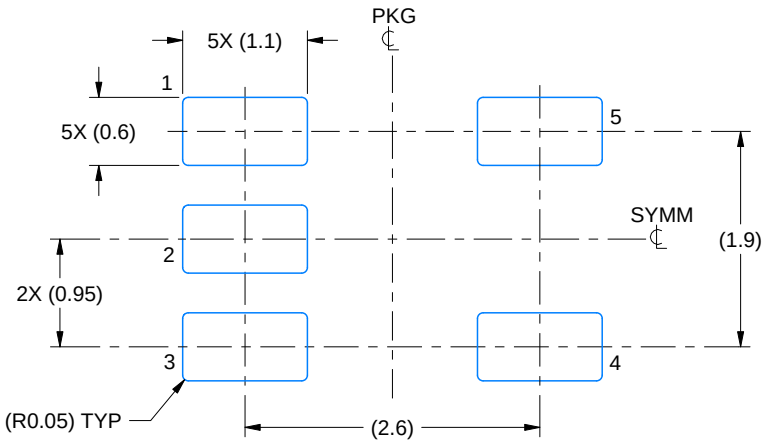
SMALL OUTLINE TRANSISTOR



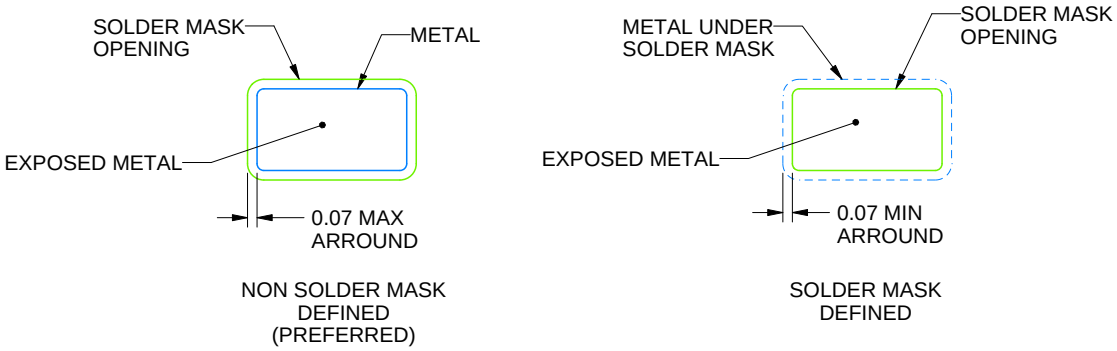
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

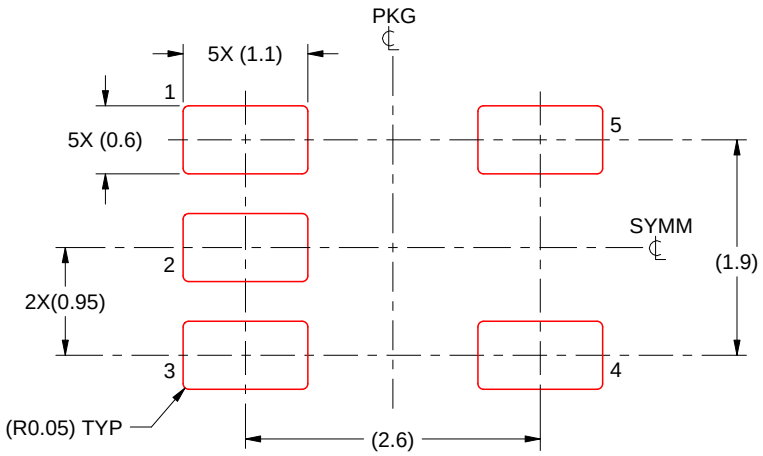


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

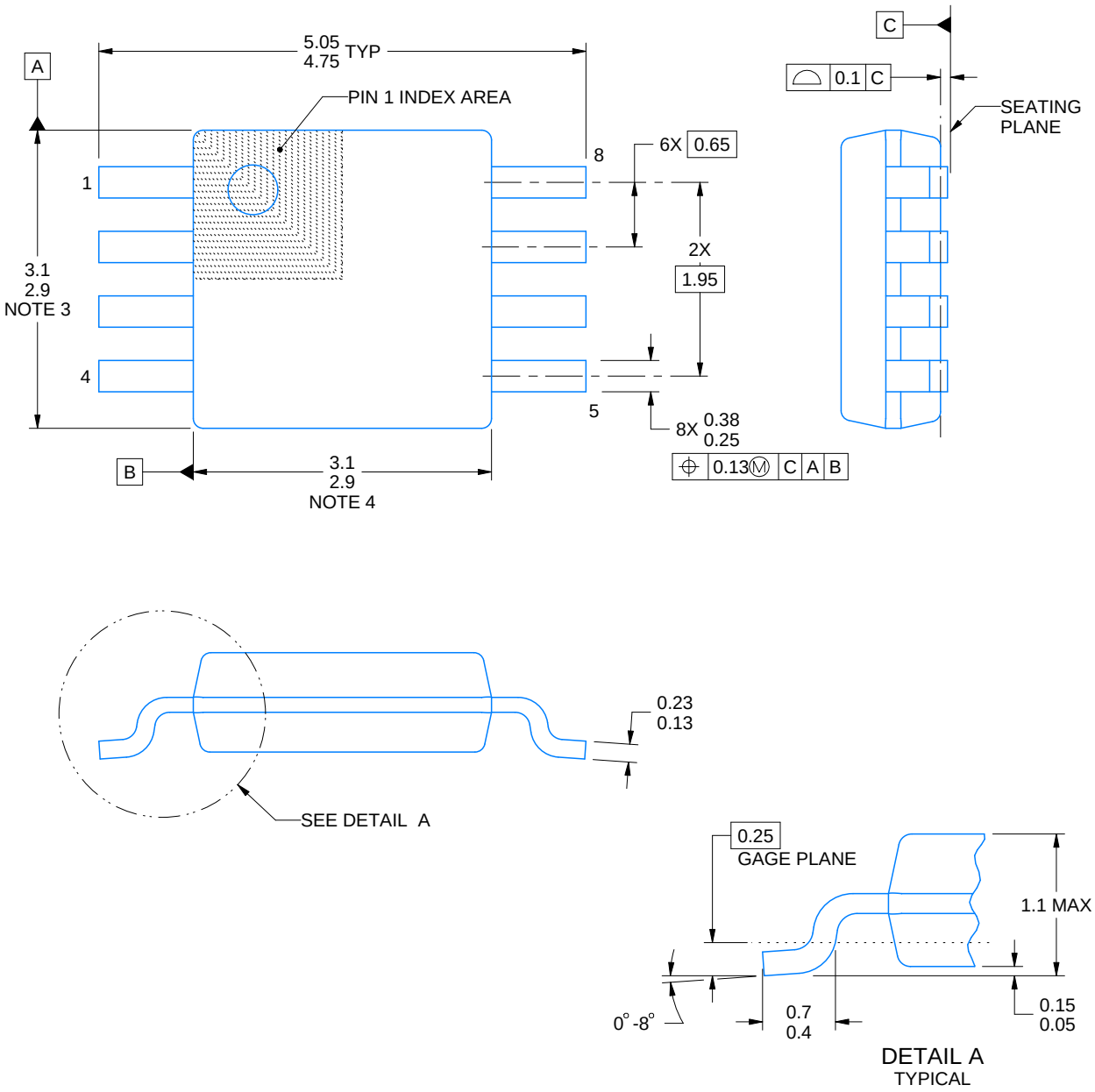
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

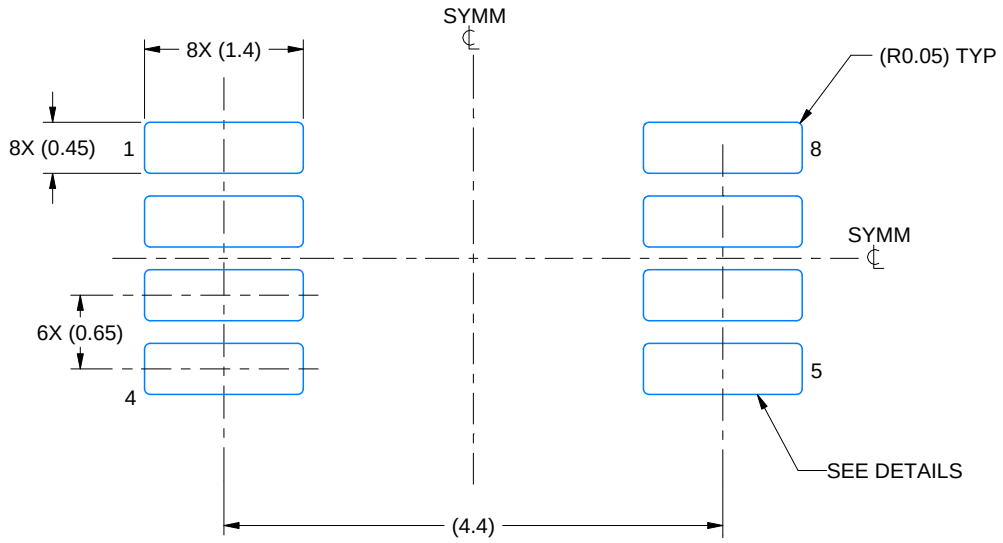
SMALL OUTLINE PACKAGE



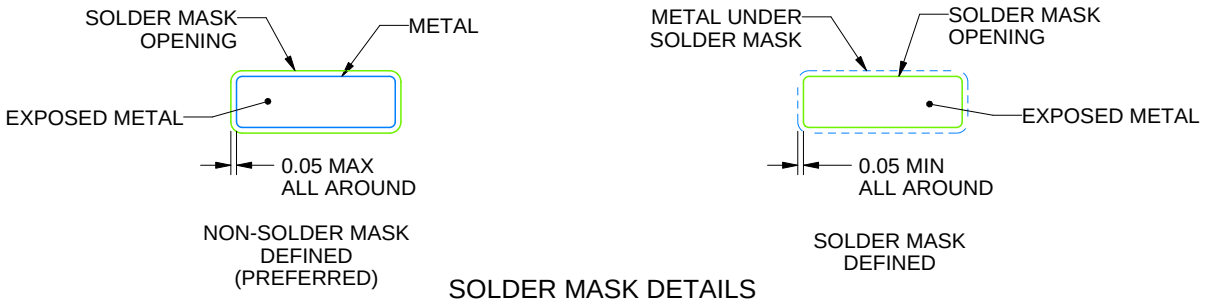
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

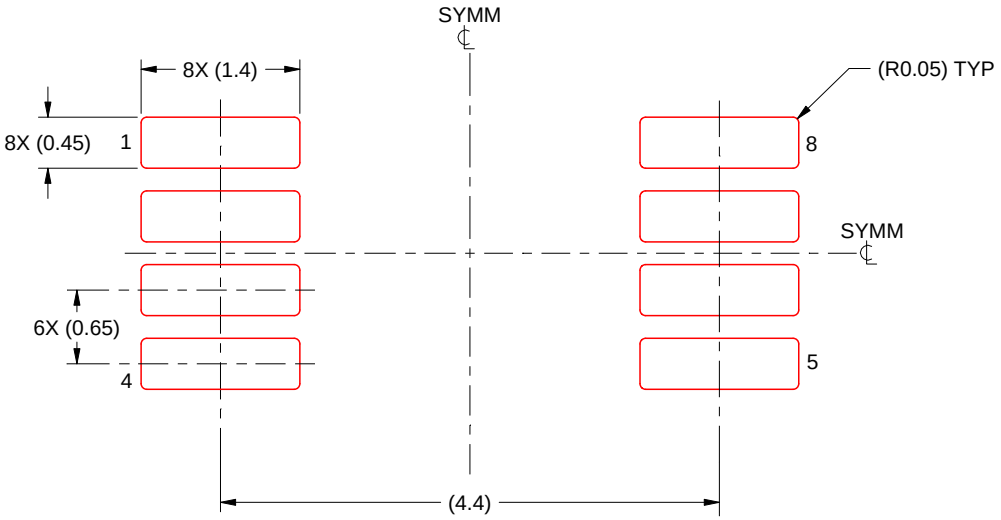


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

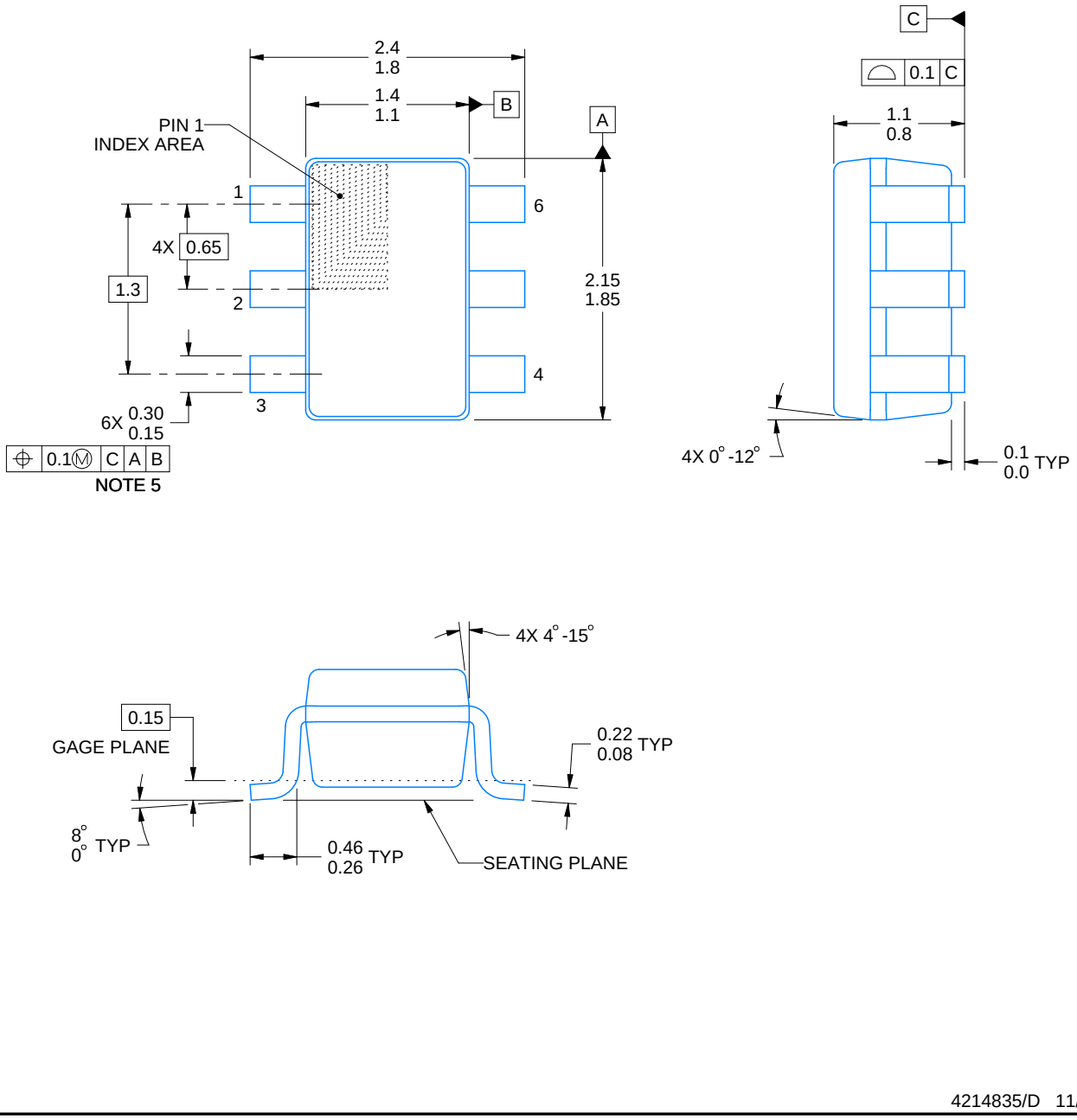
11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCK0006A

SOT - 1.1 max height

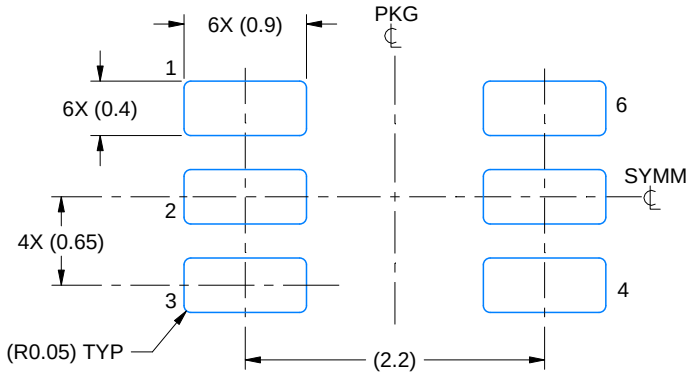
SMALL OUTLINE TRANSISTOR



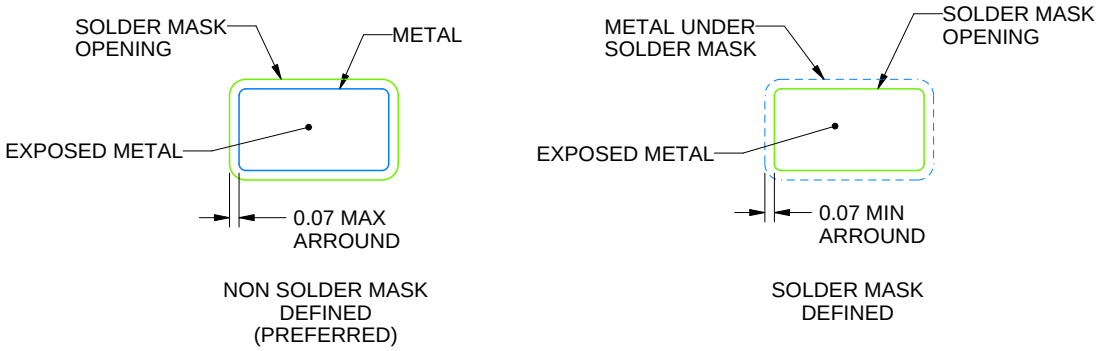
4214835/D 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Body dimensions do not include mold flash or protrusion. Mold flash and protrusion shall not exceed 0.15 per side.
4. Falls within JEDEC MO-203 variation AB.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

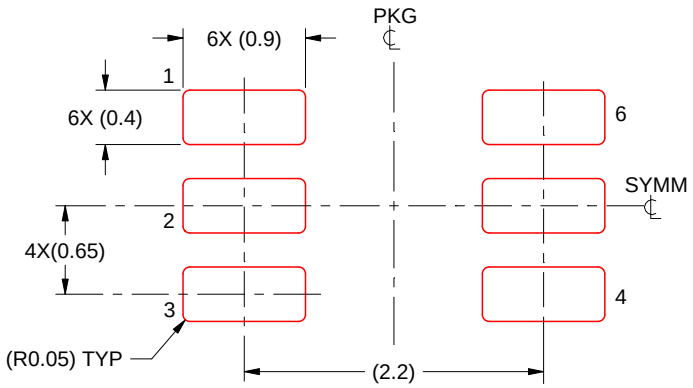


SOLDER MASK DETAILS

4214835/D 11/2024

NOTES: (continued)

5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214835/D 11/2024

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

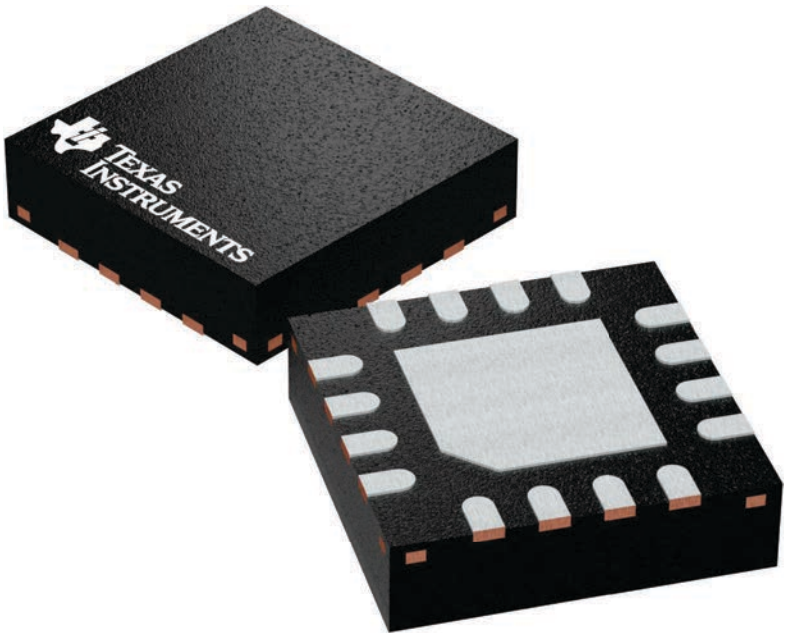
RTE 16

WQFN - 0.8 mm max height

3 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



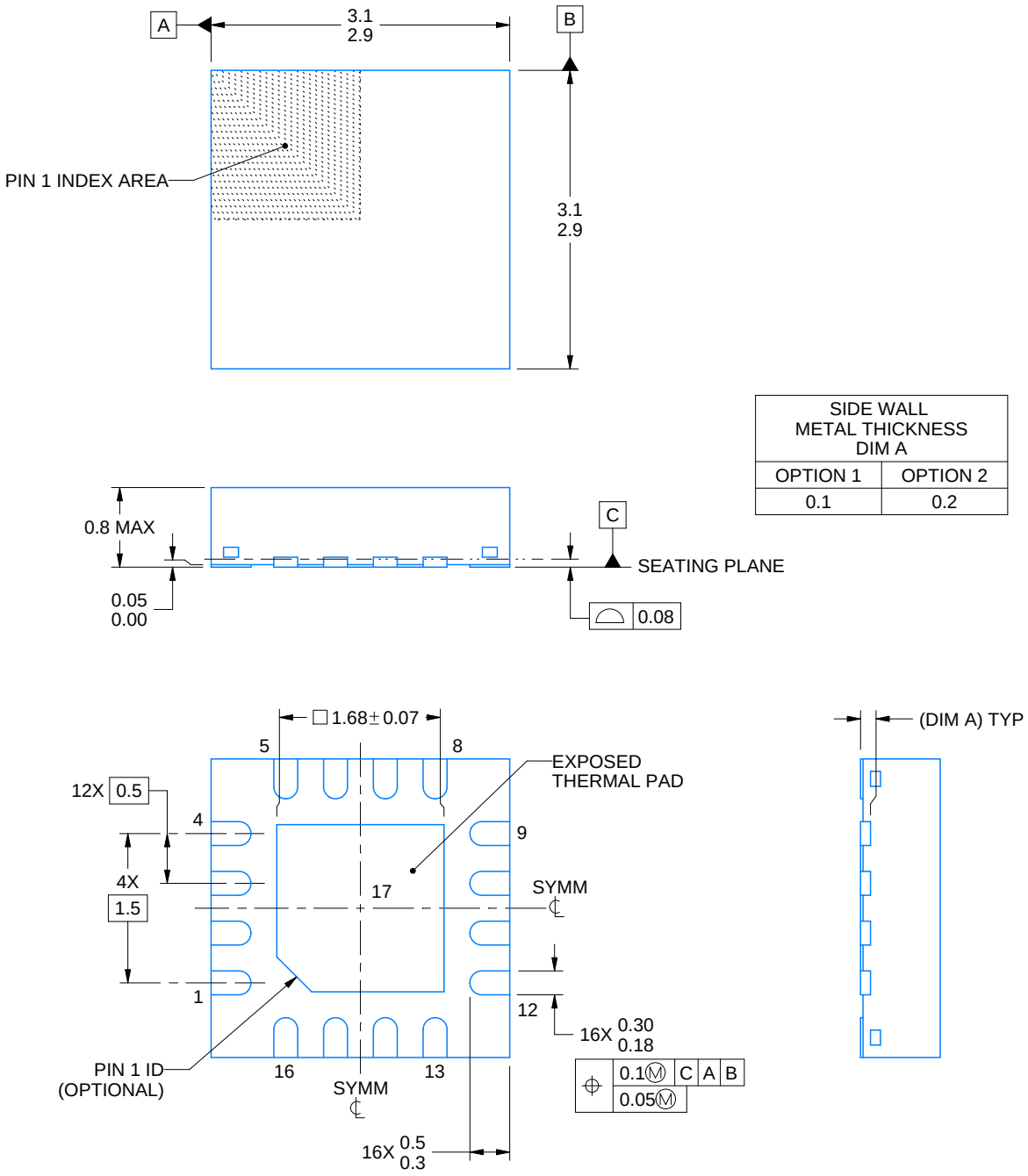
4225944/A

RTE0016C

PACKAGE OUTLINE

WQFN - 0.8 mm max height

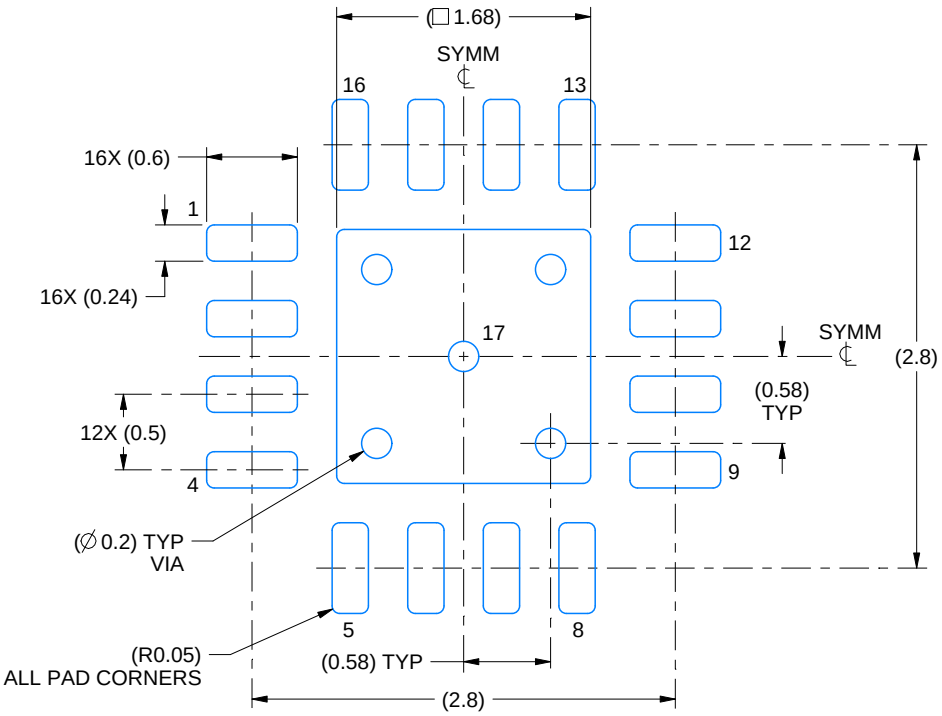
PLASTIC QUAD FLATPACK - NO LEAD



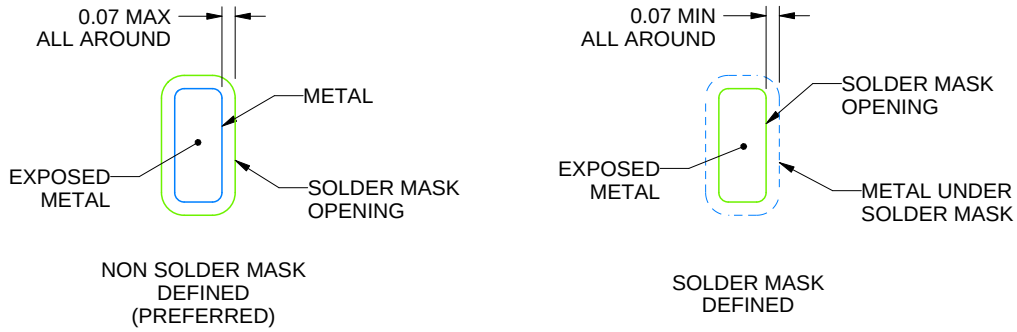
4219117/B 04/2022

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:20X

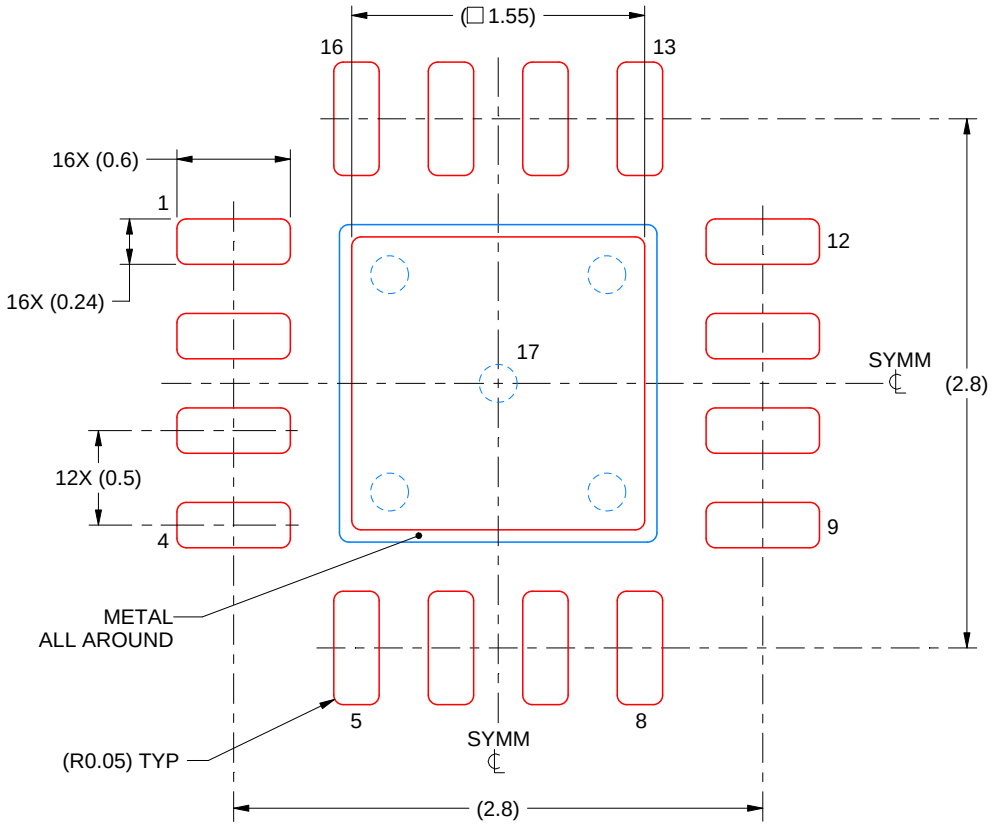


SOLDER MASK DETAILS

4219117/B 04/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 17:
85% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4219117/B 04/2022

NOTES: (continued)

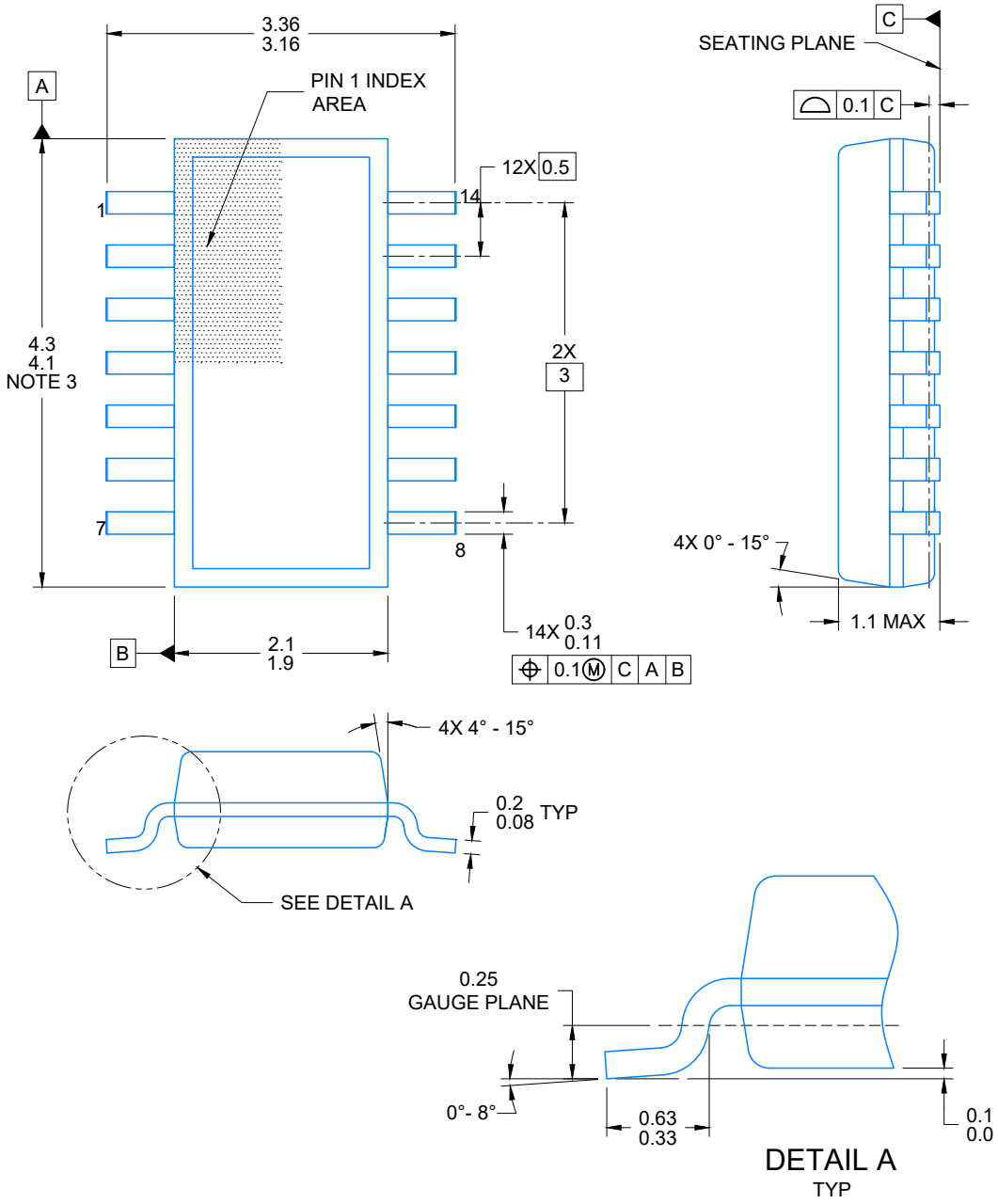
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

DYY0014A

SOT-23-THIN - 1.1 mm max height

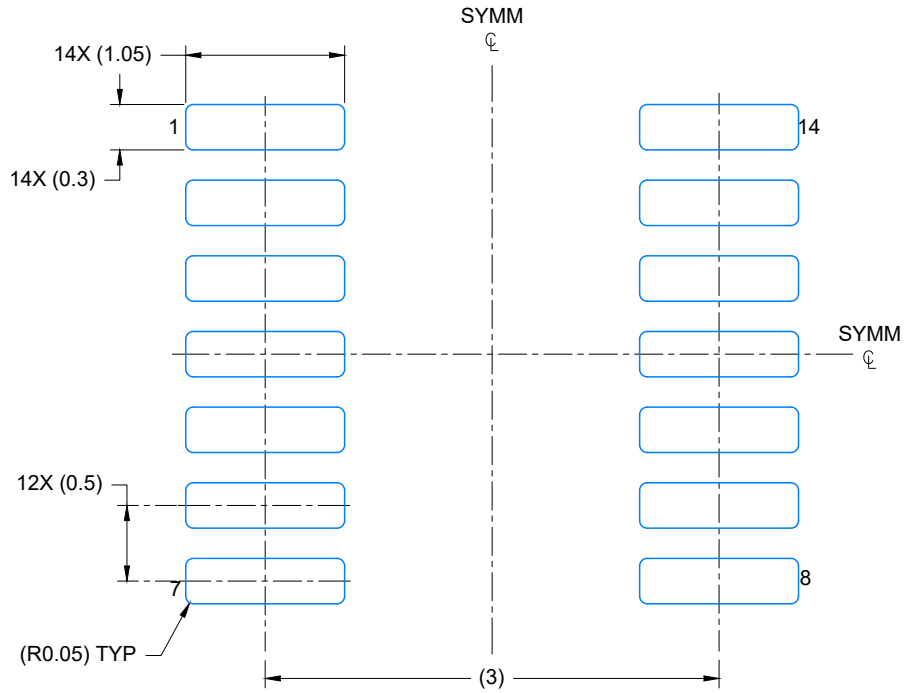
PLASTIC SMALL OUTLINE



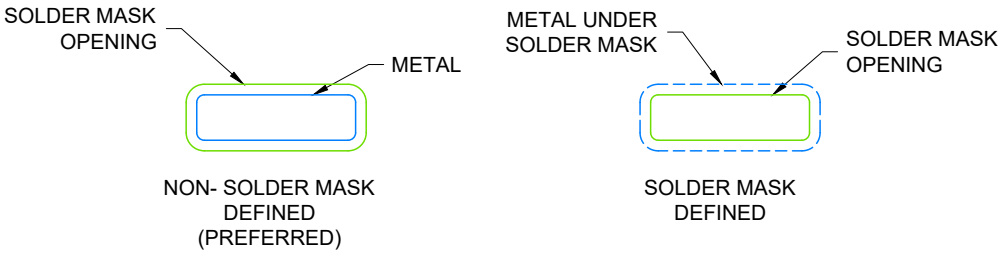
4224643/D 07/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.50 per side.
5. Reference JEDEC Registration MO-345, Variation AB



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X



SOLDER MASK DETAILS

4224643/D 07/2024

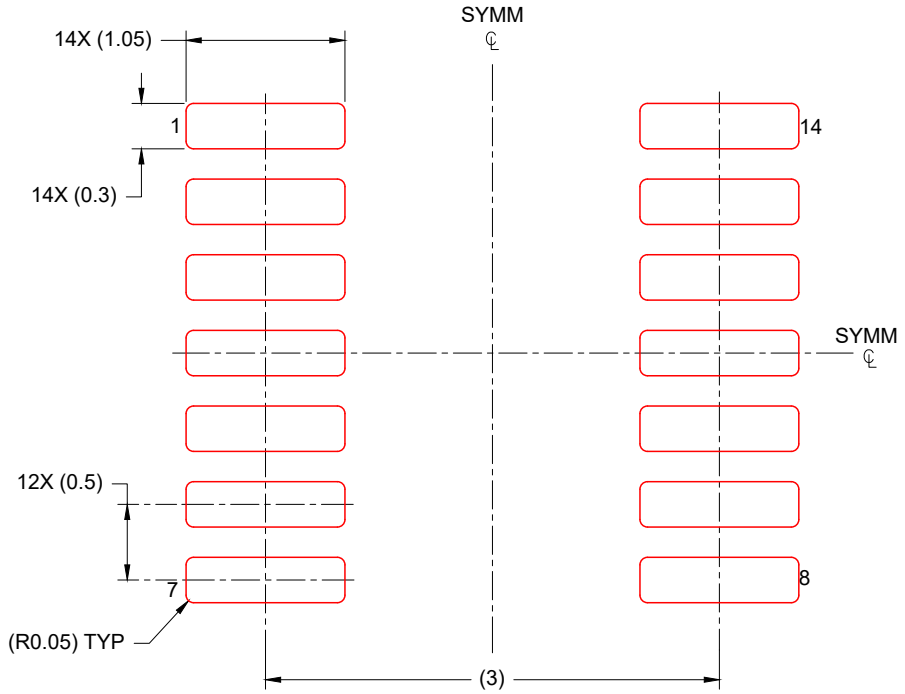
NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

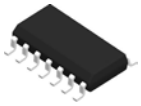


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 20X

4224643/D 07/2024

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

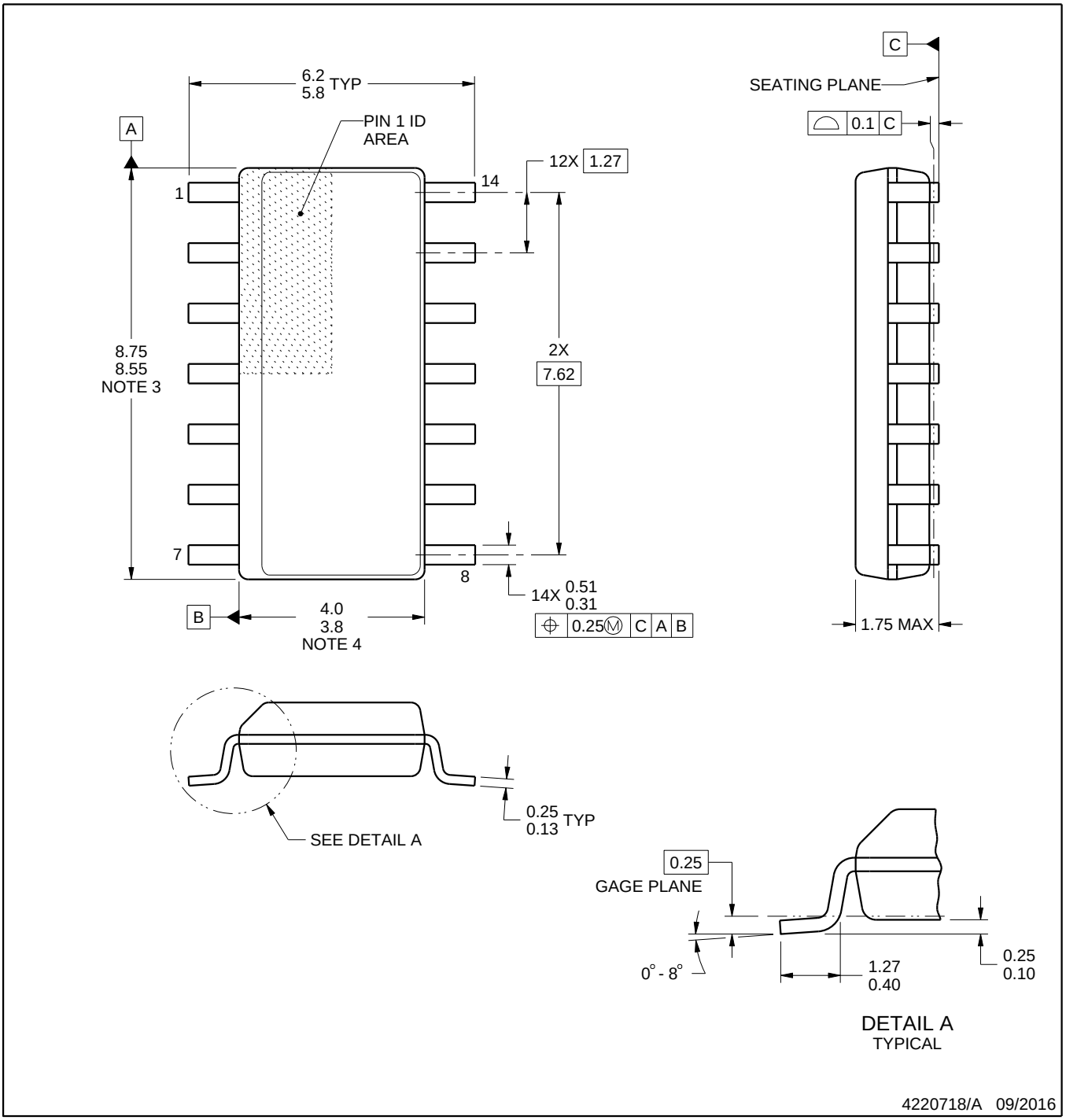


PACKAGE OUTLINE

D0014A

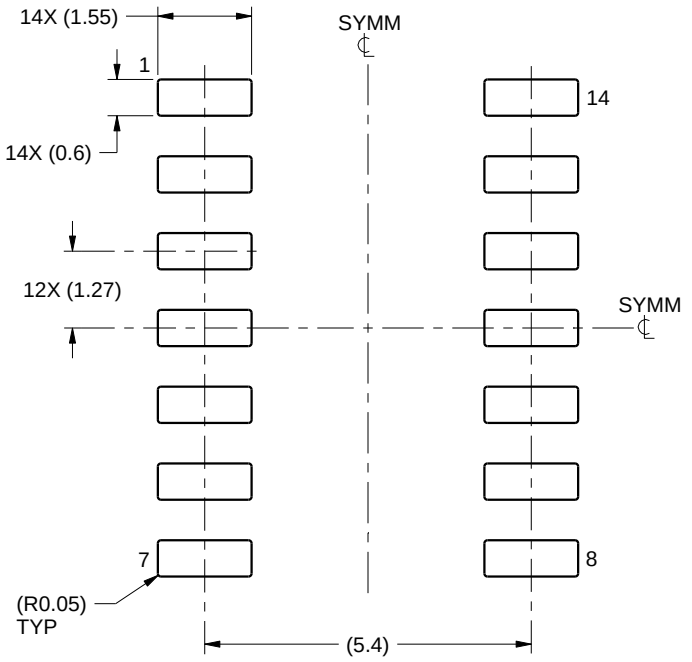
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

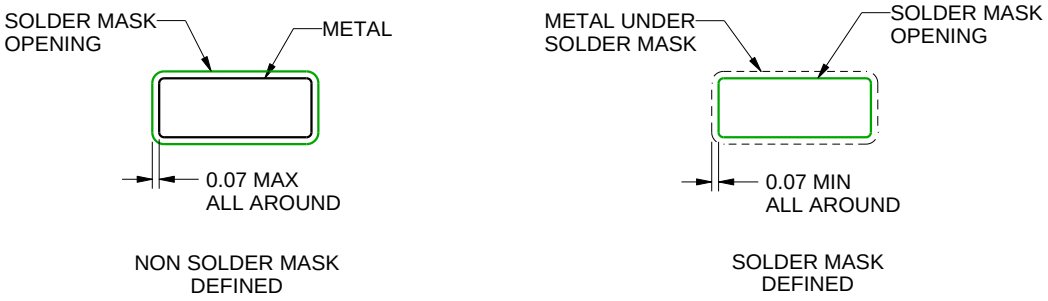


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

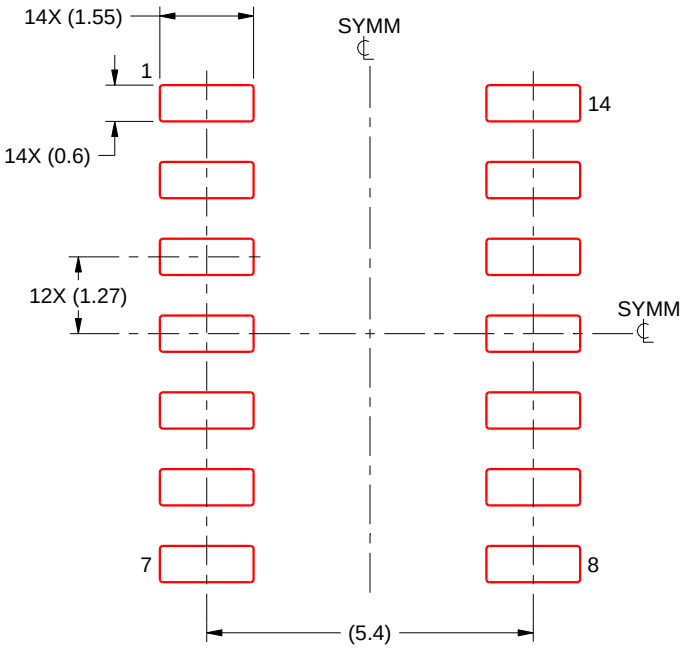
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

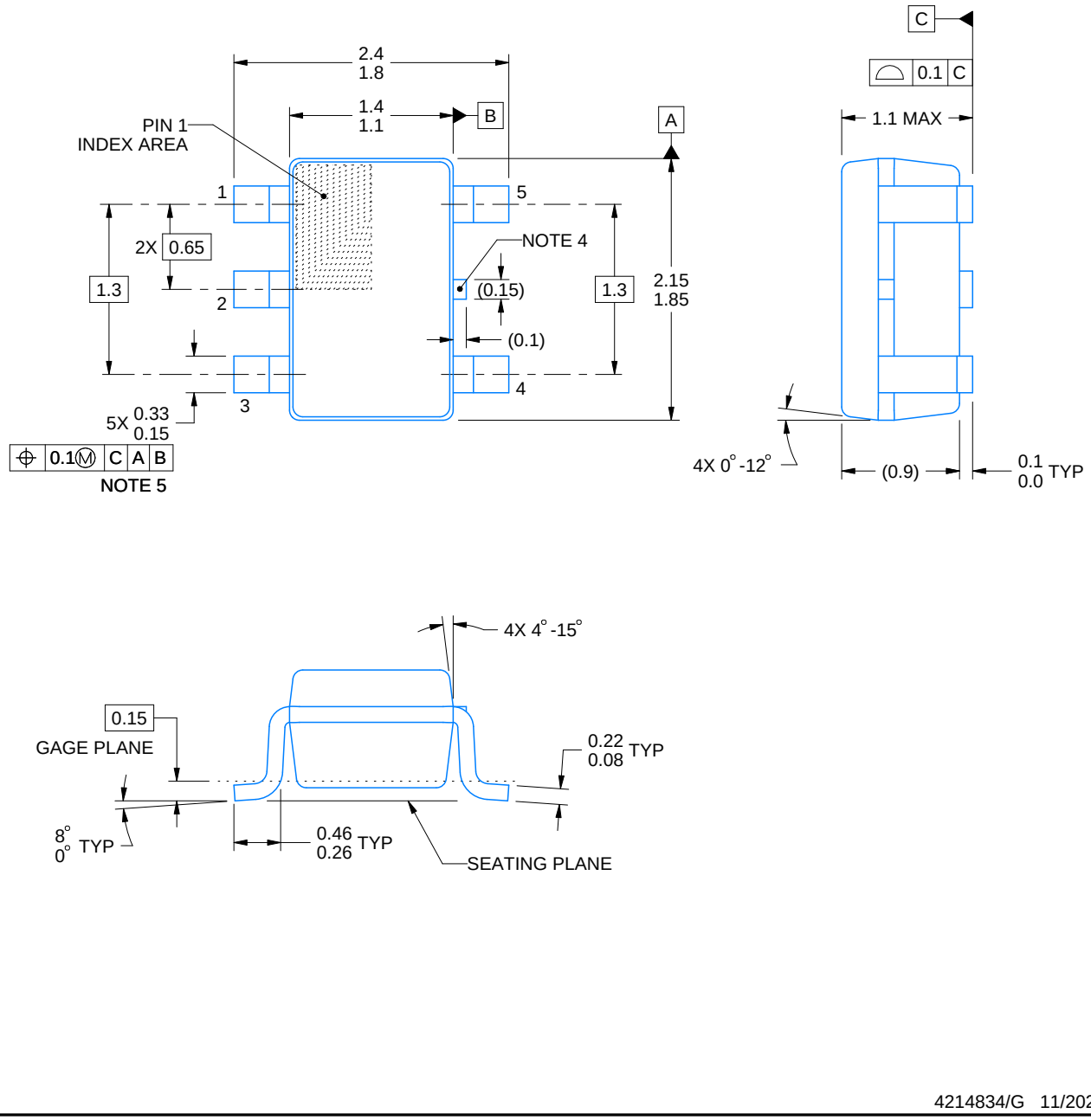
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

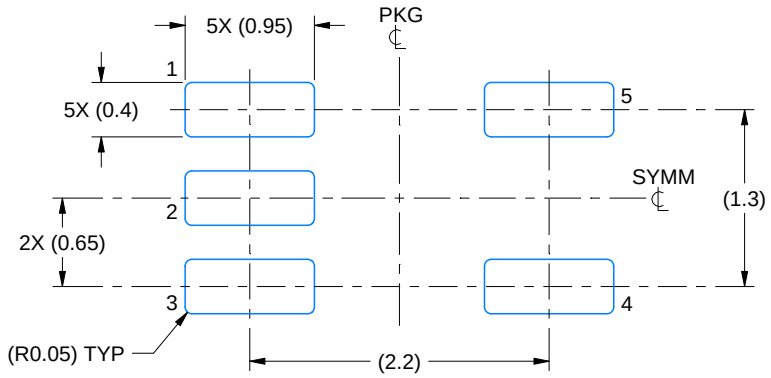
SMALL OUTLINE TRANSISTOR



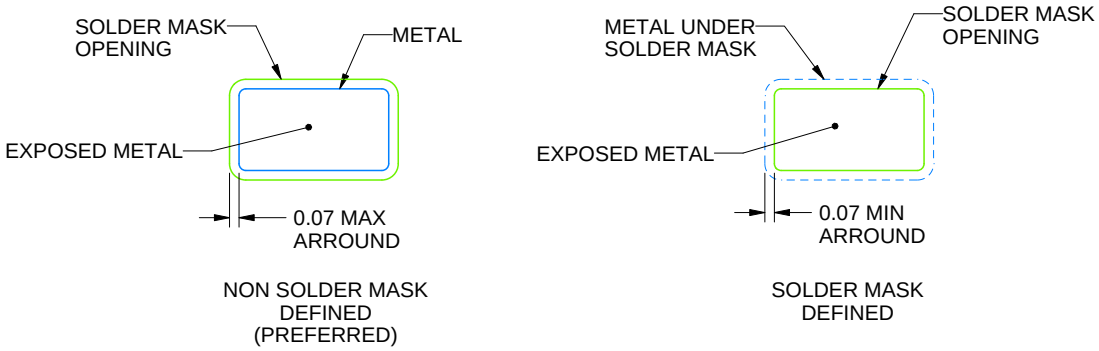
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

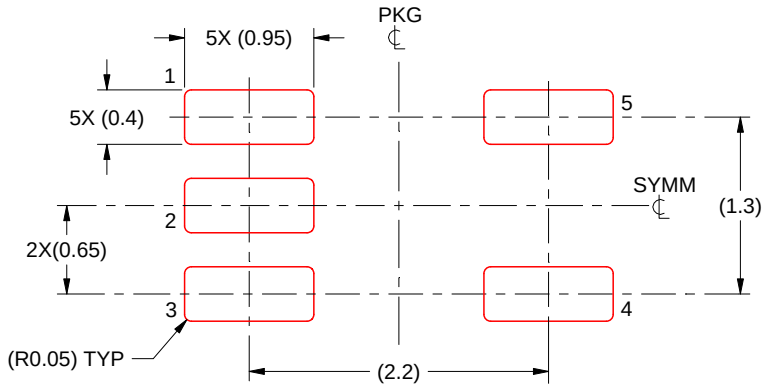


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

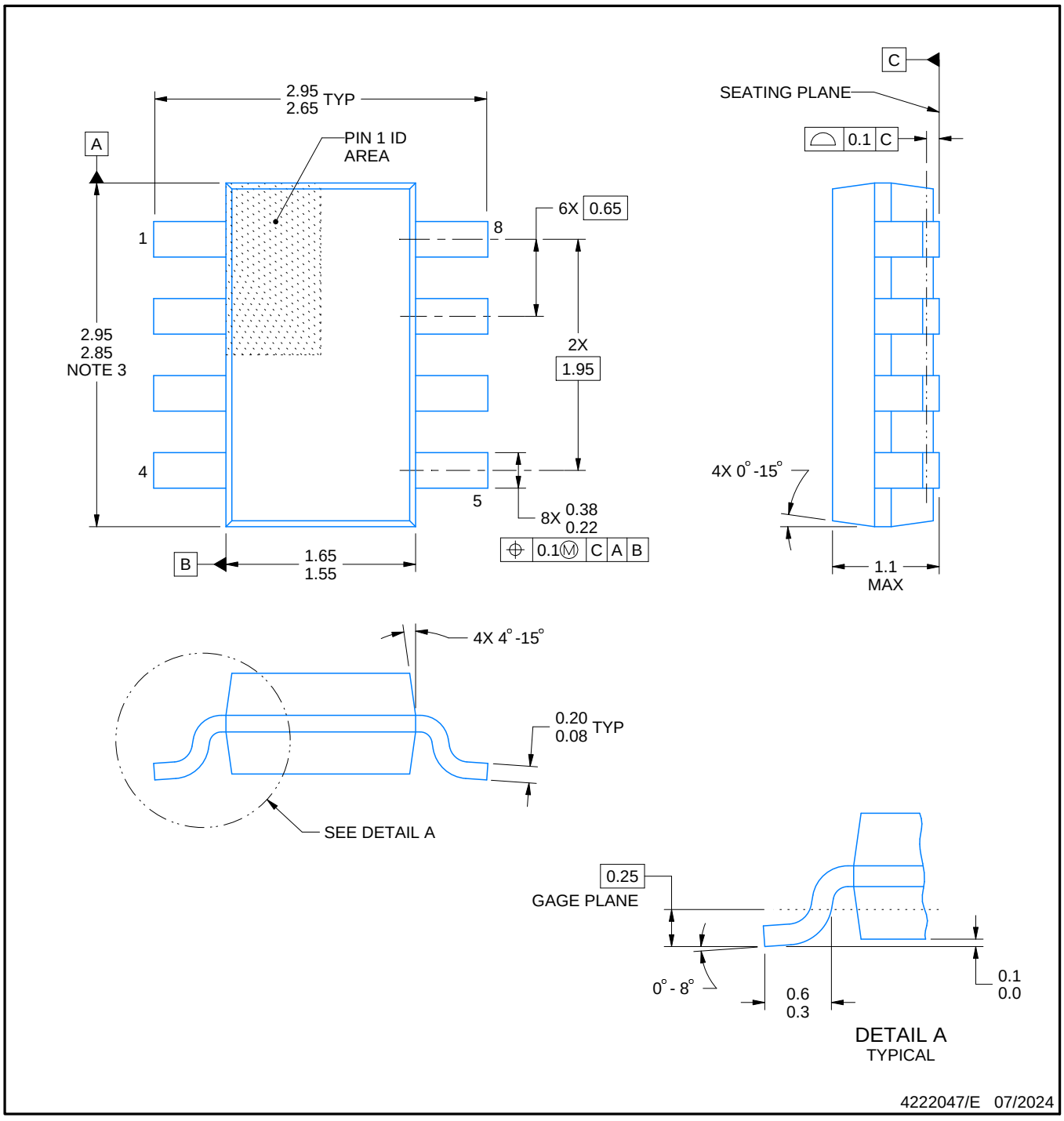
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DDF0008A

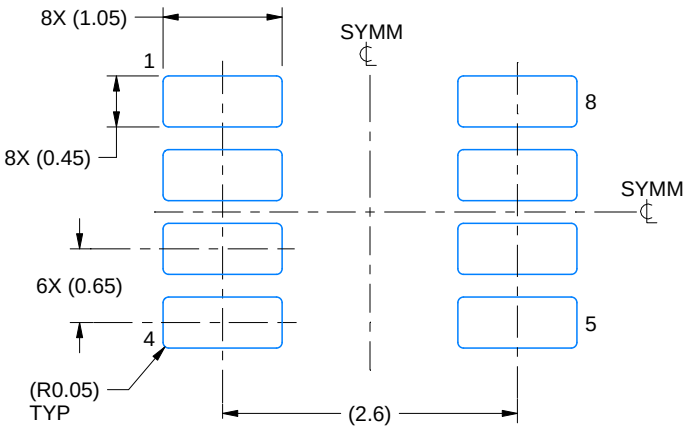
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

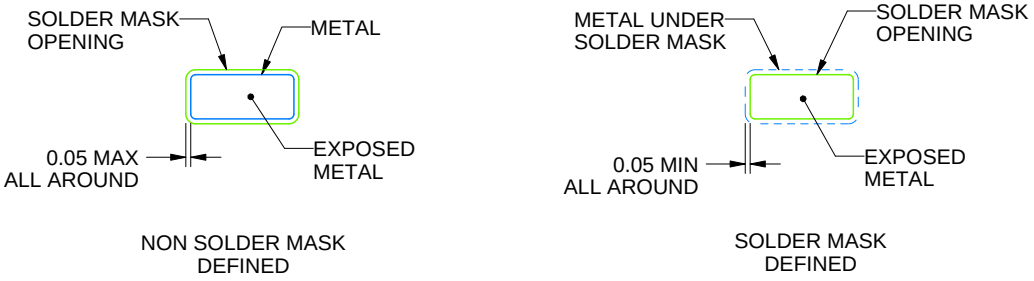


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

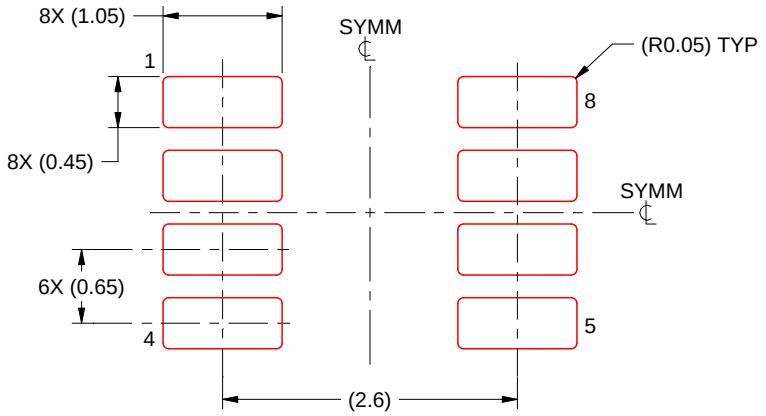


SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

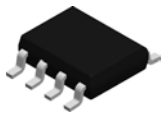


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

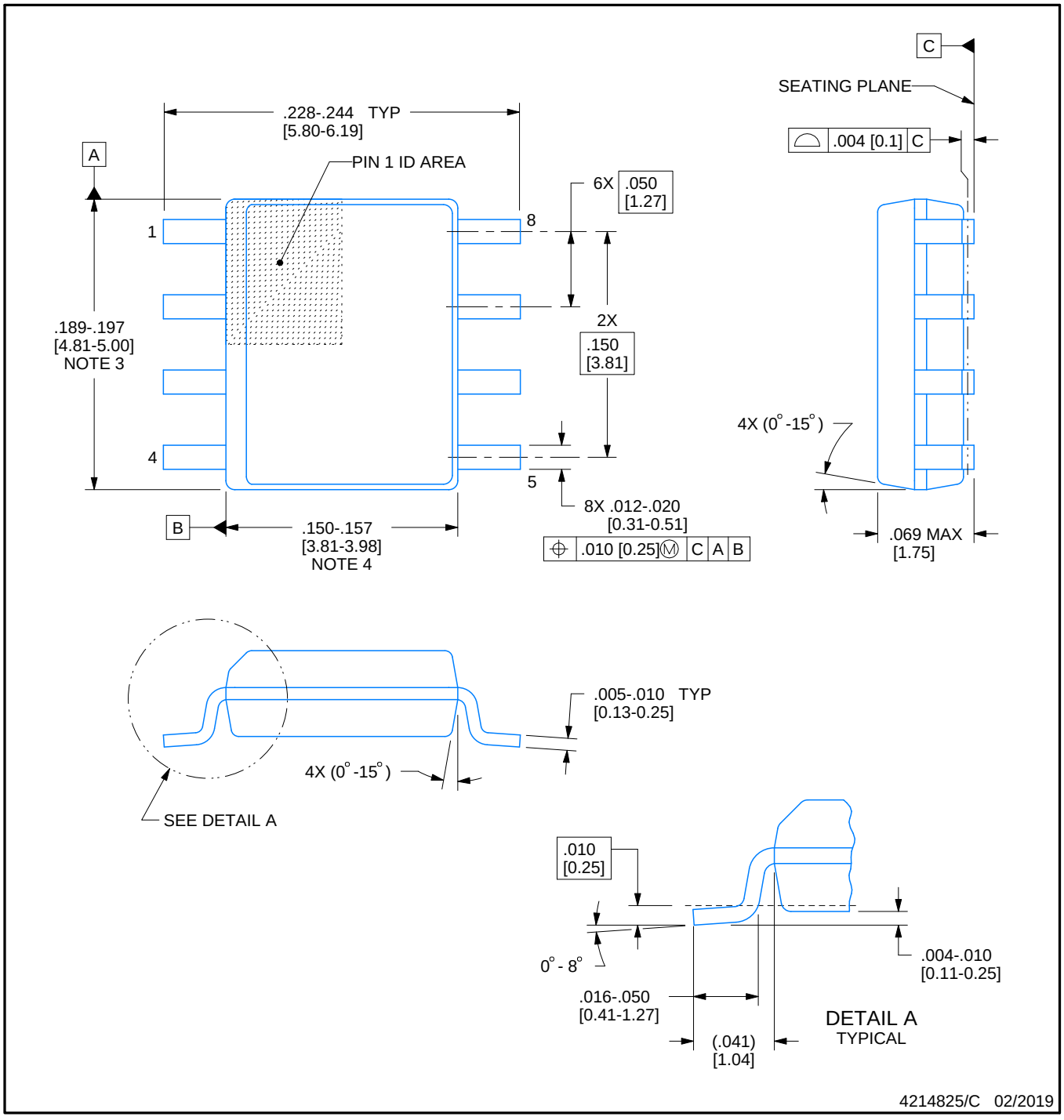


PACKAGE OUTLINE

D0008A

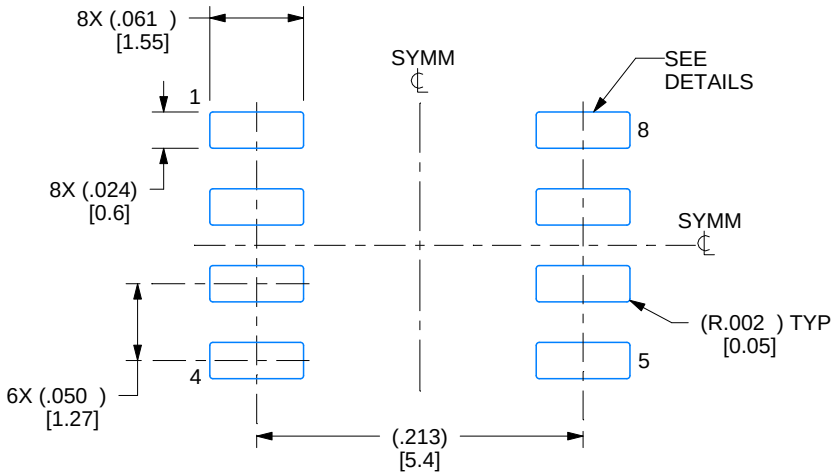
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

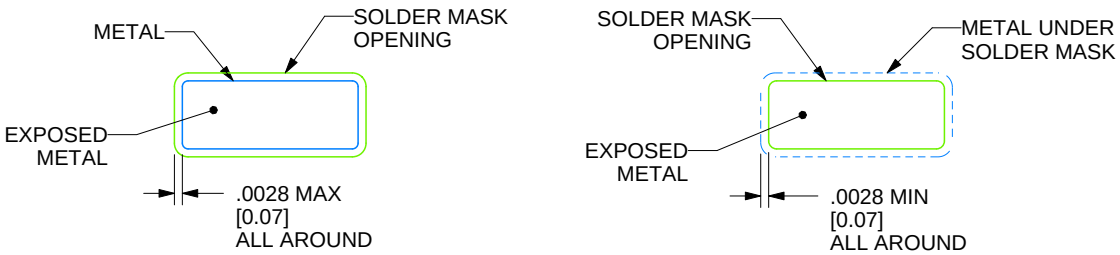


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

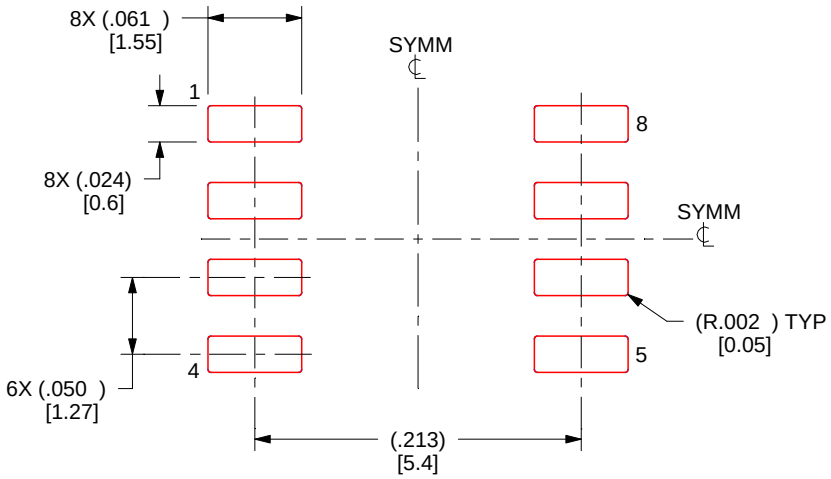
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

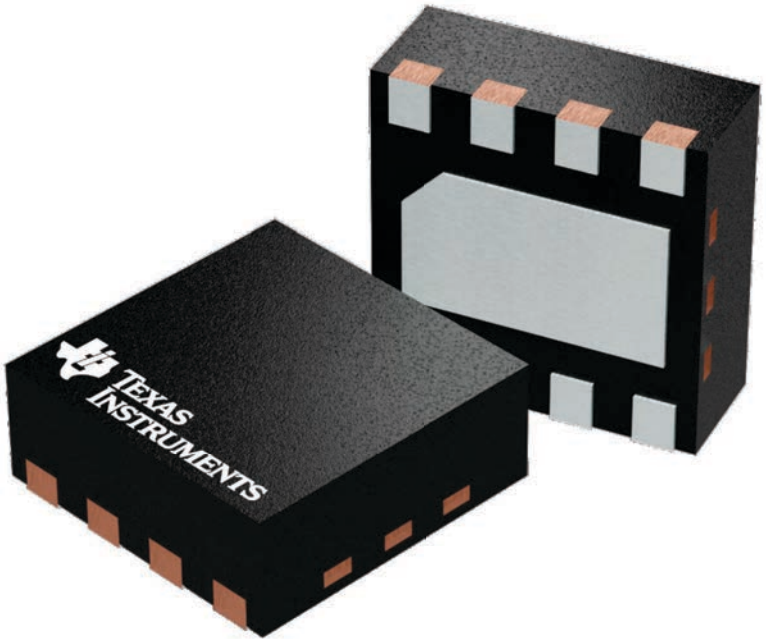
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



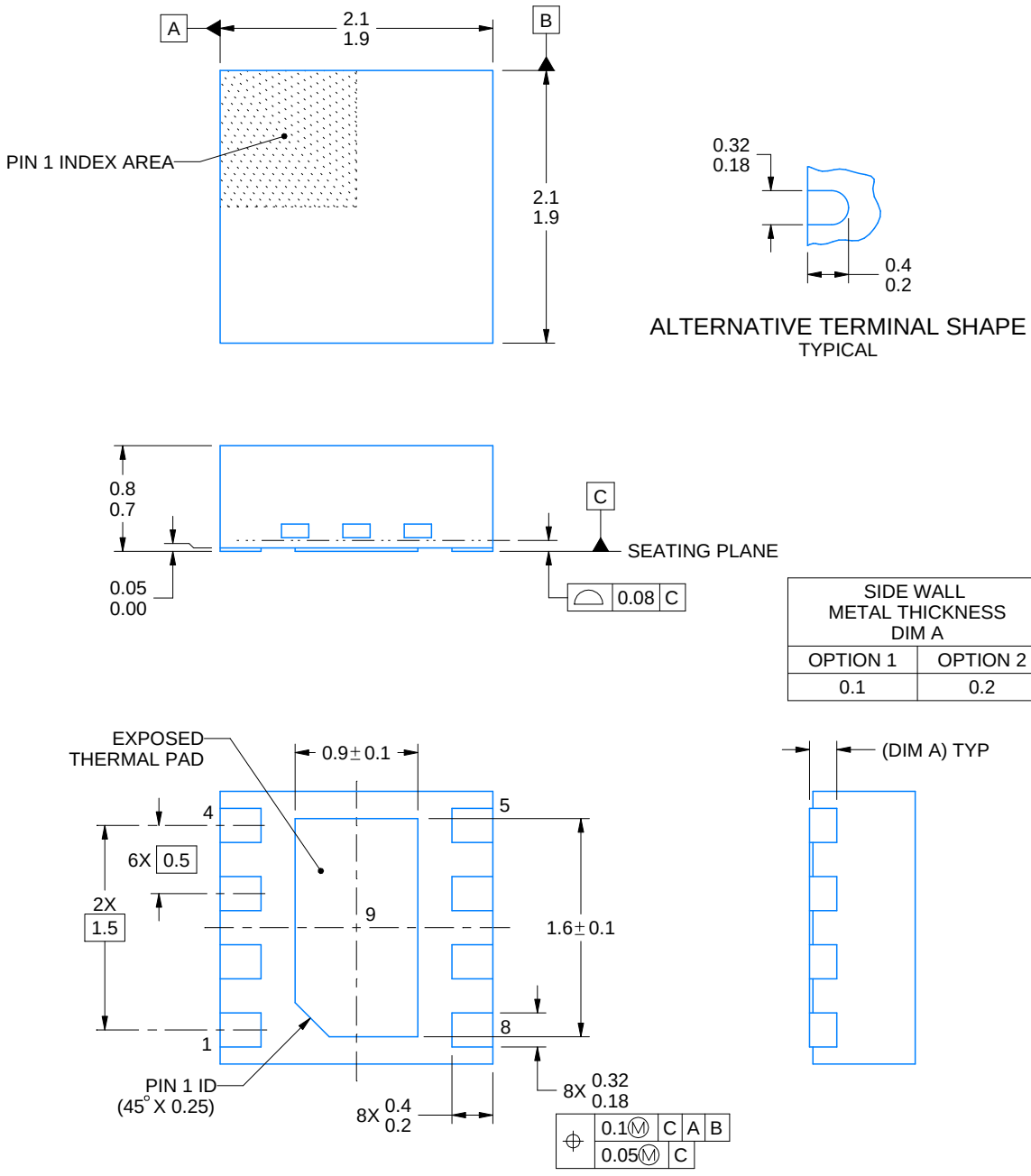
4224783/A

DSG0008A

PACKAGE OUTLINE

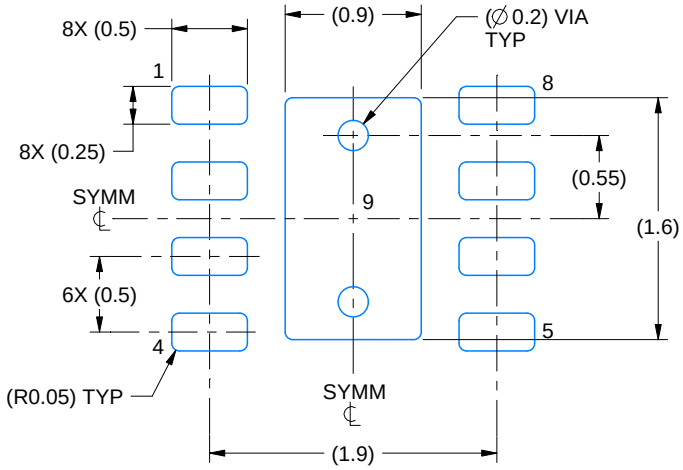
WSON - 0.8 mm max height

PLASTIC SMALL OUTLINE - NO LEAD

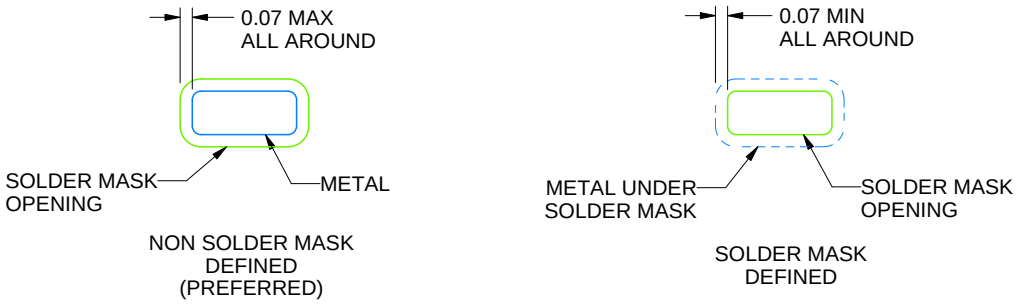


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
SCALE:20X

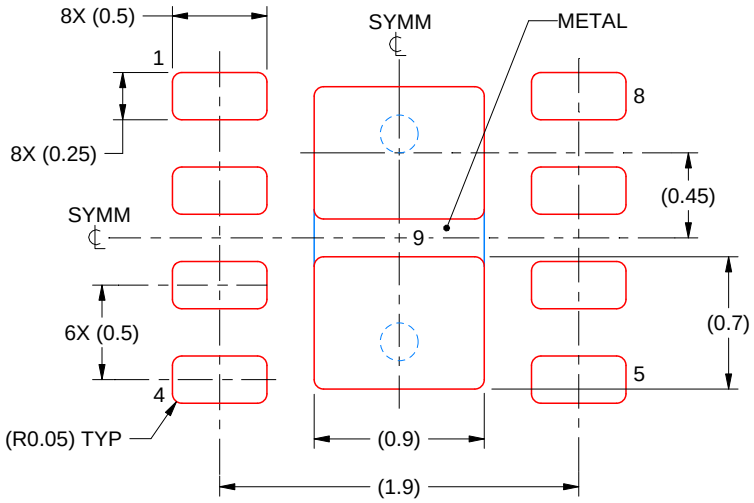


SOLDER MASK DETAILS

4218900/E 08/2022

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL

EXPOSED PAD 9:
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4218900/E 08/2022

NOTES: (continued)

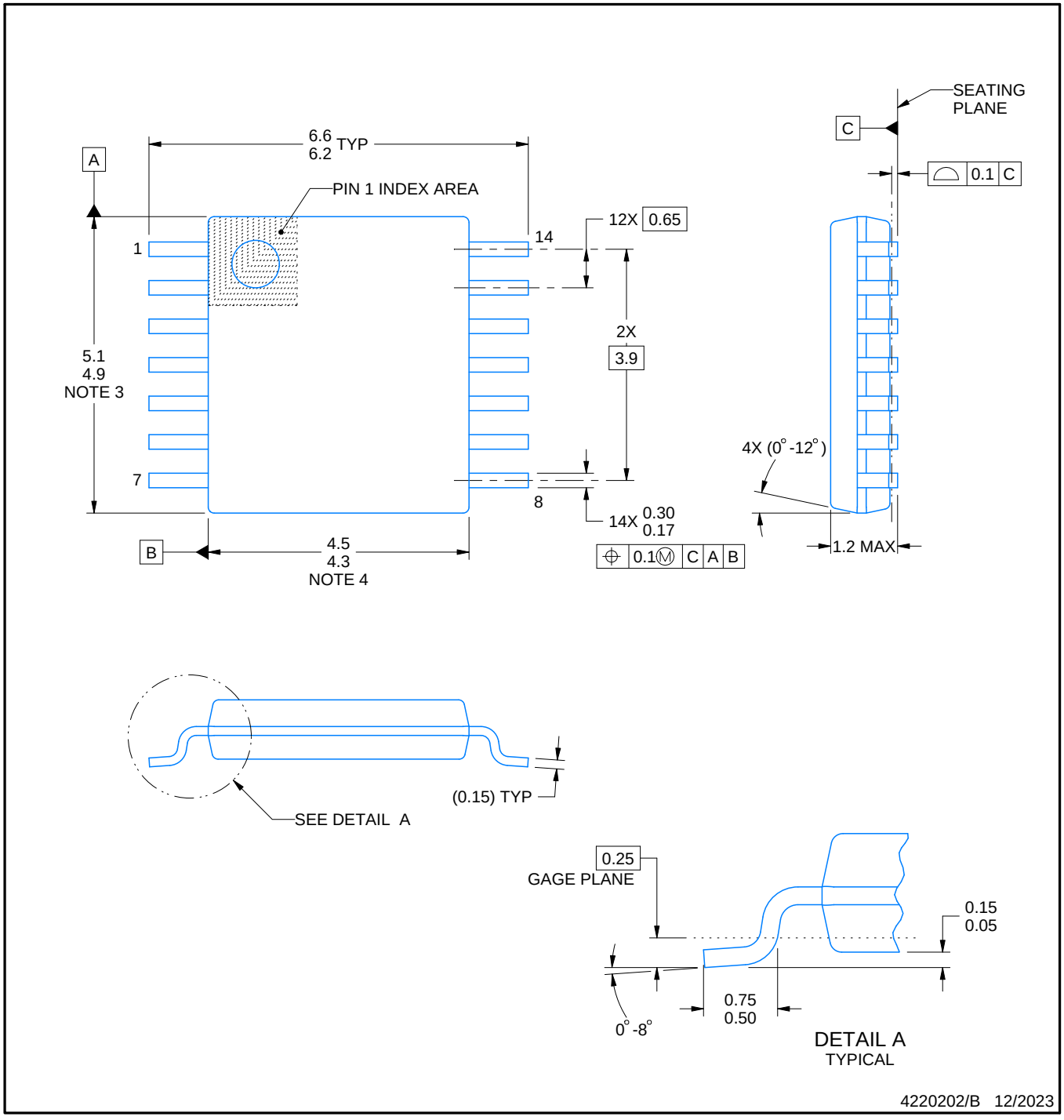
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

PW0014A

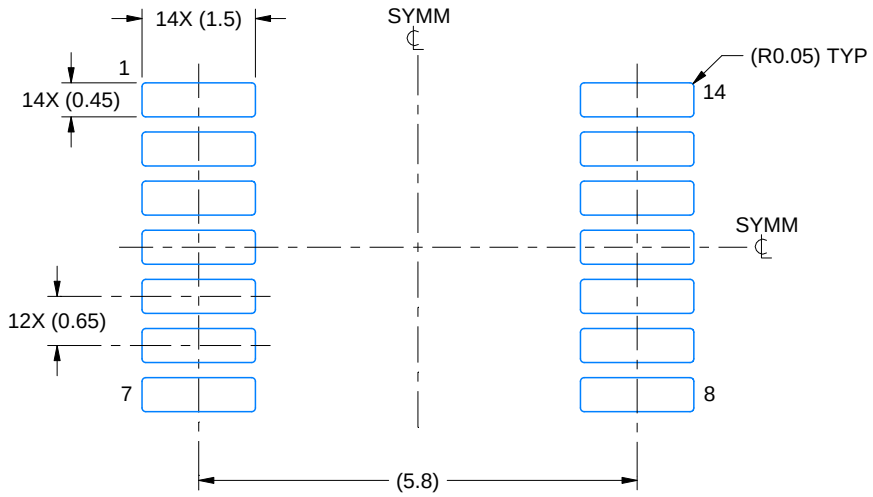
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

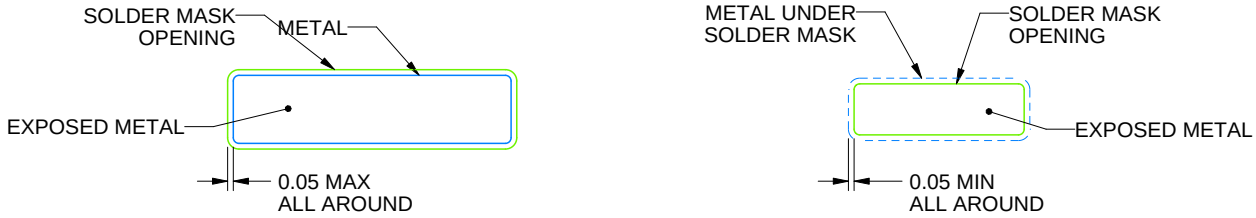


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

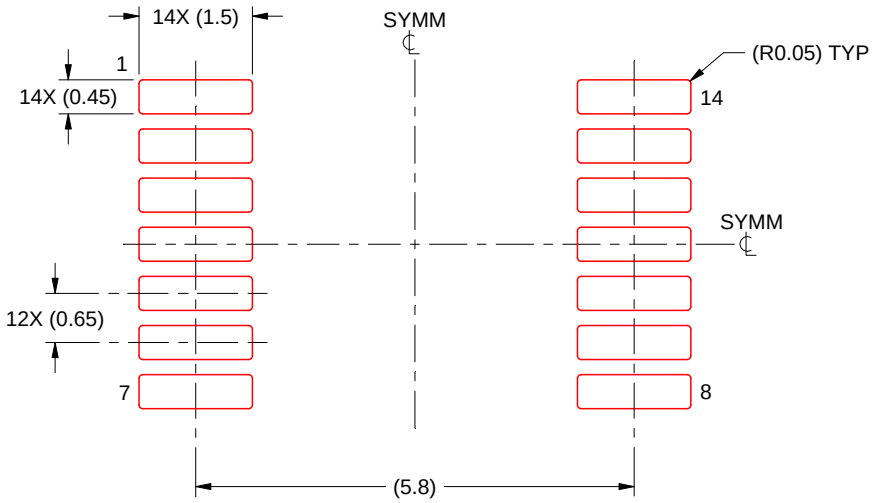


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

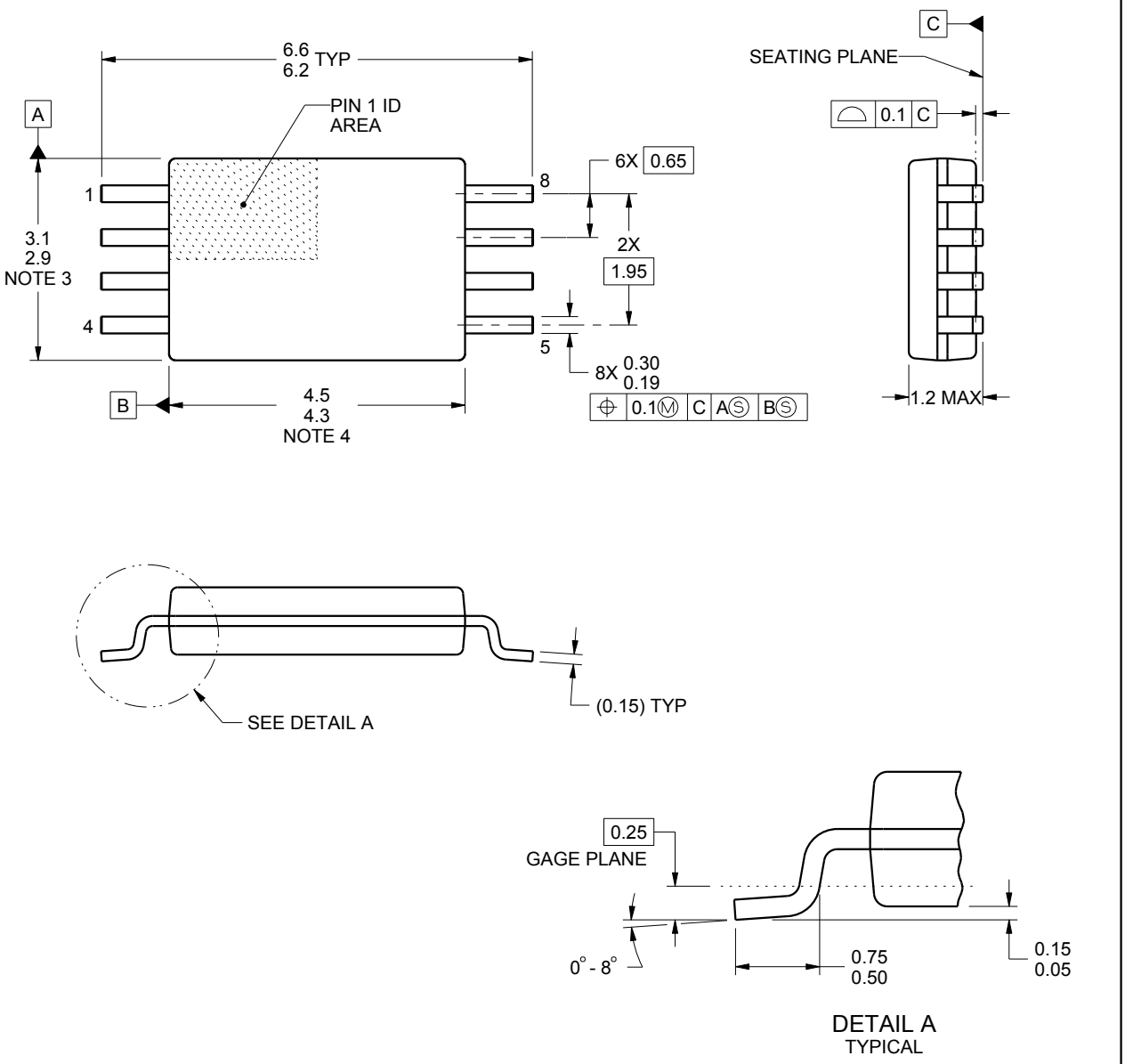
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

PW0008A

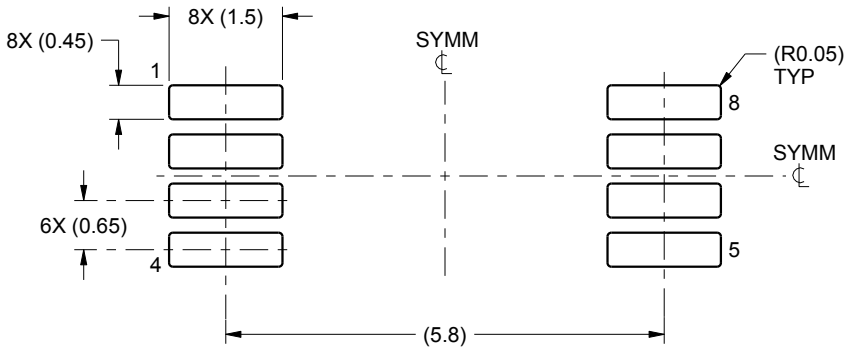
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

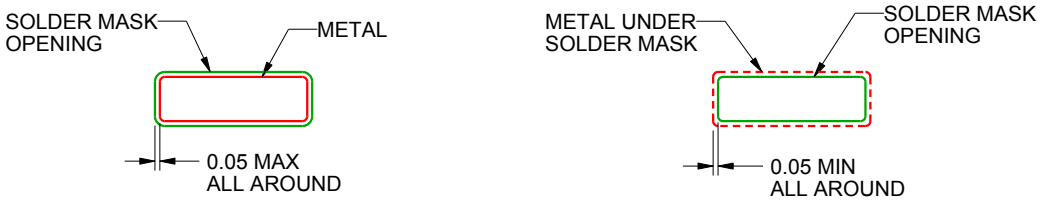


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153, variation AA.



LAND PATTERN EXAMPLE
SCALE:10X

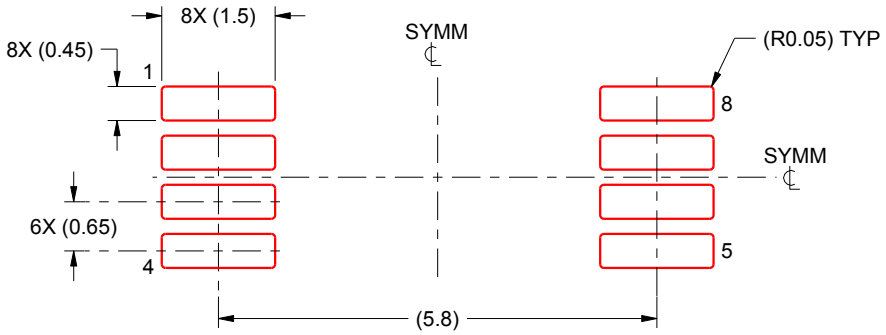


SOLDER MASK DETAILS
NOT TO SCALE

4221848/A 02/2015

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:10X

4221848/A 02/2015

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月