SN74LVC74A-Q1 具有清零和预设功能的汽车级双通道正边沿触发式 D 型触发器

1 特性

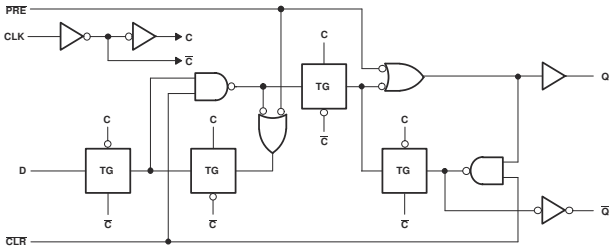
- 符合汽车应用要求
- ESD 保护超过 2000V（根据 MIL-STD-883 方法 3015）
- 工作电压范围为 2V 至 3.6V
- 输入电压高达 5.5V
- 电压为 3.3V 时，t_{pd} 最大值为 5.2ns
- V_{OLP}（输出接地反弹）典型值 <0.8V（V_{CC} = 3.3V、T_A = 25°C）
- V_{OHV}（输出 V_{OH} 下冲）典型值 >2V（V_{CC} = 3.3V、T_A = 25°C）

2 说明

SN74LVC74A-Q1 双通道正边沿触发式 D 型触发器可在 2.7V 至 3.6V V_{CC} 下运行。

器件型号	封装 (1)	封装尺寸(2)	本体尺寸(3)
SN74LVC74A-Q1	BQA（WQFN，14）	3mm × 2.5mm	3mm × 2.5mm
	D（SOIC，14）	8.65mm x 6mm	8.65mm × 3.91mm
	PW（TSSOP，14）	5mm x 6.4mm	5.00mm × 4.40mm

(1) 如需了解更多信息，请参阅机械、封装和可订购信息。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 本体尺寸（长 x 宽）为标称值，不包括引脚。



展示各触发器的逻辑图（正逻辑）

内容

1 特性.....1
2 说明.....1
3 引脚配置和功能.....3
4 规格.....4
4.1 绝对最大额定值.....4
4.2 ESD 等级.....4
4.3 建议运行条件.....4
4.4 热性能信息.....4
4.5 电气特性.....5
4.6 时序要求.....5
4.7 开关特性.....6
4.8 工作特性.....6
5 参数测量信息.....7
6 详细说明.....8
6.1 概述.....8
6.2 功能方框图.....8
6.3 器件功能模式.....8
7 应用和实施.....9
7.1 电源相关建议.....9
7.2 布局.....9
8 器件和文档支持.....10
8.1 文档支持（模拟）.....10
8.2 接收文档更新通知.....10
8.3 支持资源.....10
8.4 商标.....10
8.5 静电放电警告.....10
8.6 术语表.....10
9 修订历史记录.....10
10 机械、封装和可订购信息.....11

Copyright © 2024 Texas Instruments Incorporated

3 引脚配置和功能

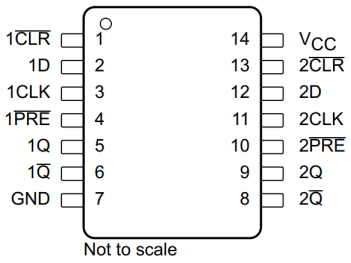


图 3-1. D 或 PW 封装，14 引脚 SOIC 或 TSSOP（顶视图）

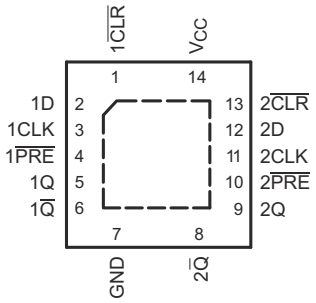


图 3-2. BQA 封装 14 引脚 WQFN（带有外露散热焊盘）（顶视图）

表 3-1. 引脚功能

引脚		I/O(1)	说明
名称	SOIC、TSSOP、VQFN		
1CLK	3	I	通道 1 时钟输入
1 $\overline{CLR}$	1	I	通道 1 清零输入。拉低可将 Q 输出设置为低电平。
1D	2	I	通道 1 数据输入
1 $\overline{PRE}$	4	I	通道 1 预设输入。拉低可将 Q 输出设置为高电平。
1Q	5	O	通道 1 输出
1 $\overline{Q}$	6	O	通道 1 反相输出
2CLK	11	I	通道 2 时钟输入
2 $\overline{CLR}$	13	I	通道 2 清零输入。拉低可将 Q 输出设置为低电平。
2D	12	I	通道 2 数据输入
2 $\overline{PRE}$	10	I	通道 2 预设输入。拉低可将 Q 输出设置为高电平。
2Q	9	O	通道 2 输出
2 $\overline{Q}$	8	O	通道 2 反相输出
GND	7	—	接地
NC	—	—	无连接
V_{CC}	14	—	电源
散热焊盘		—	将 GND 引脚连接到裸露的散热焊盘以确保正确操作。使用多个过孔将散热焊盘连接到任何内部 PCB 接地平面，以获得良好的热性能。

(1) I = 输入、O = 输出、P = 电源、FB = 反馈、GND = 接地、N/A = 不适用

Copyright © 2024 Texas Instruments Incorporated

4 规格

4.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	最大值	单位
V_{CC}	电源电压范围		-0.5	6.5	V
V_I	输入电压范围(1)		-0.5	6.5	V
V_O	输出电压范围(1) (2)		-0.5	V_{CC} + 0.5	V
I_{IK}	输入钳位电流	V_I < 0		-50	mA
I_{OK}	输出钳位电流	V_O < 0		-50	mA
I_O	持续输出电流			±50	mA
	通过 V_{CC} 或 GND 的持续电流			±100	mA
T_{stg}	贮存温度范围		-65	150	°C

(1) 如果遵守输入和输出电流额定值，则可能会超过输入和输出负电压额定值。
(2) V_{CC} 的值在建议运行条件表中提供。

4.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±2000	V

(1) JEDEC 文档 JEP155 指出：500V HBM 能够在标准 ESD 控制流程下安全生产。

4.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）(1)

			最小值	最大值	单位
V_{CC}	电源电压	运行	2	3.6	V
		仅数据保留	1.5		
V_{IH}	高电平输入电压	V_{CC} = 2.7V 至 3.6V	2		V
V_{IL}	低电平输入电压	V_{CC} = 2.7V 至 3.6V		0.8	V
V_I	输入电压		0	5.5	V
V_O	输出电压		0	V_{CC}	V
I_{OH}	高电平输出电流	V_{CC} = 2.7V		-12	mA
		V_{CC} = 3V		-24	
I_{OL}	低电平输出电流	V_{CC} = 2.7V		12	mA
		V_{CC} = 3V		24	
$\Delta t/\Delta v$	输入转换上升或下降速率			10	ns/V
T_A	自然通风条件下的工作温度范围	Q 后缀	-40	125	°C

(1) 器件所有的未使用输入必须保持在 V_{CC} 或 GND 以确保器件正常运行。请参阅 TI 应用报告 *CMOS 输入缓慢变化或悬空的影响*，文献编号 SCBA004。

4.4 热性能信息

热指标(1)		SN74LVC74A-Q1			单位
		BQA (WQFN)	D (SOIC)	PW (TSSOP)	
		14 引脚	14 引脚	14 引脚	
$R_{\theta JA}$	结至环境热阻	102.3	127.8	150.8	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	96.8	81.9	78.3	°C/W

Copyright © 2024 Texas Instruments Incorporated

热指标(1)		SN74LVC74A-Q1			单位
		BQA (WQFN)	D (SOIC)	PW (TSSOP)	
		14 引脚	14 引脚	14 引脚	
$R_{\theta JB}$	结至电路板热阻	70.9	84.4	93.8	°C/W
ψ_{JT}	结至顶部特征参数	16.6	39.6	24.7	°C/W
ψ_{JB}	结至电路板特征参数	70.9	83.9	93.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	50.1	不适用	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅 *半导体和 IC 封装热指标* 应用报告。

4.5 电气特性

在自然通风条件下的建议运行温度范围内测得（除非另有说明）

参数	测试条件		V_{CC}	最小值	典型值 (1)	最大值	单位
V_{OH}	I_{OH} = -100 μA		2.7V 至 3.6V	V_{CC} – 0.2			V
	I_{OH} = -12mA		2.7V	2.2			
			3V	2.4			
	I_{OH} = -24mA		3V	2.2			
V_{OL}	I_{OL}=100 μA		2.7V 至 3.6V			0.2	V
	I_{OL} = 12mA		2.7V			0.4	
	I_{OL} = 24mA		3V			0.55	
I_I	V_I = 5.5V 或 GND		3.6V			±5	μA
I_{CC}	V_I = V_{CC} 或 GND，	I_O = 0	3.6V			10	μA
ΔI_{CC}	一个输入电压为 V_{CC} – 0.6V，	其他输入电压为 V_{CC} 或 GND	2.7V 至 3.6V			500	μA
C_i	V_I = V_{CC} 或 GND		3.3V		5		pF

(1) 所有典型值均在 V_{CC} = 3.3V、T_A = 25°C 下测得。

4.6 时序要求

在自然通风条件下的建议工作温度范围内测得（除非另有说明）（请参阅负载电路和电压波形）

			V_{CC} = 2.7V		V_{CC} = 3.3V ± 0.3V		单位
			最小值	最大值	最小值	最大值	
f_{clock}	时钟频率			83		100	MHz
t_w	脉冲持续时间	$\overline{PRE}$ 或 $\overline{CLR}$ 为低电平	3.3		3.3		ns
		CLK 高电平或低电平	3.3		3.3		
t_{su}	CLK ↑ 前的建立时间	数据	3.4		3		ns
		$\overline{PRE}$ 或 $\overline{CLR}$ 处于非活动状态	2.2		2		
t_h	保持时间，CLK ↑ 后的数据		1		1		ns

Copyright © 2024 Texas Instruments Incorporated

4.7 开关特性

在自然通风条件下的建议工作温度范围内测得（除非另有说明）（请参阅负载电路和电压波形）

参数	从（输入）	至（输出）	V_{CC} = 2.7V		V_{CC} = 3.3V ± 0.3V		单位
			最小值	最大值	最小值	最大值	
f_{max}			83		100		MHz
t_{pd}	CLK	Q 或 $\overline{Q}$		6	1	5.2	ns
	$\overline{PRE}$ 或 $\overline{CLR}$			6.4	1	5.4	

4.8 工作特性

T_A = 25°C

参数		测试条件	V_{CC} = 2.5V	V_{CC} = 3.3V	单位
			典型值	典型值	
C_{pd}	每个触发器的功率耗散电容	f = 10MHz	47	51	pF

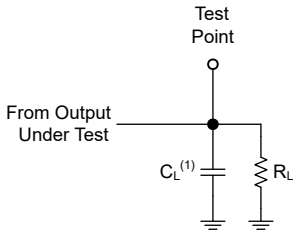
Copyright © 2024 Texas Instruments Incorporated

5 参数测量信息

对于下表中列出的示例，波形之间的相位关系是任意选择的。所有输入脉冲均由具有以下特性的发生器提供：PRR ≤ 1MHz，Z_O = 50Ω，t_t ≤ 2.5ns。

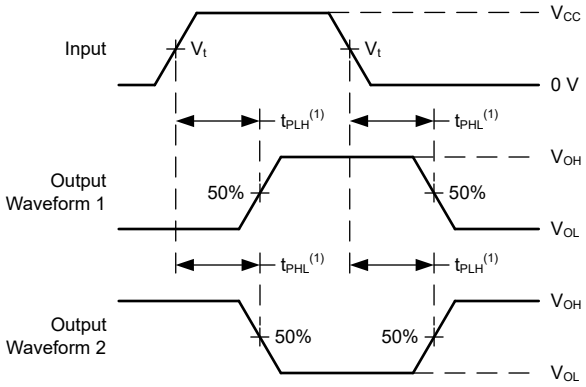
输出单独测量，每次测量一个输入转换。

V_{CC}	V_t	R_L	C_L	Δ V
1.8V ± 0.15V	V_{CC}/2	1kΩ	30pF	0.15V
2.5V ± 0.2V	V_{CC}/2	500Ω	30pF	0.15V
2.7V	1.5V	500Ω	50pF	0.3V
3.3V ± 0.3V	1.5V	500Ω	50pF	0.3V



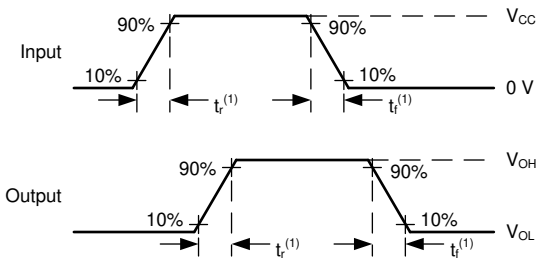
(1) C_L 包括探头和测试夹具电容。

图 5-1. 推挽输出的负载电路



(1) t_{PLH} 和 t_{PHL} 之间的较大者与 t_{pd} 相同。

图 5-2. 电压波形传播延迟



(1) t_r 和 t_f 之间的较大值与 t_t 相同。

图 5-3. 电压波形，输入和输出转换时间

6 详细说明

6.1 概述

预设 ($\overline{PRE}$) 或清零 ($\overline{CLR}$) 输入端的低电平会设置或复位输出，不受其他输入端的电平的影响。当 $\overline{PRE}$ 和 $\overline{CLR}$ 处于非活动状态（高电平）时，数据 (D) 输入处满足设置时间要求的数据将传输到时钟脉冲正向缘上的输出处。时钟触发出现在一个特定电压电平上，并且不与时钟脉冲的上升时间直接相关。经过保持时间间隔后，可以更改 D 输入端的数据而不影响输出端的电平。

输入可以由 3.3V 或 5V 器件驱动。此功能允许在 3.3V/5V 的混合系统环境中将该器件用作转换器。

6.2 功能方框图

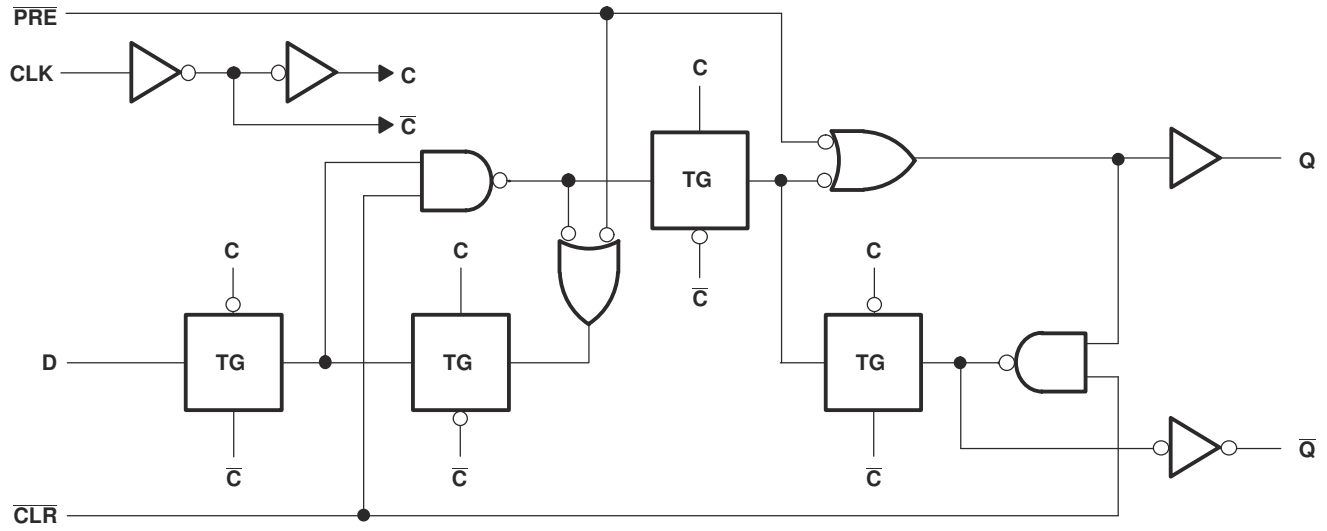


图 6-1. 展示各触发器的逻辑图（正逻辑）

6.3 器件功能模式

功能表

输入				输出	
$\overline{PRE}$	$\overline{CLR}$	CLK	D	Q	$\overline{Q}$
L	H	X	X	H	L
H	L	X	X	L	H
L	L	X	X	H(1)	H(1)
H	H	↑	H	H	L
H	H	↑	L	L	H
H	H	L	X	Q_0	$\overline{Q}_0$

(1) 该配置不稳定；也就是说，当 $\overline{PRE}$ 或 $\overline{CLR}$ 恢复到其非活动（高）电平时，该配置不会持续存在。

Copyright © 2024 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

7.1 电源相关建议

电源可以是 *建议运行条件* 中最小和最大电源电压额定值之间的任何电压。

每个 V_{CC} 端子都必须具有一个良好的旁路电容器，以防止功率干扰。对于单电源器件，建议使用 0.1μF 电容器。如果有多个 V_{CC} 端子，则建议为每个电源端子使用 0.01 μF 或 0.022 μF 电容器。允许并联多个旁路电容器以抑制不同的噪声频率。为抑制不同的噪声频率，可以并联多个旁路电容器。为了获得最佳效果，旁路电容器必须尽可能靠近电源端子安装。

7.2 布局

7.2.1 布局指南

当使用多位逻辑器件时，输入不得悬空。在许多情况下，数字逻辑器件的功能或部分功能未被使用。举两个例子：仅使用三输入与门的 2 个输入，或仅使用 4 个缓冲门中的 3 个。此类输入引脚不得悬空，因为外部连接处的未定义电压会导致未定义的运行状态。

布局图指定了在所有情况下都必须遵守的规则。数字逻辑器件的所有未使用输入必须连接至一个高或低偏置以防止悬空。必须应用于任何特定未使用输入的逻辑电平取决于器件的功能。通常，它们会连接到 GND 或 V_{CC}，具体取决于哪种更合理或更方便。

7.2.2 布局示例

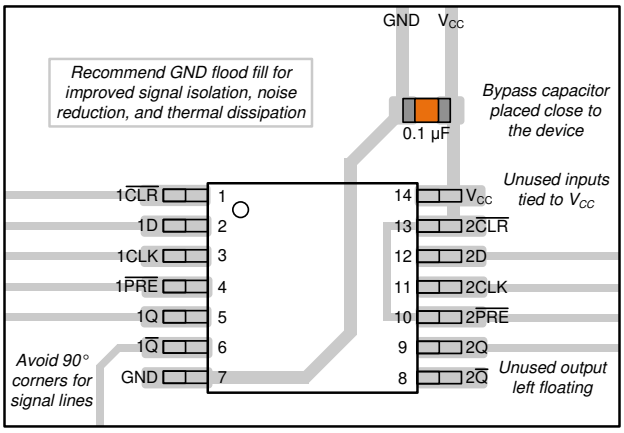


图 7-1. 布局图

8 器件和文档支持

8.1 文档支持（模拟）

8.1.1 相关链接

下表列出了快速访问链接。类别包括技术文档、支持和社区资源、工具和软件，以及立即购买的快速链接。

表 8-1. 相关链接

器件	产品文件夹	立即订购	技术文档	工具 & 软件	支持 & 社区
SN74LVC74A-Q1	点击此处	点击此处	点击此处	点击此处	点击此处

8.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision D (May 2024) to Revision E (August 2024)	Page
• 将 PW 封装的热性能值从 R θ JA = 113 更新为 150.8，从 R θ JC(top) = 50.3 更新为 78.3，从 R θ JB = 63.4 更新为 93.8，从 ΨJT = 6.2 更新为 24.7，从 ΨJB = 62.8 更新为 93.2，所有值均以 °C/W 为单位	4

Changes from Revision C (August 2003) to Revision D (May 2024)	Page
• 向*封装信息* 表、*引脚配置和功能* 部分以及*热性能信息* 表中添加了 BQA 封装	1
• 添加了*应用* 部分、*ESD 等级* 表、*热性能信息* 表、*特性说明* 部分、*器件功能模式*、*应用和实施* 部分、*电源相关建议* 部分、*布局* 部分、*器件和文档支持* 部分以及*机械、封装和可订购信息* 部分	1
• 删除了*特性* 部分中对机器放电模型的引用	1
• 更新了 R θ JA 值：D 封装从 86 更新至 127.8，所有值均以 °C/W 为单位	4

Copyright © 2024 Texas Instruments Incorporated

10 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件的最新可用数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
SN74LVC74ADRQ1	Active	Production	SOIC (D) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74AQ
SN74LVC74ADRQ1.A	Active	Production	SOIC (D) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74AQ
SN74LVC74AQDRG4Q1	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74AQ
SN74LVC74AQDRG4Q1.A	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74AQ
SN74LVC74AQDRG4Q1.B	Active	Production	SOIC (D) | 14	2500 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74AQ
SN74LVC74AQPWRG4Q1	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74AQ
SN74LVC74AQPWRG4Q1.B	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74AQ
SN74LVC74AQPWRQ1	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74AQ
SN74LVC74AQPWRQ1.A	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74AQ
SN74LVC74AQPWRQ1.B	Active	Production	TSSOP (PW) | 14	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74AQ
SN74LVC74AWBQARQ1	Active	Production	WQFN (BQA) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74Q
SN74LVC74AWBQARQ1.A	Active	Production	WQFN (BQA) | 14	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	LVC74Q

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF SN74LVC74A-Q1 :

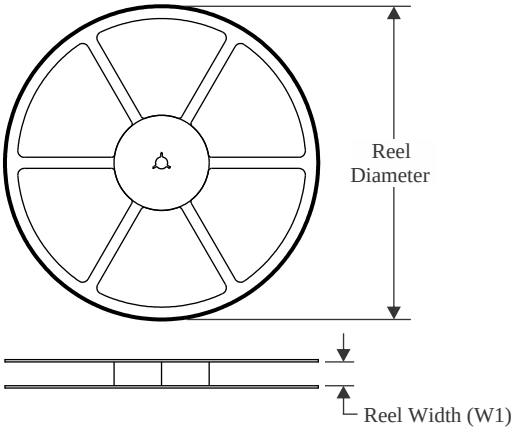
- Catalog : SN74LVC74A
- Enhanced Product : SN74LVC74A-EP
- Military : SN54LVC74A

NOTE: Qualified Version Definitions:

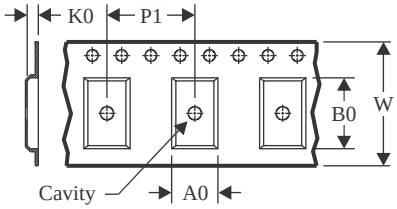
- Catalog - TI's standard catalog product
- Enhanced Product - Supports Defense, Aerospace and Medical Applications
- Military - QML certified for Military and Defense Applications

TAPE AND REEL INFORMATION

REEL DIMENSIONS

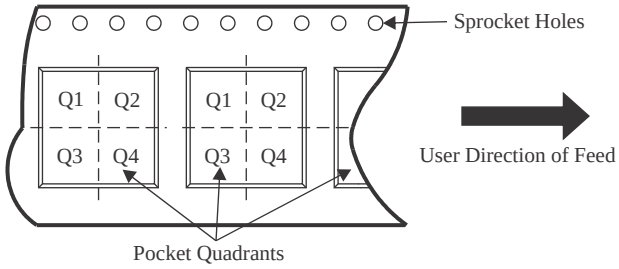


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

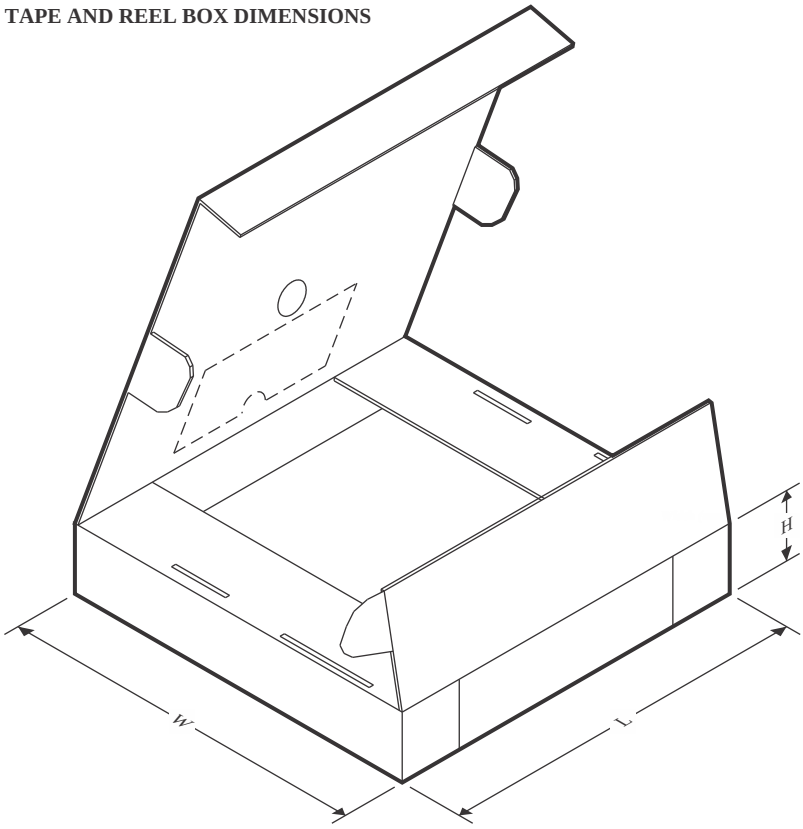
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

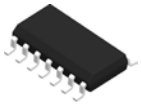
Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
SN74LVC74ADRQ1	SOIC	D	14	3000	330.0	12.4	3.75	3.75	1.15	8.0	12.0	Q1
SN74LVC74AQPWRG4Q1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LVC74AQPWRQ1	TSSOP	PW	14	2000	330.0	12.4	6.9	5.6	1.6	8.0	12.0	Q1
SN74LVC74AWBQARQ1	WQFN	BQA	14	3000	180.0	12.4	2.8	3.3	1.1	4.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
SN74LVC74ADRQ1	SOIC	D	14	3000	340.5	336.1	32.0
SN74LVC74AQPWRG4Q1	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74LVC74AQPWRQ1	TSSOP	PW	14	2000	353.0	353.0	32.0
SN74LVC74AWBQARQ1	WQFN	BQA	14	3000	210.0	185.0	35.0

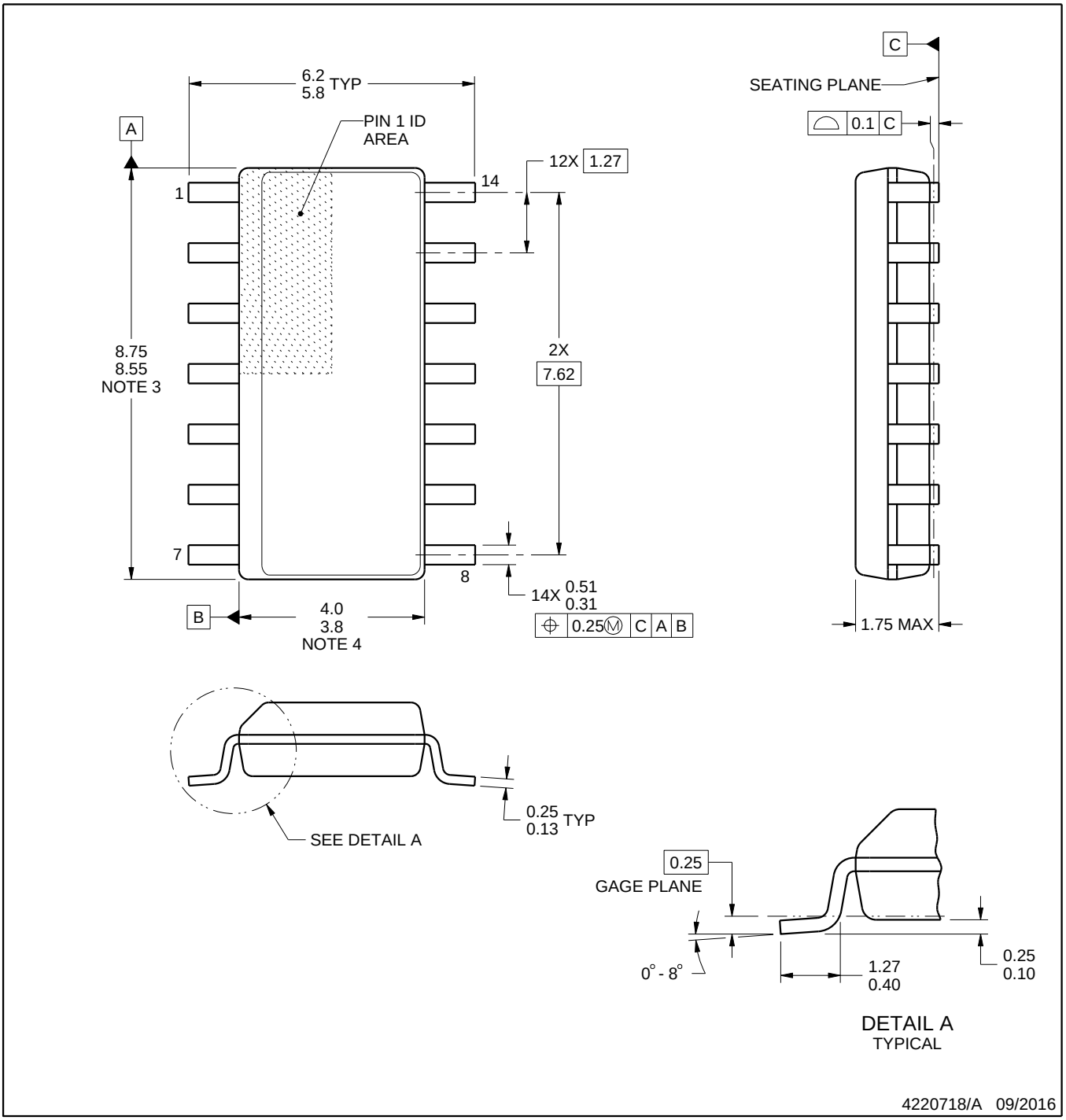


PACKAGE OUTLINE

D0014A

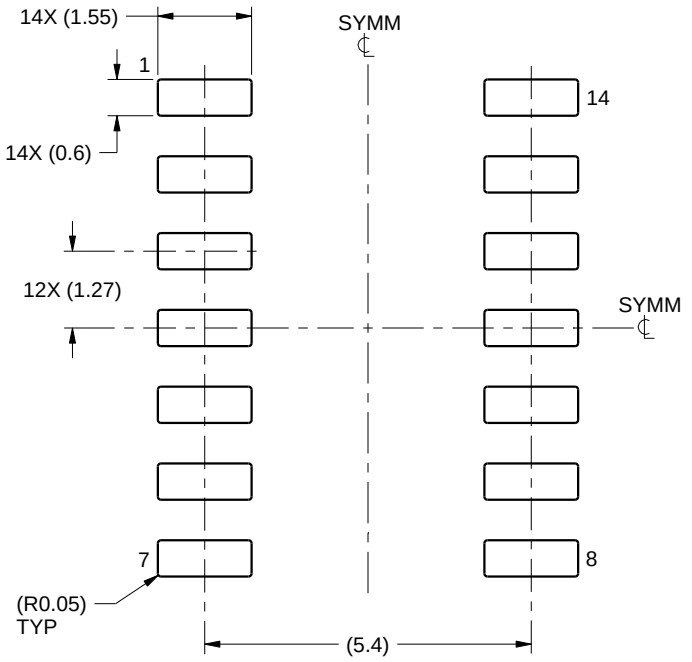
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

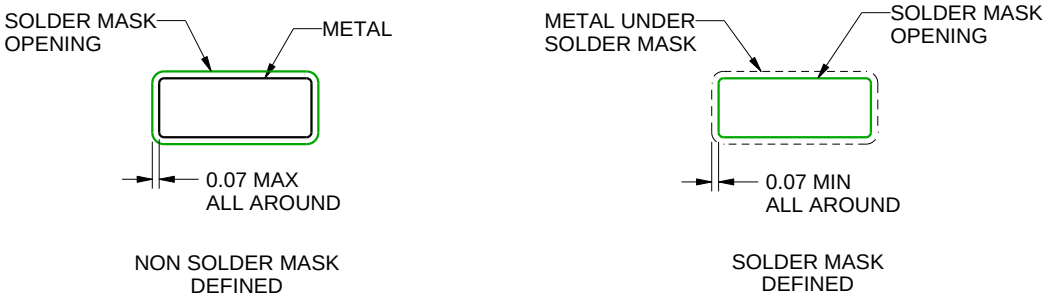


NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.43 mm, per side.
5. Reference JEDEC registration MS-012, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4220718/A 09/2016

NOTES: (continued)

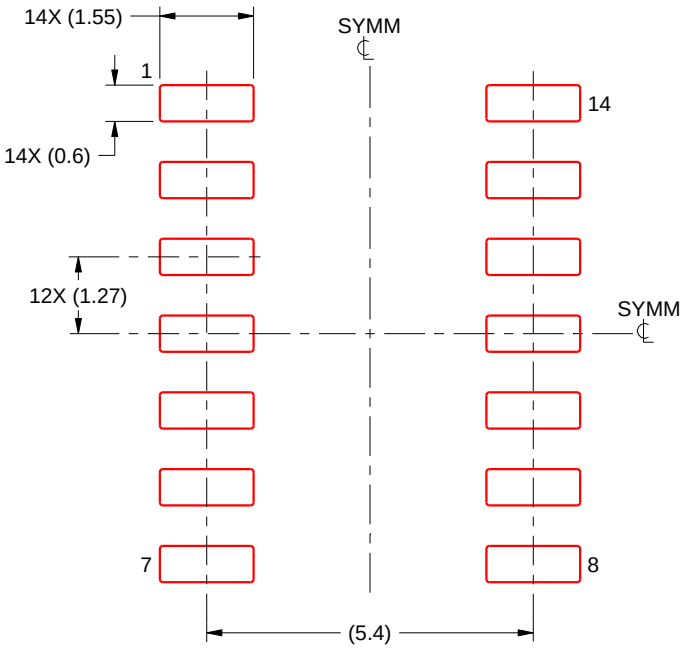
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0014A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:8X

4220718/A 09/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

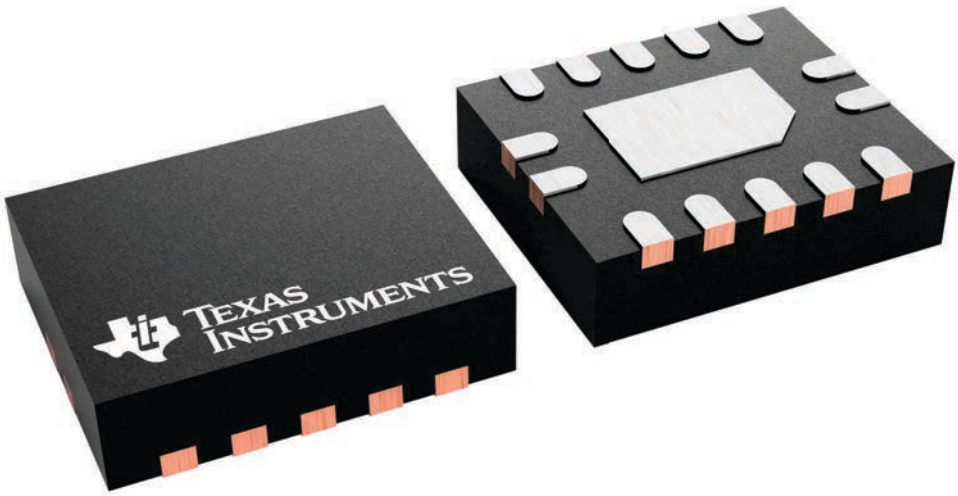
BQA 14

WQFN - 0.8 mm max height

2.5 x 3, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



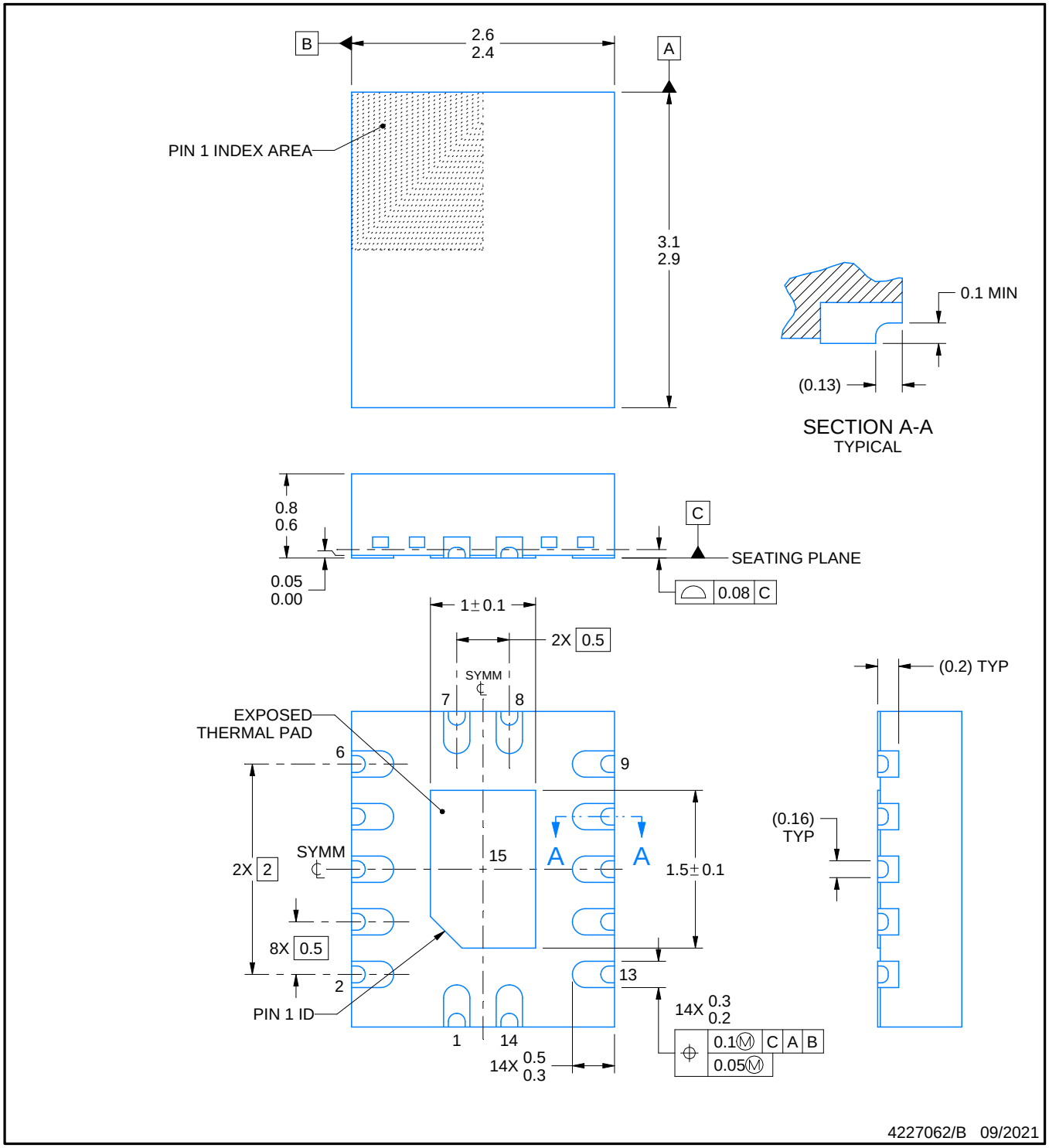
4227145/A

BQA0014B

PACKAGE OUTLINE

WQFN - 0.8 mm max height

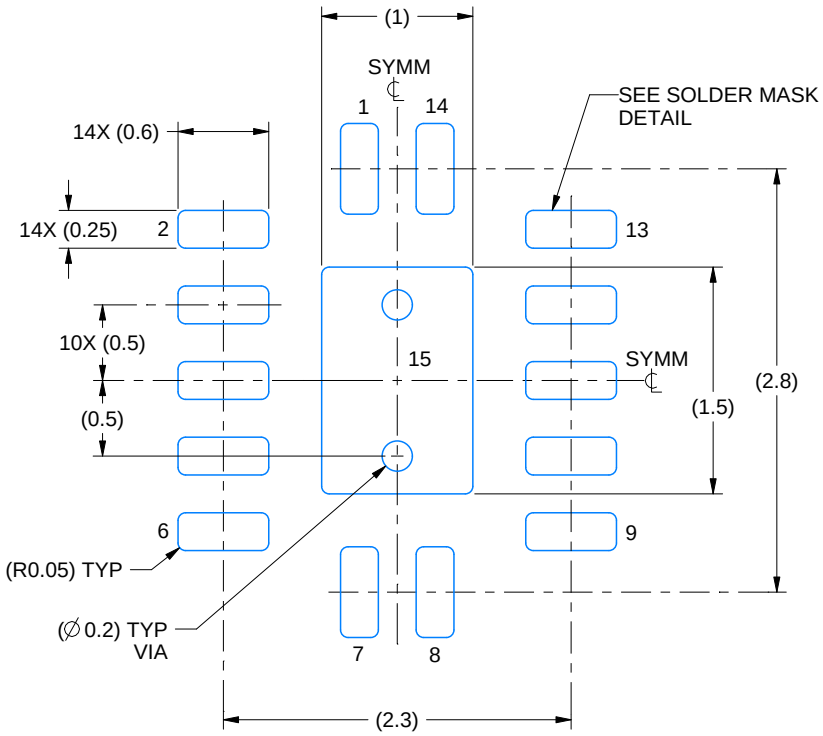
PLASTIC QUAD FLATPACK - NO LEAD



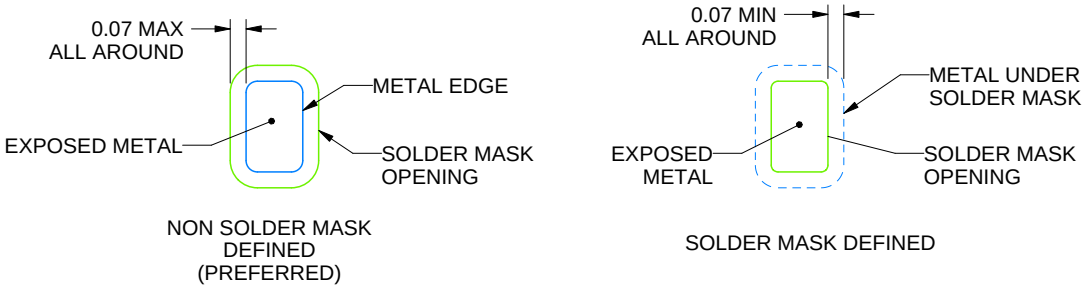
4227062/B 09/2021

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 20X

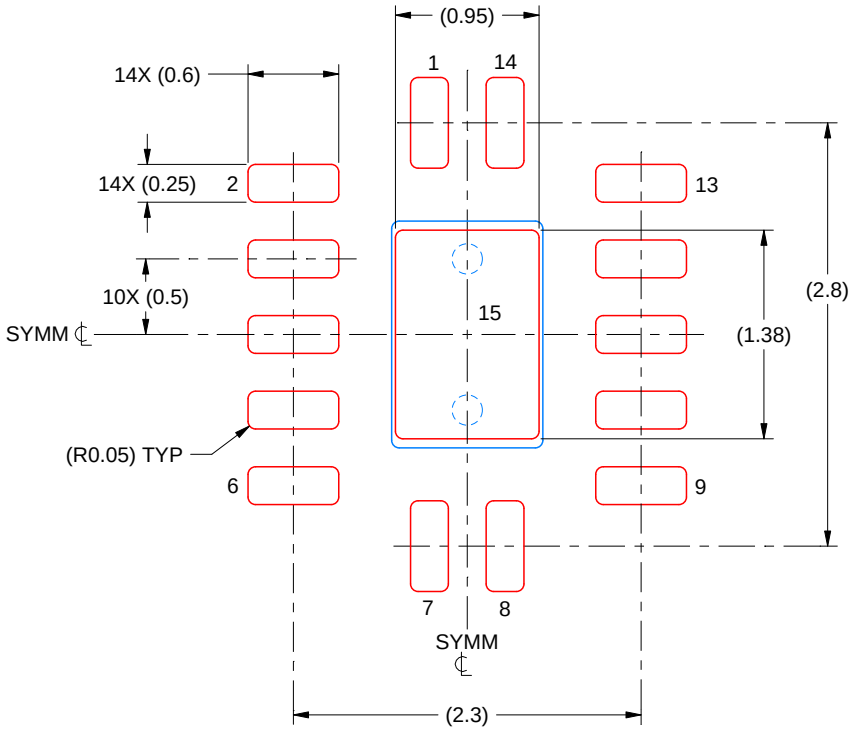


SOLDER MASK DETAILS

4227062/B 09/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 20X

EXPOSED PAD 15
87% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4227062/B 09/2021

NOTES: (continued)

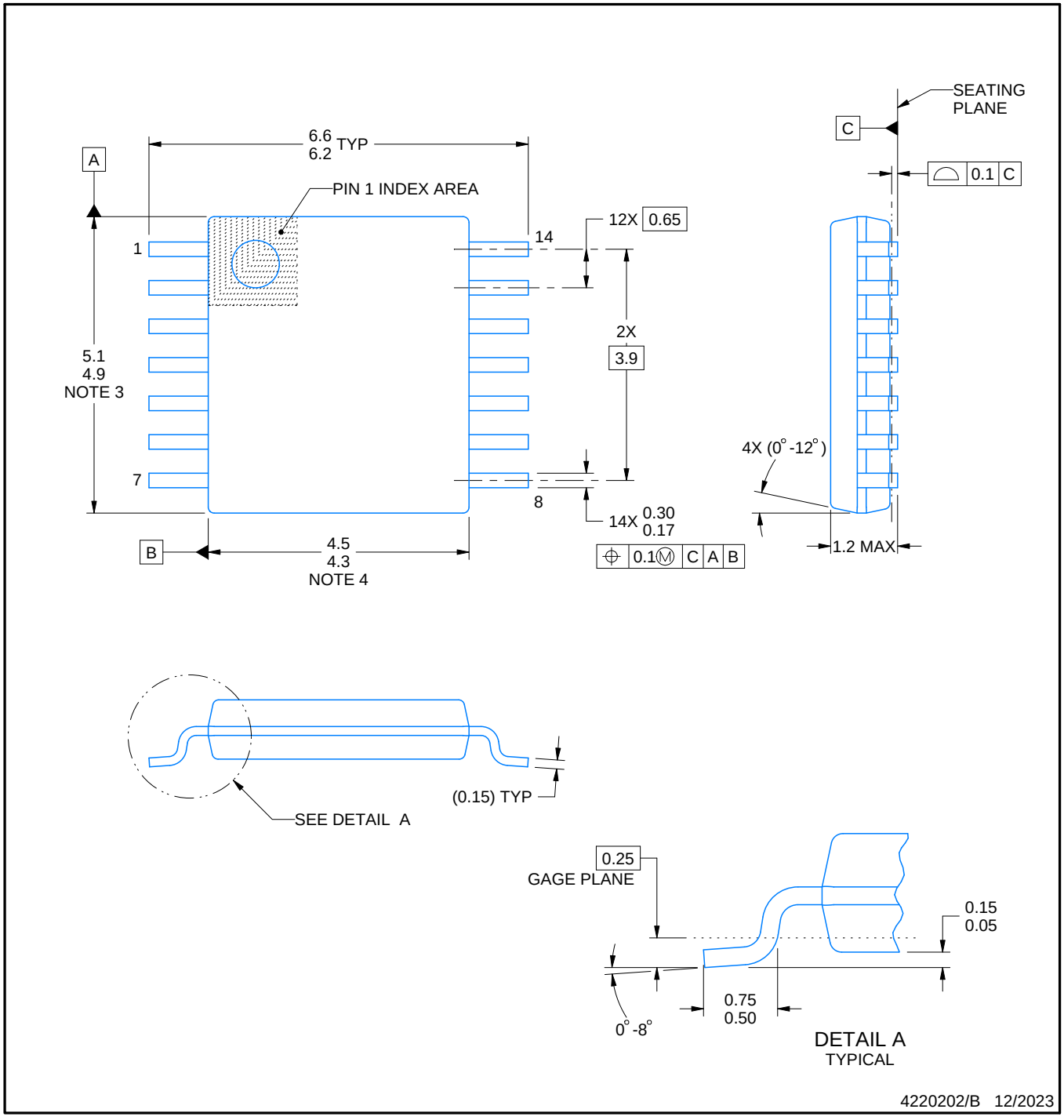
6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

PACKAGE OUTLINE

PW0014A

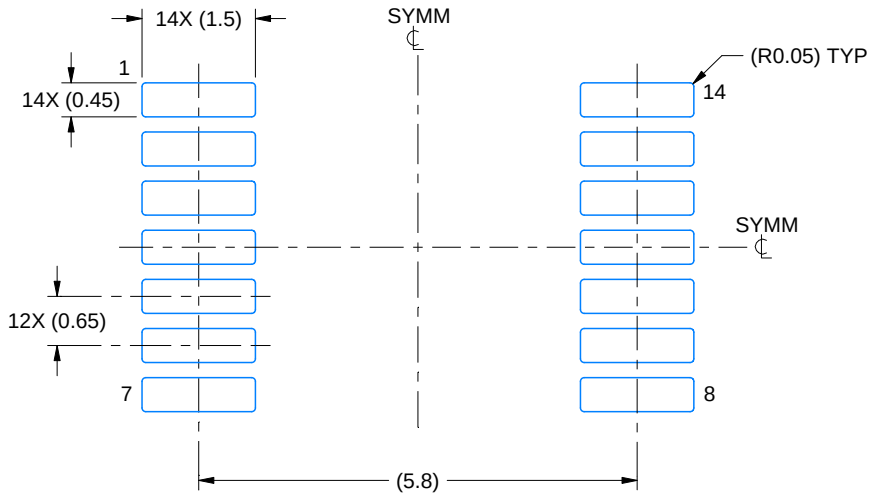
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

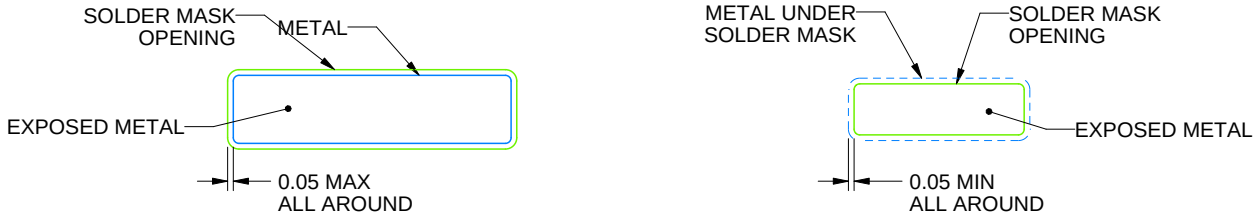


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

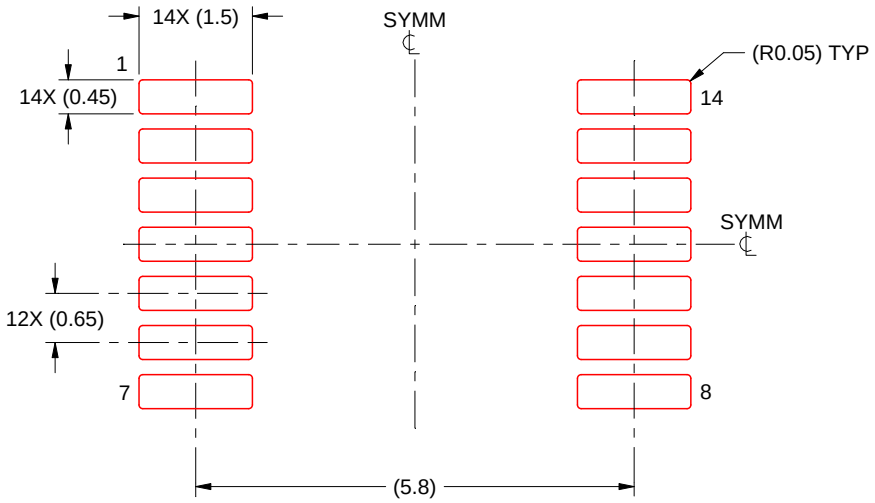


SOLDER MASK DETAILS

4220202/B 12/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220202/B 12/2023

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月