OPAx994 具有无限容性负载驱动能力的 32V、轨到轨输入和输出、24MHz、125mA 输出电流运算放大器

1 特性

- 宽电源电压：2.7V 至 32V
- 轨至轨输入和输出
- 高带宽：24MHz GBW，单位增益稳定
- 无限容性负载驱动能力
  - 驱动 10μF 和 1MΩ 负载时，相位裕度为 50°
- 高输出电流驱动：±125mA
- 低失调电压：±350μV（典型值）
- 低失调电压漂移：±2.5μV/°C（典型值）
- 低噪声：1kHz 时为 12nV/√Hz
- 高共模抑制：125dB
- 高压摆率：35V/μs
- 低静态电流：每个放大器 1.35mA

2 应用

- 交流充电（桩）站
- GFCI 故障检测与测试
- 软件定义无线电
- PC 和笔记本电脑显示面板
- 液晶电视
- 无线控制照明
- 电机驱动：功率级和控制模块
- 电力输送：UPS、服务器和商用网络电源
- ADC 驱动器和基准缓冲放大器
- 高侧和低侧电流检测

3 说明

OPAx994 系列（OPA994 和 OPA2994）是高电压 (32V) 轨到轨输入和输出 (RRIO) 运算放大器系列。这些器件具有出色的交流性能，包括 24MHz 的宽单位带宽增益积和 35V/μs 的高压摆率，同时每通道仅需 1.35mA 的静态电流。

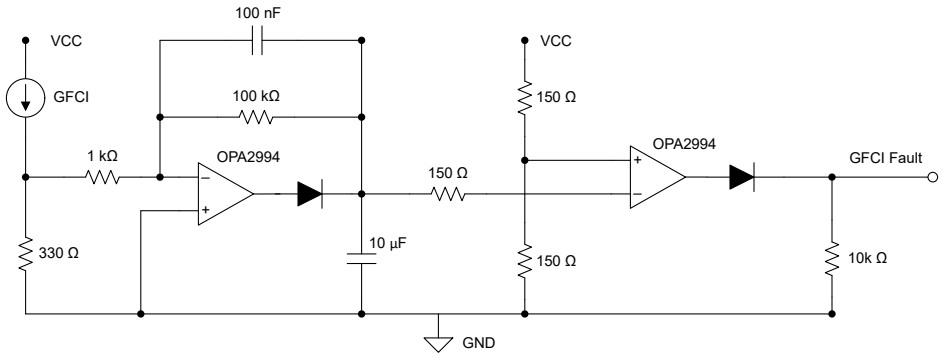
OPAx994 系列旨在各种容性负载下保持稳定性。例如，当驱动 10μF 的大容性负载和 1MΩ 的负载电阻时，OPAx994 能够实现 50 度的相位裕度。OPAx994 采用补偿架构设计，可缓解大容性负载下的持续振铃。这使得具有可变或未知的大容性负载的系统具有可靠的性能并易于设计。

这些器件还具有出色的直流精度，包括 125mA/通道的高短路输出电流、低失调电压（典型值为 ±350μV）、低温漂（典型值为 ±2.5μV/°C）和 125dB 的高 CMRR，适用于主输入对范围内的高电压运行。因此，OPAx994 是灵活、稳健且高性能的运算放大器，适用于高电压工业应用。

封装信息

器件型号(1)	通道数	封装	封装尺寸 (2)
OPA994	单通道	DBV（SOT-23，5）	2.9mm × 2.8mm
		DCK（SC70，5）	2mm × 2.1mm
		D（SOIC，8）	4.9mm × 6mm
OPA2994	双通道	D（SOIC，8）	4.9mm × 6mm
		DGK（VSSOP，8）	3mm × 4.9mm
		DDF（SOT-23，8）	2.9mm × 2.8mm

(1) 有关更多信息，请参阅节 10。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



电动汽车服务设备 (EVSE) 接地故障断路器 (GFCI) 故障检测和测试电路中的 OPAx994

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性 1
2 应用 1
3 说明 1
4 引脚配置和功能 3
5 规格 5
5.1 绝对最大额定值 5
5.2 ESD 等级 5
5.3 建议运行条件 5
5.4 单通道器件的热性能信息 6
5.5 双通道器件的热性能信息 6
5.6 电气特性 7
5.7 典型特性 9
6 详细说明 18
6.1 概述 18
6.2 功能方框图 18
6.3 特性说明 19
6.4 器件功能模式 24
7 应用和实施 25
7.1 应用信息 25
7.2 典型应用 25
7.3 电源相关建议 26
7.4 布局 27
8 器件和文档支持 29
8.1 器件支持 29
8.2 文档支持 29
8.3 接收文档更新通知 29
8.4 支持资源 29
8.5 商标 29
8.6 静电放电警告 29
8.7 术语表 29
9 修订历史记录 30
10 机械、封装和可订购信息 30

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

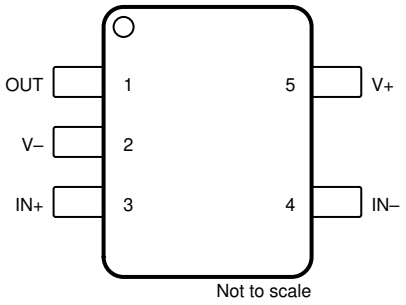


图 4-1. OPA994 DBV 封装
5 引脚 SOT-23
（顶视图）

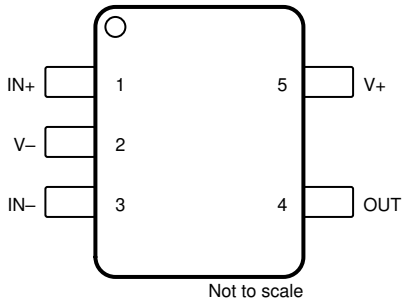
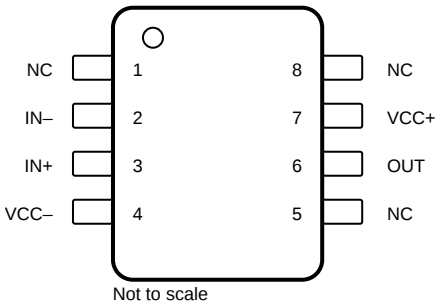


图 4-2. OPA994 DCK 封装
5 引脚 SC70
（顶视图）



NC = 没有与内部电路连接

图 4-3. OPA994 D 封装
8 引脚 SOIC
（顶视图）

表 4-1. 引脚功能：OPA994

引脚				类型[1]	说明
名称	DBV	DCK	D		
IN –	4	3	2	I	反相输入
IN+	3	1	3	I	同相输入
NC	—	—	8	—	不连接
NC	—	—	1	—	不连接
NC	—	—	5	—	不连接
OUT	1	4	6	O	输出
V –	2	2	4	—	负（最低）电源
V+	5	5	7	—	正（最高）电源

(1) I = 输入，O = 输出

Copyright © 2024 Texas Instruments Incorporated

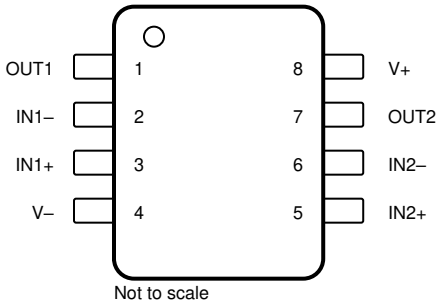


图 4-4. OPA2994 D、DGK 和 DDF 封装，8 引脚 SOIC、VSSOP 和 SOT-23（顶视图）

表 4-2. 引脚功能：OPA2994

引脚		类型(1)	说明
名称	编号		
IN1+	3	I	同相输入，通道 1
IN1 –	2	I	反相输入，通道 1
IN2+	5	I	同相输入，通道 2
IN2 –	6	I	反相输入，通道 2
OUT1	1	O	输出，通道 1
OUT2	7	O	输出，通道 2
V+	8	—	正（最高）电源
V –	4	—	负（最低）电源

(1) I = 输入，O = 输出

Copyright © 2024 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）(1)

		最小值	最大值	单位
电源电压，V_S = (V+) – (V–)		0	33	V
信号输入引脚	共模电压(3)	(V–) – 0.5	(V+) + 0.5	V
	差分电压(4)		±10	V
	电流(3)		±10	mA
输出短路(2)		持续		
结温，T_J			150	°C
贮存温度，T_{stg}		-65	150	°C

(1) 如果在超出*绝对最大额定值*下列出的额定值的情况下运行器件，则会对器件造成永久性损坏。这些只是基于工艺和设计限制条件的应力等级，该器件并未设计为在*建议运行条件*中指定的条件之外运行。如果长时间暴露于*建议运行条件*之外的任何条件（包括绝对最大额定条件）下，则可能影响器件的可靠性和性能。
(2) 接地短路，每个封装对应一个放大器。延长的短路电流，特别是在较高的电源电压下，会导致过热并最终导致毁坏。
(3) 输入引脚被二极管钳制至电源轨。对于摆幅超过电源轨 0.5V 以上的输入信号，其电流必须限制在 10mA 或者更低。
(4) 输入引脚通过背对背二极管进行连接，以实现输入保护。如果差分输入电压可能超过 0.5V，则将输入电流限制在 10mA 或更低。

5.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1)	±4000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2)	±1500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

5.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）

		最小值	最大值	单位
V_S	电源电压，(V+) – (V–)	2.7	32	V
V_I	共模电压范围	(V–) – 0.1	(V+) + 0.1	V
T_A	额定温度	-40	125	°C

Copyright © 2024 Texas Instruments Incorporated

5.4 单通道器件的热性能信息

热指标(1)		OPA994			单位
		D (SOIC)	DCK (SC70)	DBV (SOT-23)	
		8 引脚	5 引脚	5 引脚	
$R_{\theta JA}$	结至环境热阻	133.5	214.2	185.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	75.8	129.2	82.8	°C/W
$R_{\theta JB}$	结至电路板热阻	76.9	67.5	51.6	°C/W
ψ_{JT}	结至顶部特征参数	26.4	42.7	19.5	°C/W
ψ_{JB}	结至电路板特征参数	76.2	67.1	51.2	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	°C/W

(1) 有关新旧热性能指标的更多信息，请参阅*半导体和 IC 封装热性能指标*应用手册。

5.5 双通道器件的热性能信息

热指标(1)		OPA2994			单位
		D (SOIC)	DGK (VSSOP)	DDF (SOT-23)	
		8 引脚	8 引脚	8 引脚	
$R_{\theta JA}$	结至环境热阻	124.0	169.6	125.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	67.3	61.6	63.8	°C/W
$R_{\theta JB}$	结至电路板热阻	68.4	91.2	45.2	°C/W
ψ_{JT}	结至顶部特征参数	19.9	9.0	2.8	°C/W
ψ_{JB}	结至电路板特征参数	67.6	89.7	45.0	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	不适用	不适用	不适用	°C/W

(1) 有关新旧热性能指标的更多信息，请参阅*半导体和 IC 封装热性能指标*应用手册。

Copyright © 2024 Texas Instruments Incorporated

5.6 电气特性

V_S = (V+) – (V–) = 2.7V 至 32V（±1.35V 至 ±16V），T_A = 25°C，R_L = 10kΩ 连接至 V_S / 2，V_{CM} = V_S / 2 且 V_{OUT} = V_S / 2，除非另有说明。

参数		测试条件		最小值	典型值	最大值	单位
失调电压							
V_{OS}	输入失调电压	V_{CM} = V–			±0.35	±2.3	mV
			T_A = -40°C 至 125°C			±3.3	
dV_{OS}/dT	输入失调电压温漂	V_{CM} = V–	T_A = -40°C 至 125°C		±2.5		µV/℃
PSRR	输入失调电压与电源间的关系	V_{CM} = V–，V_S = 5V 至 32V	T_A = -40°C 至 125°C		±3.5	±22	µV/V
		V_{CM} = V–，V_S = 2.7V 至 32V	T_A = -40°C 至 125°C			±60(1)	µV/V
	直流通道隔离				1		µV/V
输入偏置电流							
I_B	输入偏置电流				±400	±1500	nA
I_{OS}	输入失调电流				±7		nA
噪声							
E_N	输入电压噪声	f = 0.1Hz 至 10Hz			1.8		μV_{PP}
					0.3		μV_{RMS}
e_N	输入电压噪声密度	f = 1kHz			12		nV/√Hz
		f = 10kHz			11		
i_N	输入电流噪声密度	f = 1kHz			1		pA/√Hz
输入电压范围							
V_{CM}	共模输入电压范围			(V–) – 0.1		(V+) + 0.1	V
CMRR	共模抑制比	V_S = 32V，V– < V_{CM} < (V+) – 2V（主输入对）	T_A = -40°C 至 125°C	109	125		dB
		V_S = 5V，V– < V_{CM} < (V+) – 2V（主输入对）(1)	T_A = -40°C 至 125°C	93	111		
		V_S = 2.7V，V– < V_{CM} < (V+) – 2V（主输入对）	T_A = -40°C 至 125°C		114		
		V_S = 2.7 – 32V，(V+) – 1V < V_{CM} < V+（辅助输入对）	T_A = -40°C 至 125°C		77		
		(V+) – 2V < V_{CM} < (V+) – 1V	T_A = -40°C 至 125°C	请参阅失调电压与共模电压间的关系（转换区域）			
输入阻抗							
Z_{ID}	差分				0.2 || 1		MΩ || pF
Z_{ICM}	共模				2 || 0.5		GΩ || pF
开环增益							
A_{OL}	开环电压增益	V_S = 32V，V_{CM} = V_S/2，(V–) + 1V < V_O < (V+) – 1V		80	87		dB
			T_A = -40°C 至 125°C		87		
		V_S = 5V，V_{CM} = V_S / 2，(V–) + 1V < V_O < (V+) – 1V(1)		75	80		
			T_A = -40°C 至 125°C		80		
		V_S = 2.7V，V_{CM} = V_S / 2，(V–) + 1V < V_O < (V+) – 1V(1)		75	80		
			T_A = -40°C 至 125°C		80		

Copyright © 2024 Texas Instruments Incorporated

5.6 电气特性（续）

V_S = (V+) – (V–) = 2.7V 至 32V（±1.35V 至 ±16V），T_A = 25°C，R_L = 10kΩ 连接至 V_S / 2，V_{CM} = V_S / 2 且 V_{OUT} = V_S / 2，除非另有说明。

参数		测试条件		最小值	典型值	最大值	单位
频率响应							
GBW	增益带宽积				24		MHz
SR	压摆率	V_S = 32V，V_{STEP} = 10V，G = +1，C_L = 20pF			35		V/μs
t_S	稳定时间	精度达到 0.1%，V_S = 32V，V_{STEP} = 10V，G = +1，C_L = 50pF			0.43		μs
		精度达到 0.1%，V_S = 32V，V_{STEP} = 10V，G = +1，C_L = 500pF			0.45		
		精度达到 0.01%，V_S = 32V，V_{STEP} = 10V，G = +1，C_L = 50pF			0.77		
		精度达到 0.01%，V_S = 32V，V_{STEP} = 10V，G = +1，C_L = 500pF			0.85		
	相位裕度	G = +1，R_L = 10kΩ，C_L = 20pF			50		°
	过载恢复时间	V_{IN} × 增益 > V_S			130		ns
THD+N	总谐波失真 + 噪声	V_S = 32V，V_O = 3V_{RMS}，G = 1，f = 1kHz，R_L = 10kΩ			0.00022		%
					113		dB
输出							
	相对于电源轨的电压输出摆幅	正负电源轨余量	V_S = 32V，R_L = 空载		20		mV
			V_S = 32V，R_L = 10kΩ		58	68	
			V_S = 32V，R_L = 2kΩ		117	137	
			V_S = 5V，R_L = 空载		30		
			V_S = 5V，R_L = 10kΩ		45	52	
			V_S = 5V，R_L = 2kΩ		25	60	
			V_S = 2.7V，R_L = 空载		25		
			V_S = 2.7V，R_L = 10kΩ		42	48	
			V_S = 2.7V，R_L = 2kΩ		45	54	
I_{SC}	短路电流	V_S = 32V		±62	±125		mA
		V_S = 5V(1)		±50	±85		
		V_S = 2.7V(1)		±30	±60		
C_{LOAD}	容性负载驱动			无限；请参阅相位裕度与容性负载间的关系			pF
Z_O	开环输出阻抗	I_O = 0A		请参阅开环输出阻抗与频率间的关系			Ω
电源							
I_Q	每个放大器的静态电流	V_{CM} = V-，I_O = 0A			1.35	1.93	mA
			T_A = -40°C 至 125°C			2.23	mA

(1) 仅由特性确定。

Copyright © 2024 Texas Instruments Incorporated

5.7 典型特性

在 T_A = 25°C 时，V_S = ±16V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ（除非另有说明）

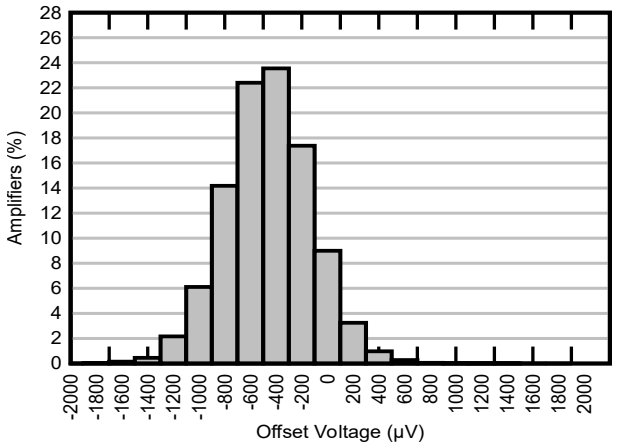


图 5-1. 失调电压产生分布

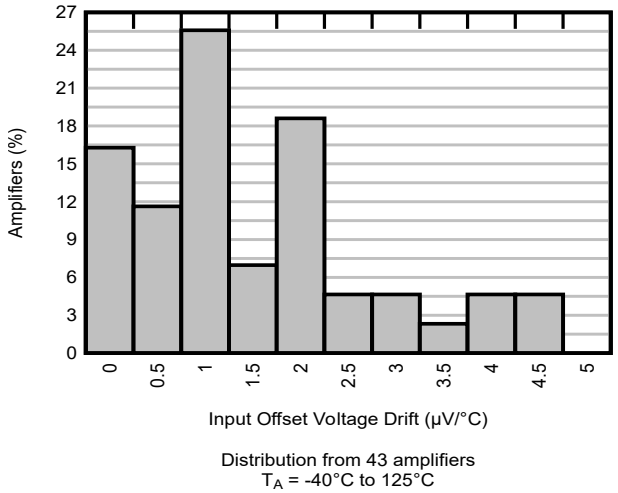


图 5-2. 失调电压漂移分布

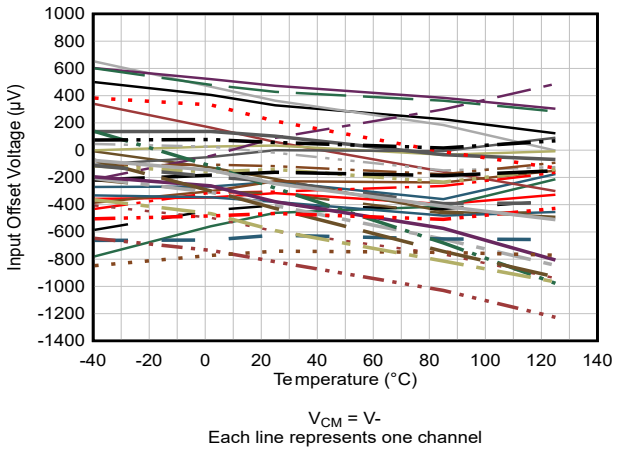


图 5-3. 失调电压与温度间的关系

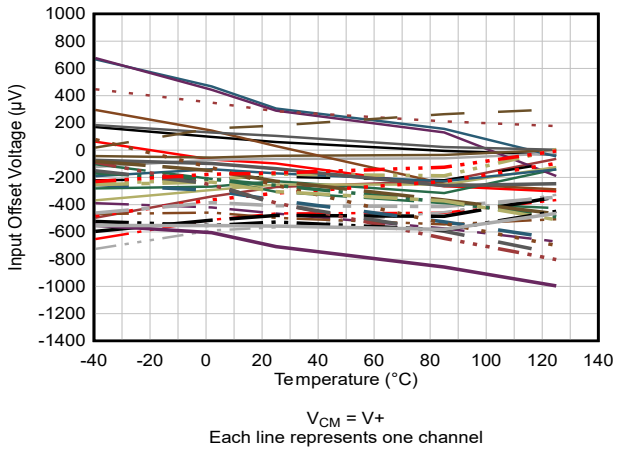


图 5-4. 失调电压与温度间的关系

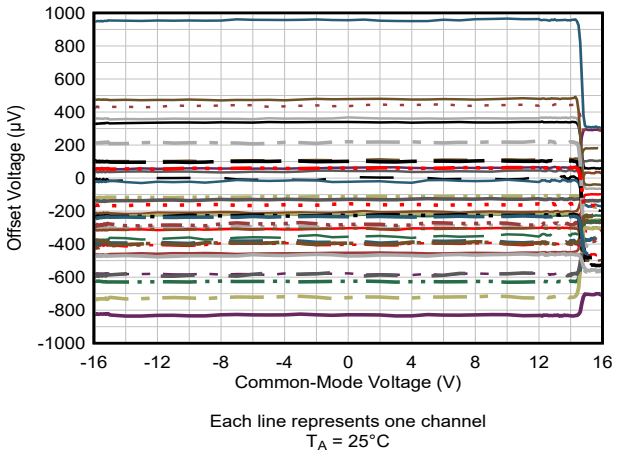


图 5-5. 失调电压与共模电压间的关系

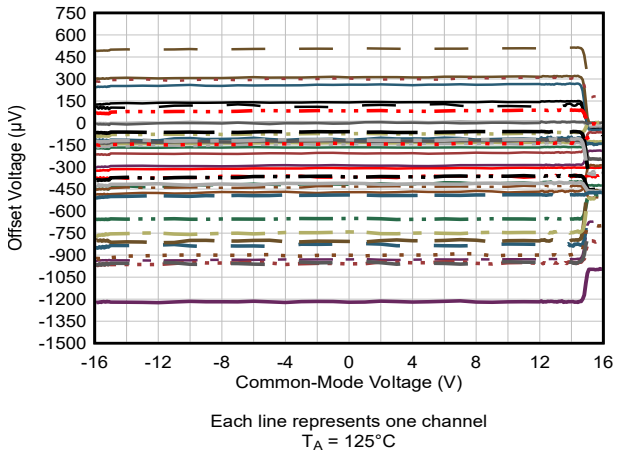


图 5-6. 失调电压与共模电压间的关系

Copyright © 2024 Texas Instruments Incorporated

5.7 典型特性（续）

在 T_A = 25°C 时，V_S = ±16V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ（除非另有说明）

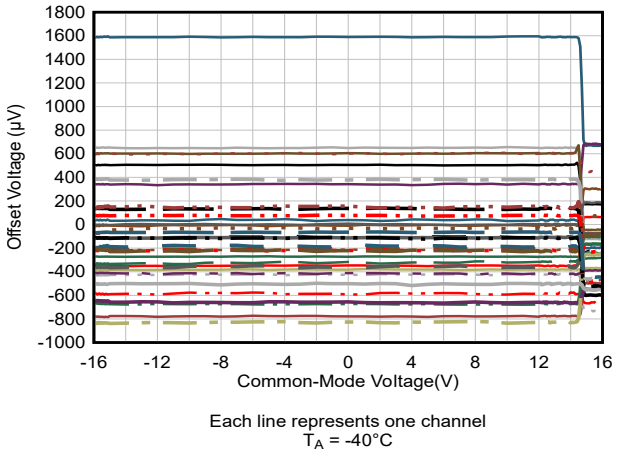


图 5-7. 失调电压与共模电压间的关系

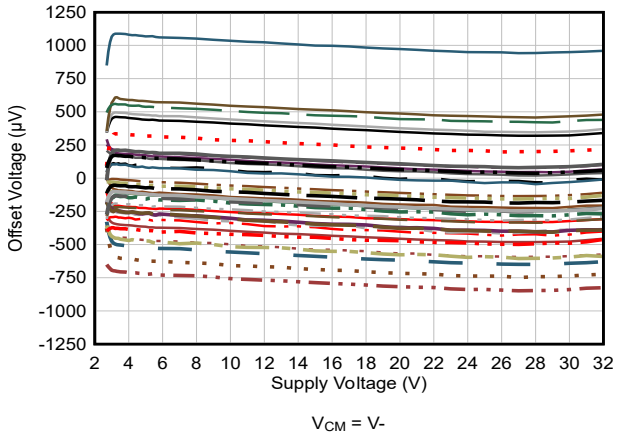


图 5-8. 失调电压与电源间的关系

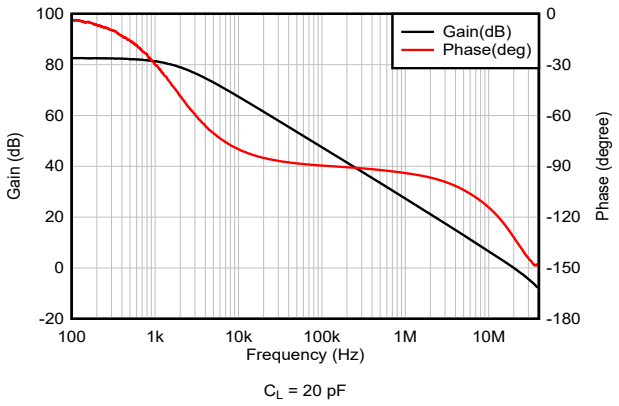


图 5-9. 开环增益和相位与频率间的关系

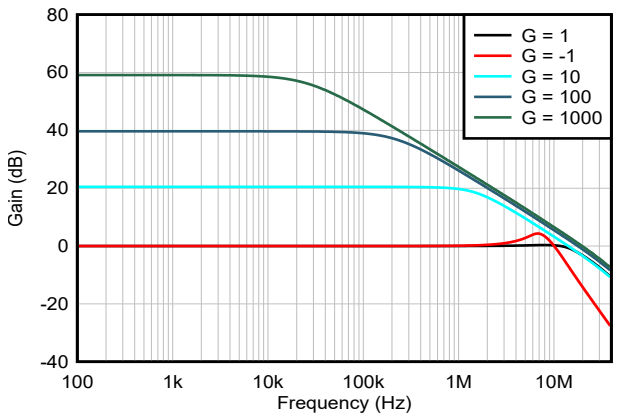


图 5-10. 闭环增益与频率间的关系

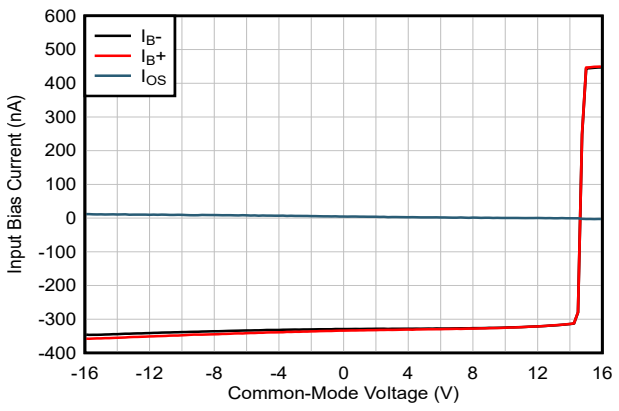


图 5-11. 输入偏置电流和失调电流与共模电压间的关系

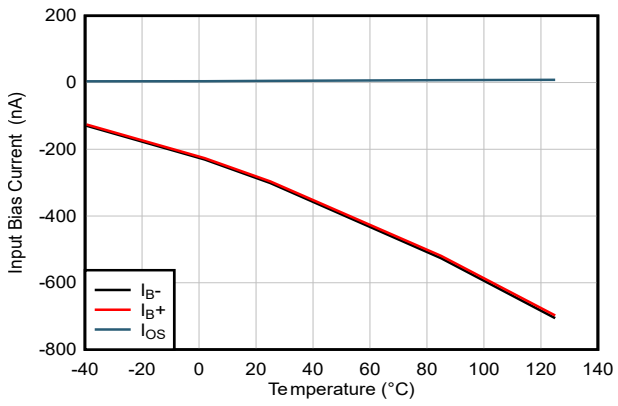
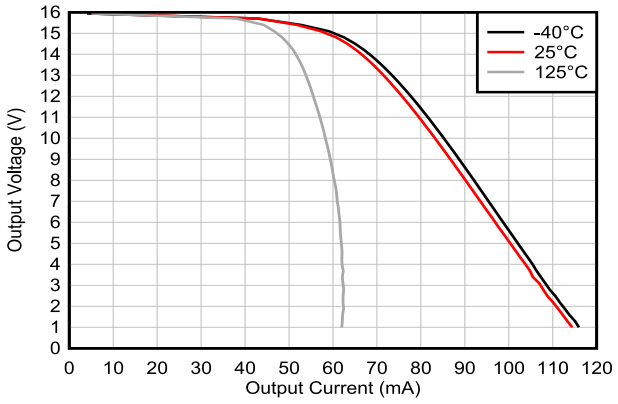


图 5-12. 输入偏置电流、失调电流与温度间的关系

Copyright © 2024 Texas Instruments Incorporated

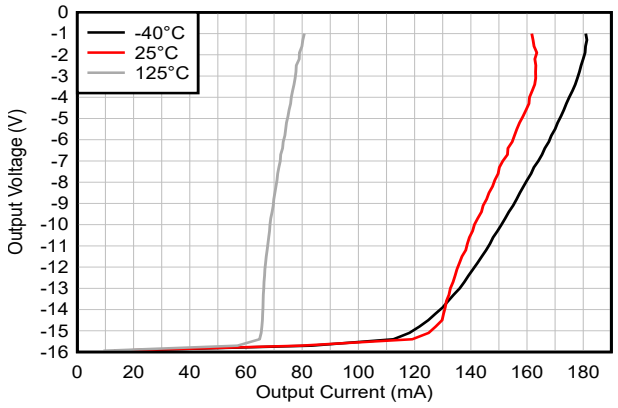
5.7 典型特性（续）

在 T_A = 25°C 时，V_S = ±16V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ（除非另有说明）



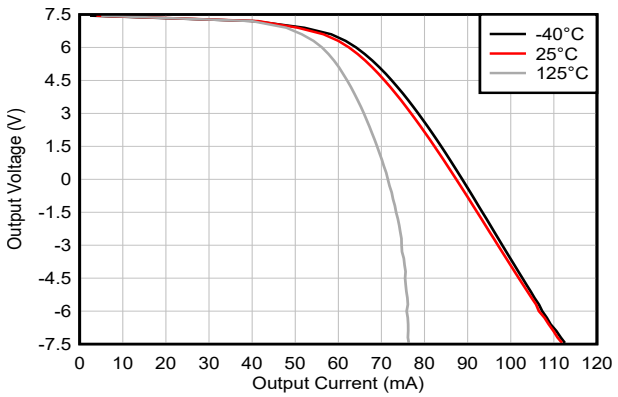
V_S = 32 V

图 5-13. 输出电压摆幅与输出电流（拉电流）间的关系



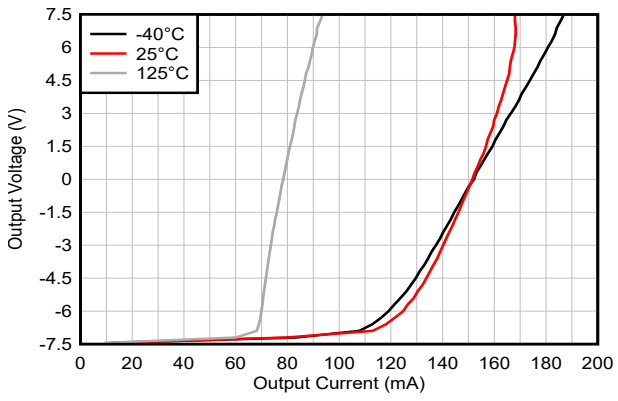
V_S = 32 V

图 5-14. 输出电压摆幅与输出电流（灌电流）间的关系



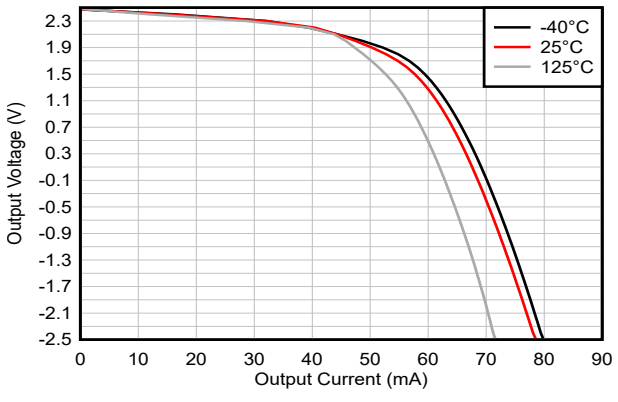
V_S = 15 V

图 5-15. 输出电压摆幅与输出电流（拉电流）间的关系



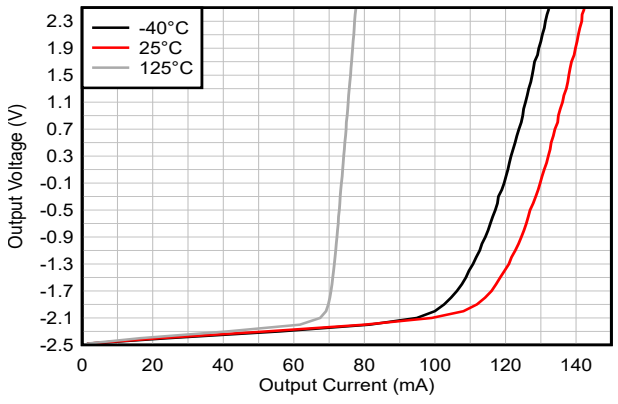
V_S = 15 V

图 5-16. 输出电压摆幅与输出电流（灌电流）间的关系



V_S = 5 V

图 5-17. 输出电压摆幅与输出电流（拉电流）间的关系



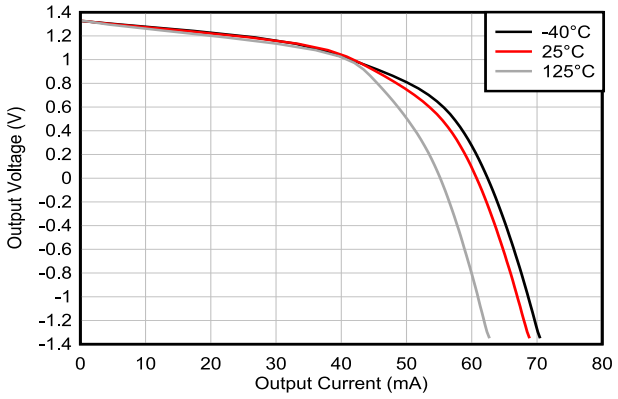
V_S = 5 V

图 5-18. 输出电压摆幅与输出电流（灌电流）间的关系

Copyright © 2024 Texas Instruments Incorporated

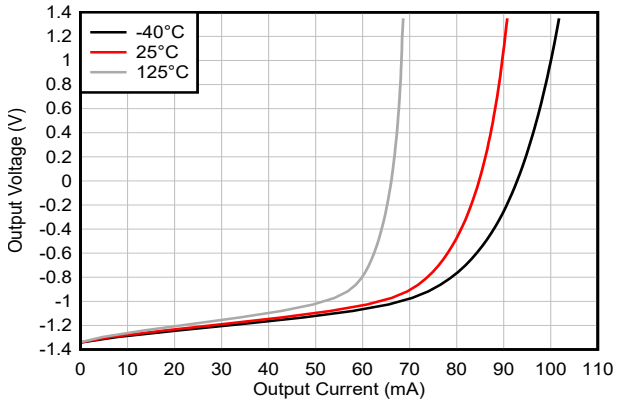
5.7 典型特性（续）

在 T_A = 25°C 时，V_S = ±16V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ（除非另有说明）



V_S = 2.7 V

图 5-19. 输出电压摆幅与输出电流（拉电流）间的关系



V_S = 2.7 V

图 5-20. 输出电压摆幅与输出电流（灌电流）间的关系

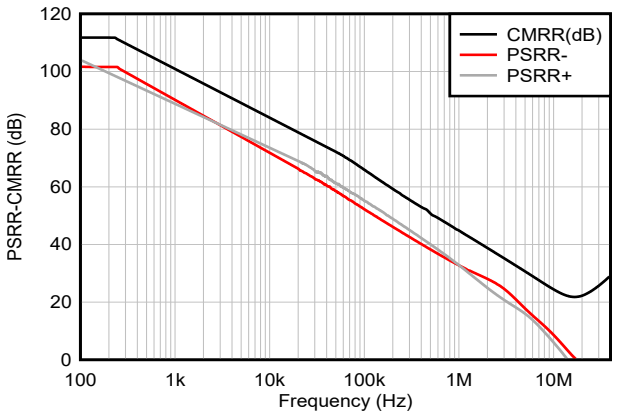
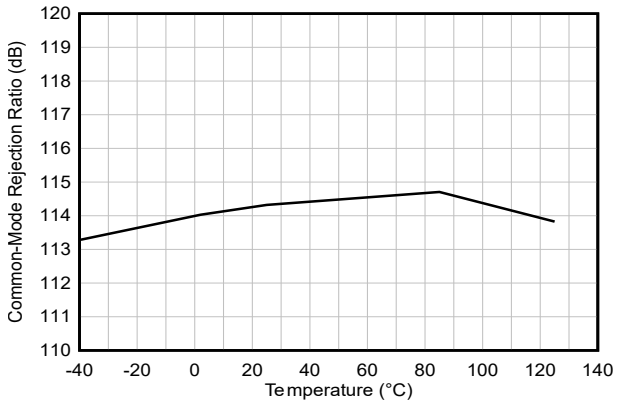
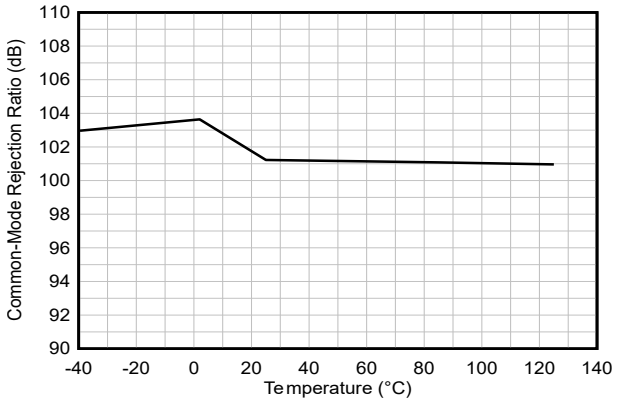


图 5-21. CMRR 和 PSRR 与频率间的关系



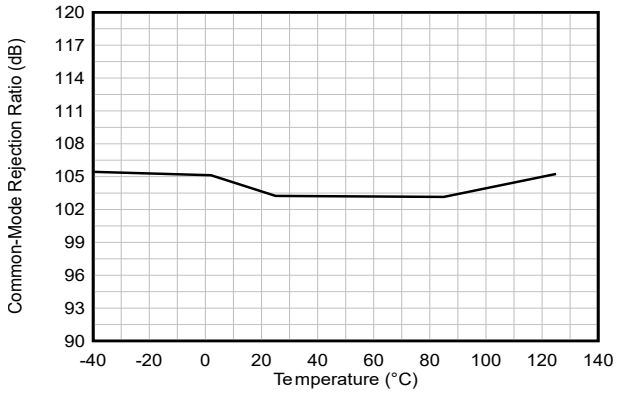
f = 0 Hz

图 5-22. CMRR 与温度间的关系



V_S = 5 V
f = 0 Hz

图 5-23. CMRR 与温度间的关系



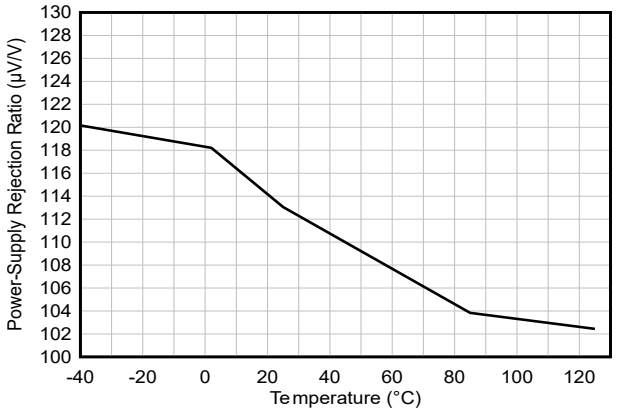
V_S = 2.7 V
f = 0 Hz

图 5-24. CMRR 与温度间的关系

Copyright © 2024 Texas Instruments Incorporated

5.7 典型特性（续）

在 T_A = 25°C 时，V_S = ±16V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ（除非另有说明）



f = 0 Hz

图 5-25. PSRR 与温度间的关系

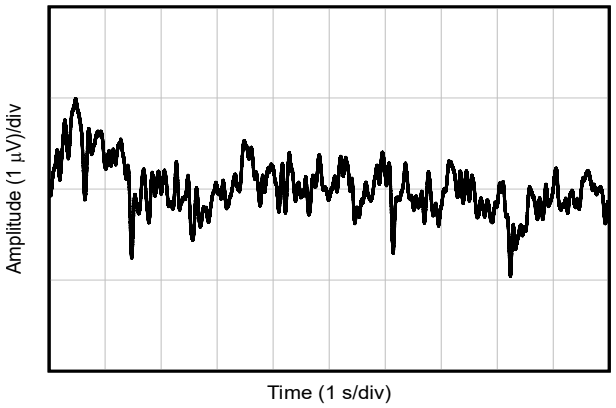


图 5-26. 0.1Hz 至 10Hz 噪声

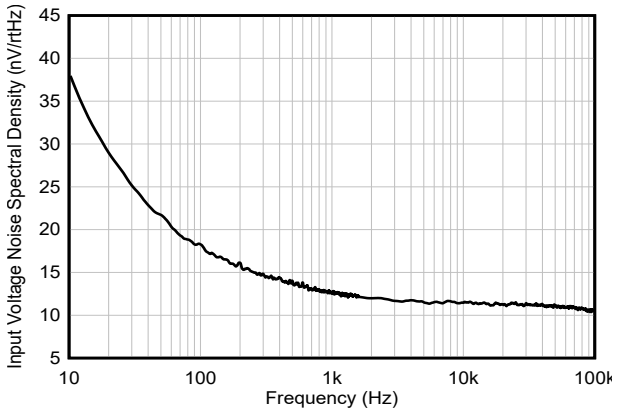
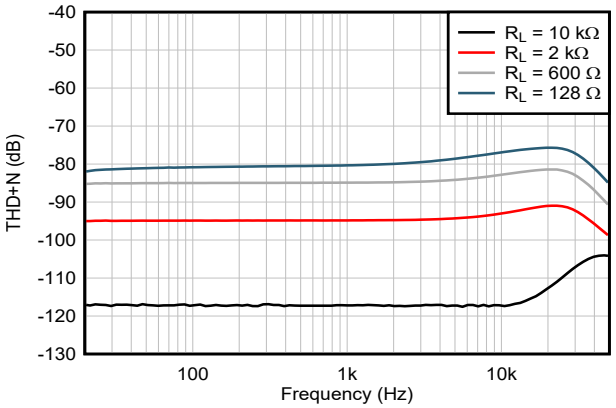
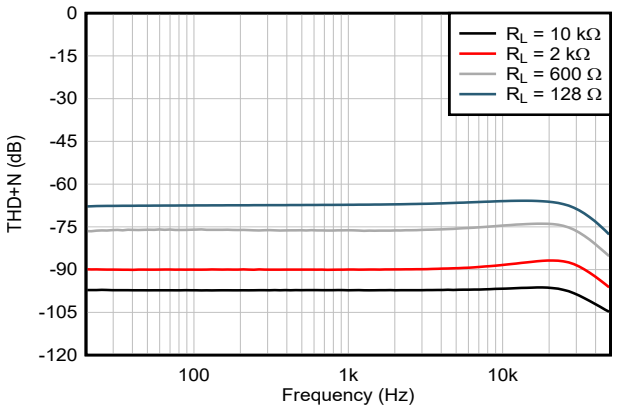


图 5-27. 输入电压噪声频谱密度与频率间的关系



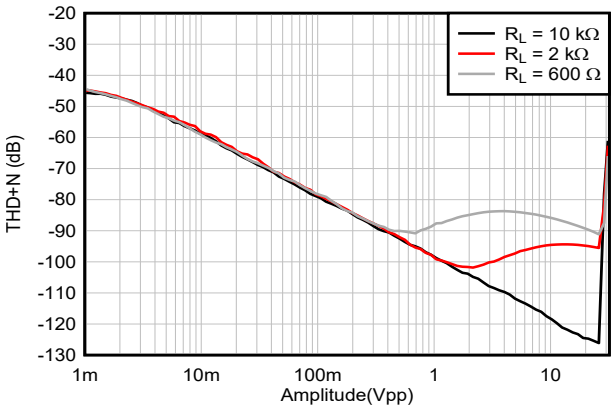
G = +1
V_{OUT} = 3 V_{RMS}
BW = 80 kHz

图 5-28. THD+N 比与频率间的关系



G = -1
V_{OUT} = 3 V_{RMS}
BW = 80 kHz

图 5-29. THD+N 比与频率间的关系



f = 1 kHz
BW = 80 kHz
G = +1

图 5-30. THD+N 与输出幅度间的关系

Copyright © 2024 Texas Instruments Incorporated

5.7 典型特性（续）

在 T_A = 25°C 时，V_S = ±16V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ（除非另有说明）

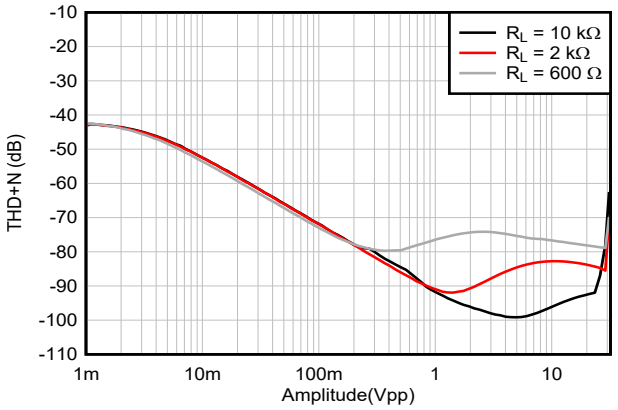


图 5-31. THD+N 与输出幅度间的关系

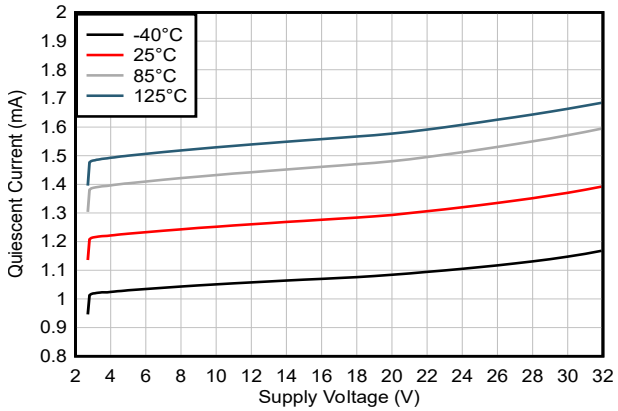


图 5-32. 静态电流与电源电压间的关系

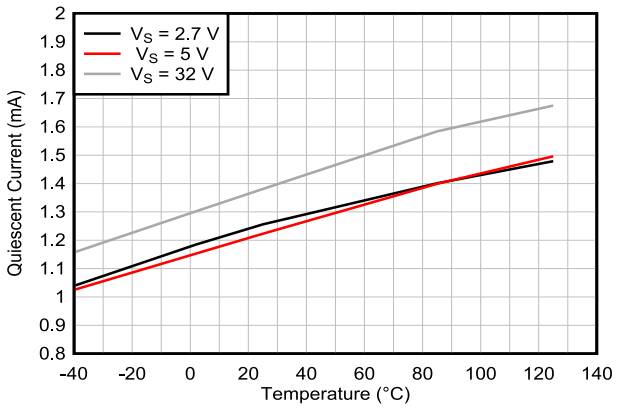


图 5-33. 静态电流与温度间的关系

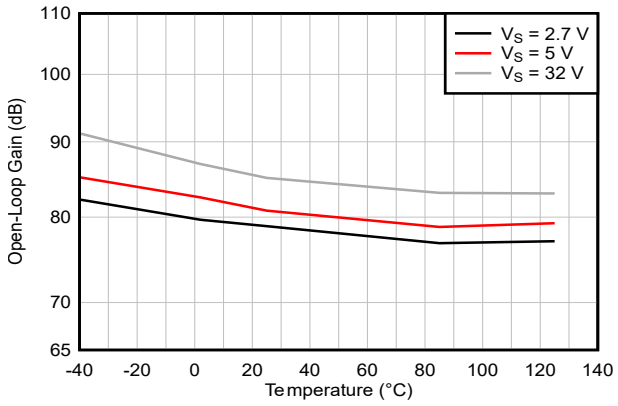


图 5-34. 开环电压增益与温度间的关系 (dB)

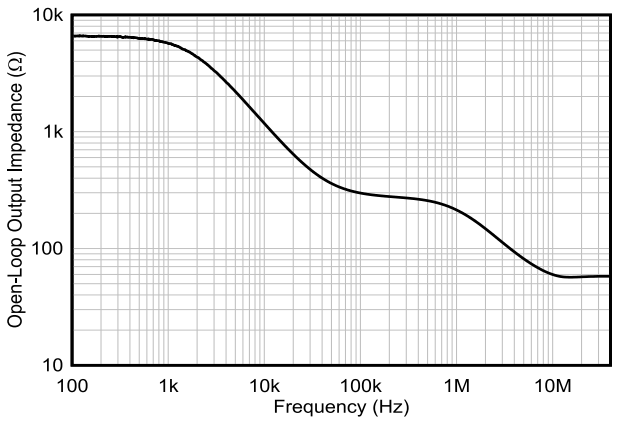


图 5-35. 开环输出阻抗与频率间的关系

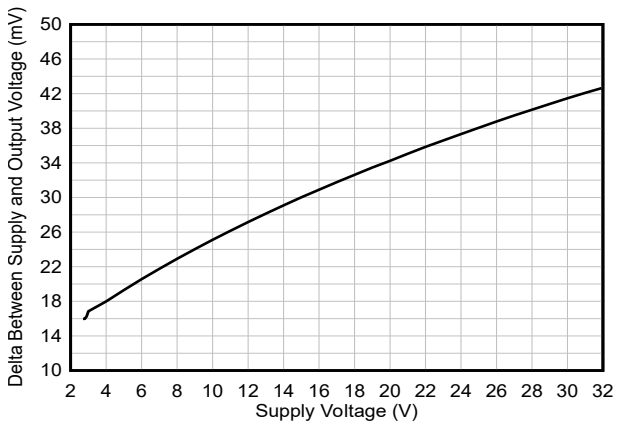
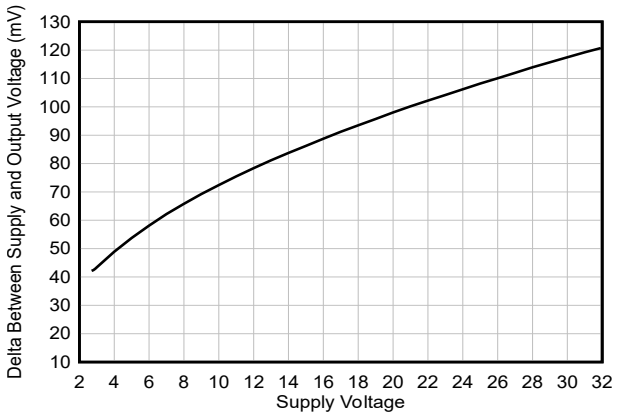


图 5-36. 输出摆幅与电源电压间的关系，正摆幅

Copyright © 2024 Texas Instruments Incorporated

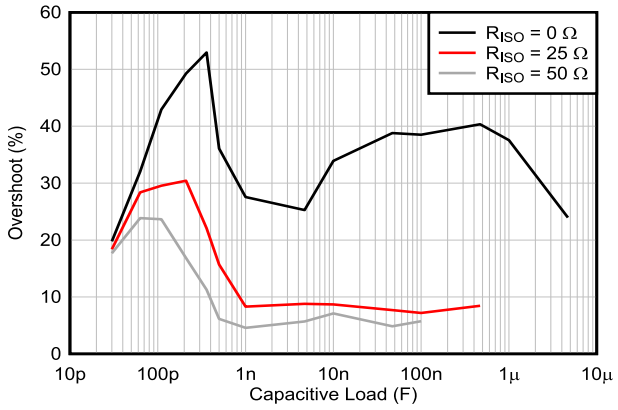
5.7 典型特性（续）

在 T_A = 25°C 时，V_S = ±16V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ（除非另有说明）



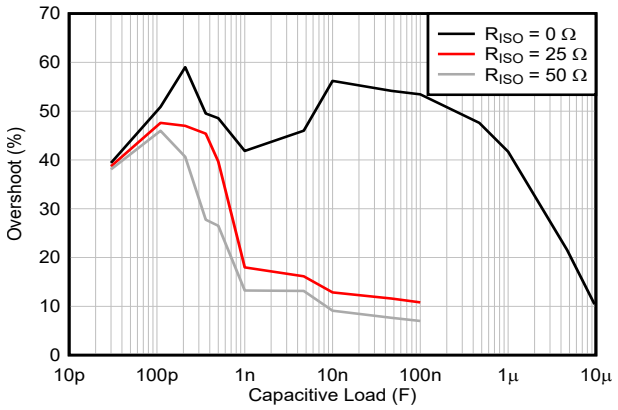
R_L = 2 kΩ

图 5-37. 输出摆幅与电源电压间的关系，正摆幅



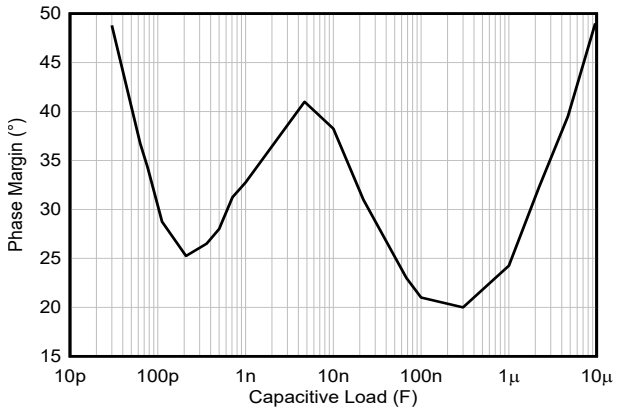
20 mV_{pp} Output Step
G = -1

图 5-38. 小信号过冲与容性负载间的关系



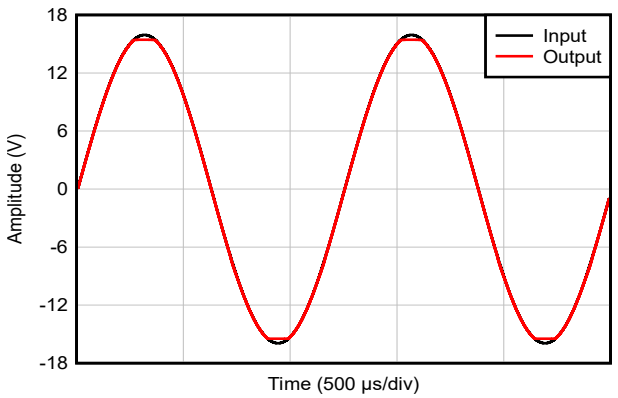
20 mV_{pp} Output Step
G = +1

图 5-39. 小信号过冲与容性负载间的关系



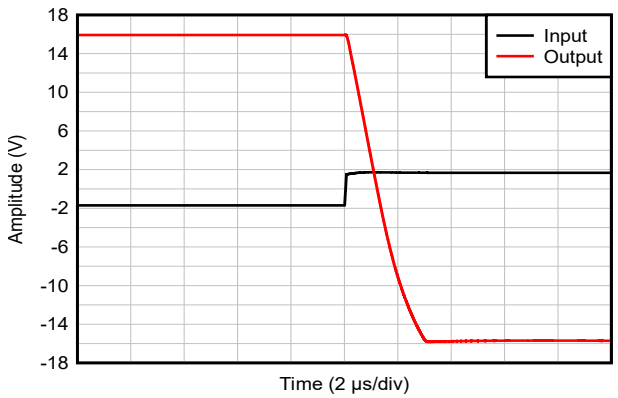
Gain = +1

图 5-40. 相位裕度与容性负载间的关系



G = 1
V_{IN} = ±16 V
V_S = V_{OUT} = ±15.5 V

图 5-41. 无相位反转

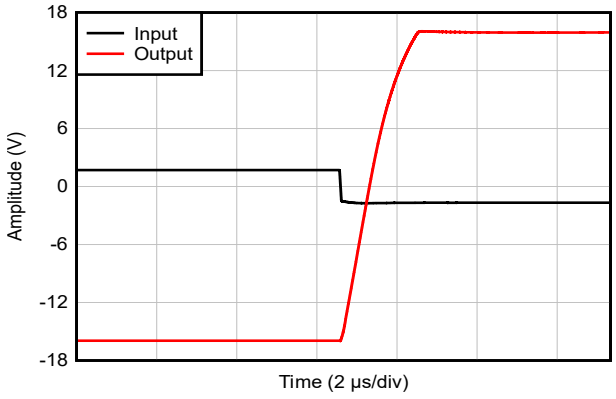


G = -10

图 5-42. 正过载恢复

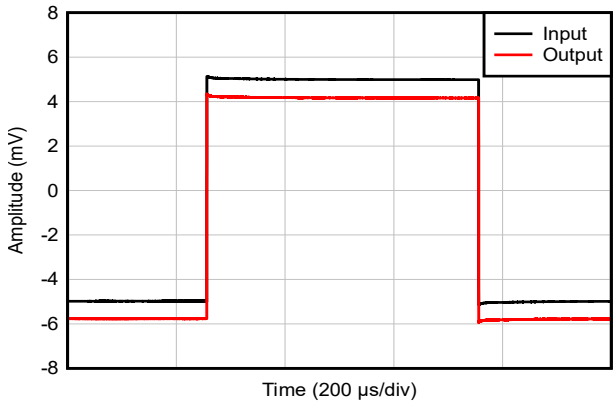
5.7 典型特性（续）

在 T_A = 25°C 时，V_S = ±16V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ（除非另有说明）



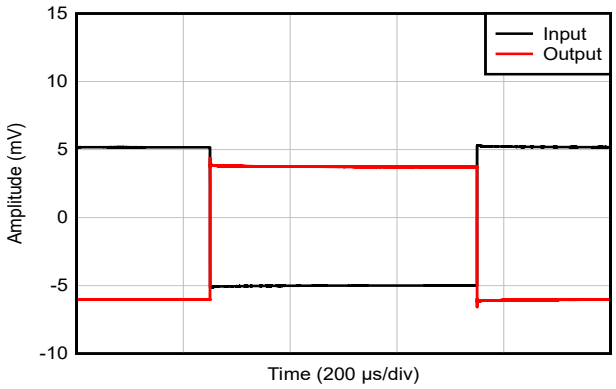
G = -10

图 5-43. 负过载恢复



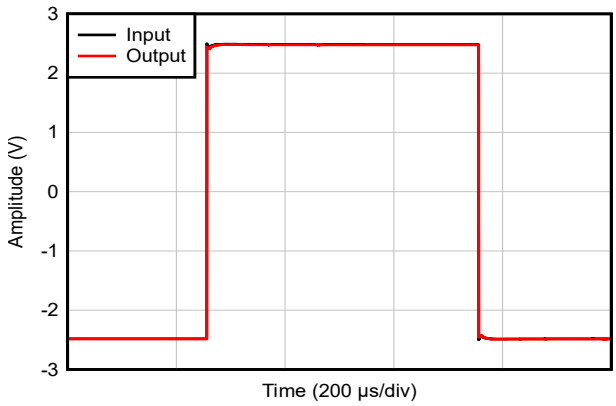
V_{IN} = 10 mV_{pp}
G = +1
C_L = 20 pF

图 5-44. 小信号阶跃响应



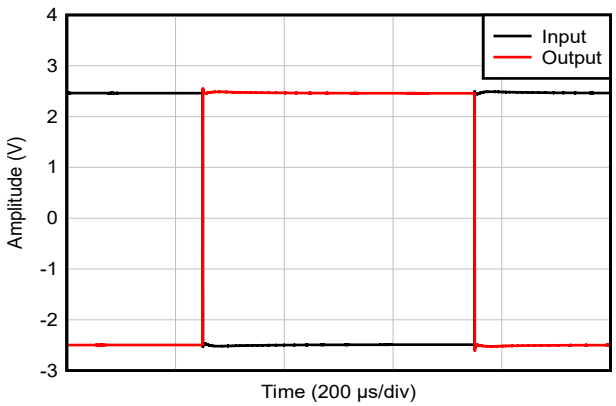
V_{IN} = 10 mV_{PP}
G = -1
C_L = 20 pF

图 5-45. 小信号阶跃响应



V_{IN} = 5 V_{pp}
G = +1
C_L = 20 pF

图 5-46. 大信号阶跃响应



V_{IN} = 5 V_{pp}
G = -1
C_L = 20 pF

图 5-47. 大信号阶跃响应

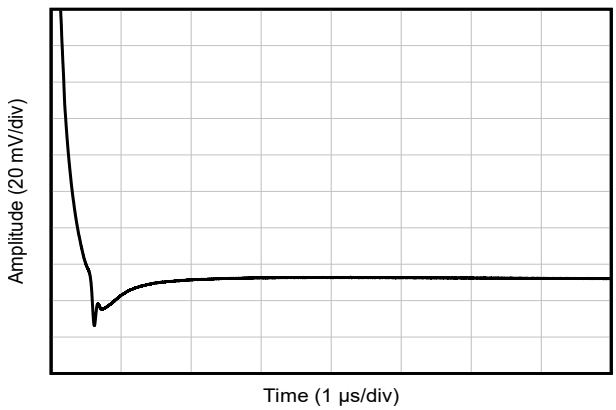


图 5-48. 稳定时间

Copyright © 2024 Texas Instruments Incorporated

5.7 典型特性（续）

在 T_A = 25°C 时，V_S = ±16V，V_{CM} = V_S/2，R_{LOAD} = 10kΩ（除非另有说明）

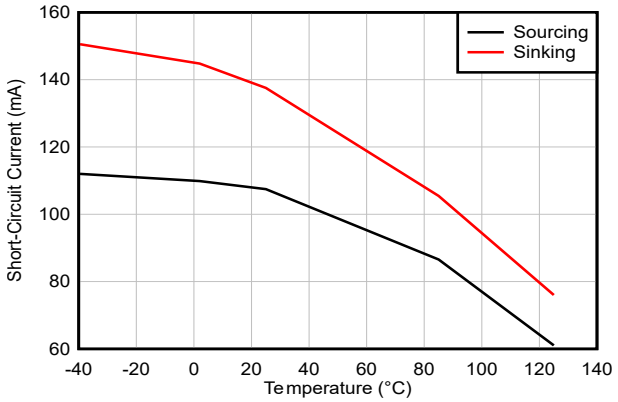


图 5-49. 短路电流与温度间的关系

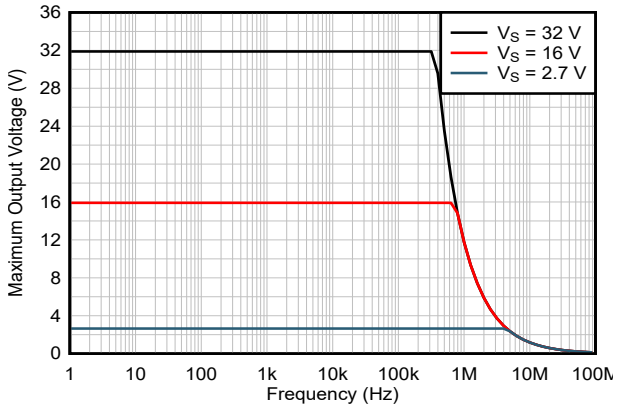


图 5-50. 最大输出电压与频率间的关系

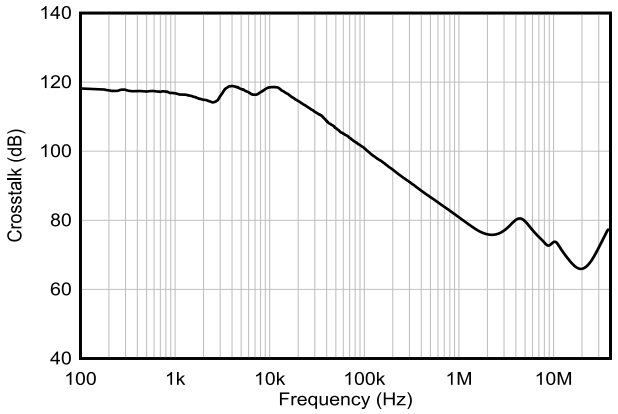


图 5-51. 通道隔离与频率间的关系

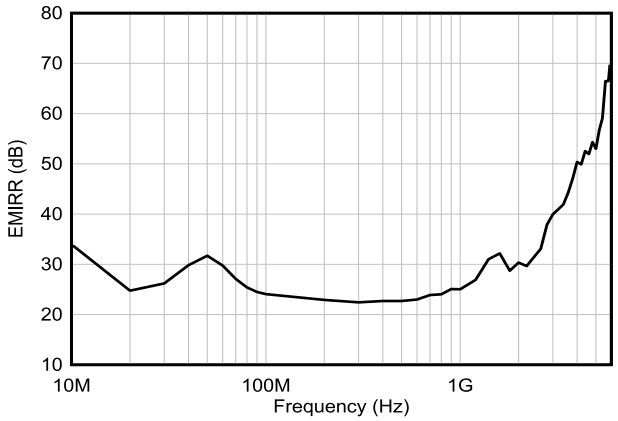


图 5-52. EMIRR（电磁干扰抑制比）与频率间的关系

Copyright © 2024 Texas Instruments Incorporated

6 详细说明

6.1 概述

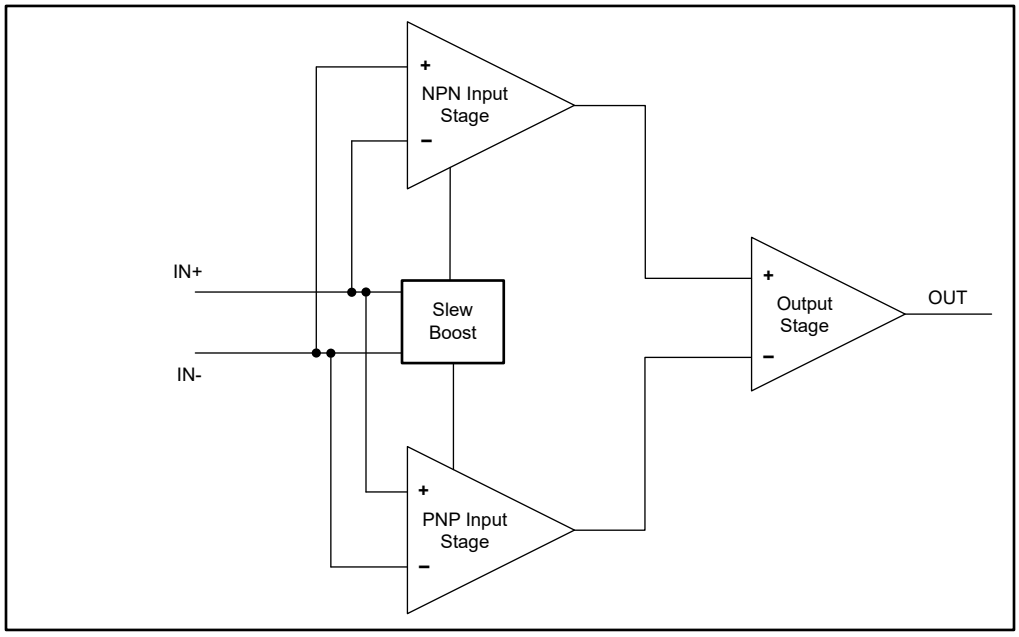
OPAx994 系列（OPA994 和 OPA2994）是高电压 (32V) 通用运算放大器系列。

当不存在容性负载时，OPAx994 系列具有 24MHz 的宽增益带宽。这些器件具有无限容性负载驱动能力，能够驱动大容性负载而不会出现持续振荡。

这些器件还具有出色的直流精度，包括轨到轨输入/输出、低失调电压（典型值为 ±350μV）和低温漂（典型值为 ±2.5μV/°C）。

OPAx994 具有独特功能，例如无限容性负载驱动能力、高短路电流（典型值为 ±125mA）和高压摆率（典型值为 35V/μs），是一款极其灵活、稳健且高性能的运算放大器，适用于各种高电压工业应用。

6.2 功能方框图



Copyright © 2024 Texas Instruments Incorporated

6.3 特性说明

6.3.1 无限容性负载驱动

设计运算放大器电路时面临的挑战之一是，验证运算放大器在驱动容性负载时是否稳定。OPAx994 采用具有无限容性负载驱动 (UCLD) 能力的独特架构，用于防止在驱动大容性负载时放大器输出信号出现持续振荡。这是通过在容性负载增加时保持可接受的相位裕度来实现的。

不稳定的运算放大器电路可能具有不可预测或意外的输出，并且瞬态性能较差。当输入或负载发生变化时，这通常会导致较大的过冲和振铃，但也可能导致持续振荡。将负载电容器 CL 连接到放大器的输出端时，可能会出现一种导致运算放大器不稳定的常见情形。这种不稳定性是运算放大器内部输出阻抗 Zo 所致，该阻抗会与 CL 形成一个第二极点。

OPAx994 系列的 UCLD 具有专有输出补偿结构，能够检测输出端的电容并调整内部极点和零点结构，以实现可接受的相位裕度。这种行为是 UCLD 器件所特有的，并允许运算放大器在更大的容性负载（与传统放大器相比）下保持稳定。

为了保持可接受的相位裕度，UCLD 器件会在较大的容性负载下降低增益带宽积。在没有很大容性负载的情况下，OPAx994 的额定增益带宽积为 24MHz，但在传统放大器开始变得不稳定时，该值将开始减小。这种折衷可扩展输出驱动能力。OPAx994 采用宽增益带宽积设计，可确保为很多具有更高容性负载的通用应用留出余量。

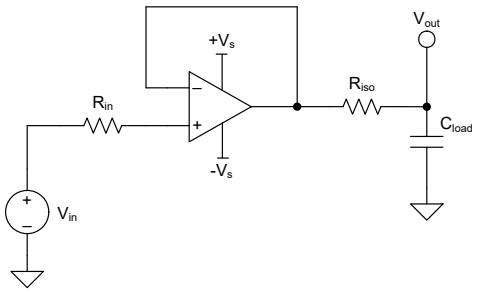


图 6-1. 使用 OPA994 扩展容性负载驱动

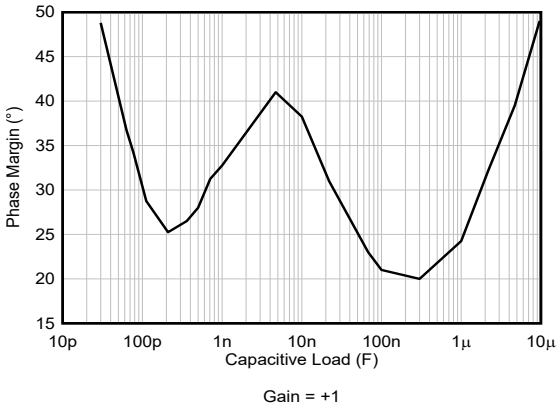


图 6-2. 相位裕度与容性负载间的关系

6.3.2 共模电压范围

OPAx994 是一款 32V 的真正轨到轨输入运算放大器，其输入共模范围扩展到两个电源轨。此宽范围通过并联互补的 PNP 和 NPN 差分输入对实现，如图 6-3 所示。当输入电压接近正电源轨（通常从 (V+) – 1V 至正电源）时，NPN 对有效。当输入电压为负电源电压到大约 (V+) – 2V 时，PNP 对处于激活状态。有一个小转换区域，通常介于 (V+) – 2V 至 (V+) – 1V 之间，在这个区间内两个输入对都打开。此转换区域会随工艺不同而略有波动。在此区域内，与在该区域外运行相比，PSRR、CMRR、失调电压、温漂、噪声和 THD 性能可能会下降。

更多有关共模电压范围和互补对相互作用的信息，请参阅*具有互补对输入级的运算放大器*应用手册。

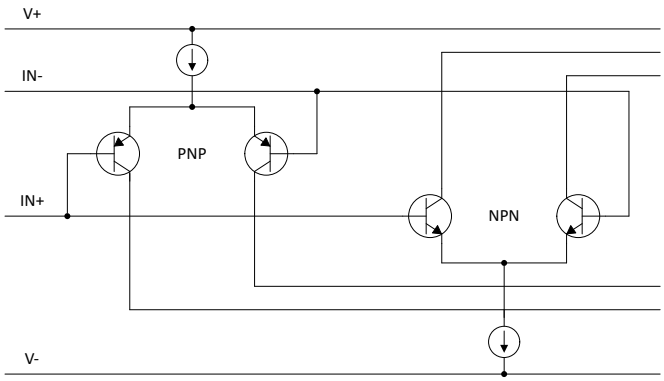


图 6-3. 轨到轨输入级

6.3.3 反相保护

OPAx994 系列具有内部相位反转保护功能。当输入驱动超出线性共模范围时，许多运算放大器会发生相位反转。这种情况在同相电路中最常见，当输入被驱动至超过指定的共模电压范围时，导致输出反向到相对的电源轨上。OPAx994 是一款轨到轨输入运算放大器；因此，共模范围可扩展至电源轨。电源轨之外的输入信号不会导致相位反转；相反，输出限制在适当的电源轨中。 图 6-4 中展示了该特性。有关相位反转的更多信息，请参阅*具有互补对输入级的运算放大器*应用手册。

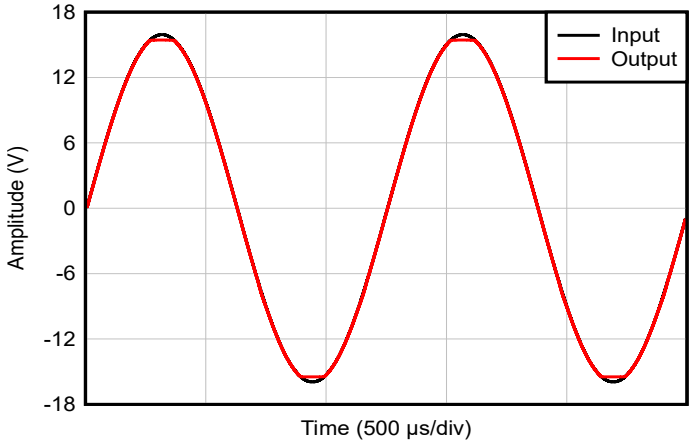


图 6-4. 无相位反转

Copyright © 2024 Texas Instruments Incorporated

6.3.4 电过应力

设计人员常常会问到有关运算放大器承受电气过应力 (EOS) 的能力的问题。这些问题侧重于器件输入，同时也会涉及电源引脚甚至输出引脚。这些不同引脚功能的每一个功能具有由独特的半导体制造工艺和连接到引脚的特定电路确定的电气过载限值。此外，这些电路均内置内部静电放电 (ESD) 保护功能，可在产品组装之前和组装过程中保护电路不受意外 ESD 事件的影响。

能够充分了解该基本 ESD 电路及其与电气过载事件的关联性会有所帮助。图 6-5 展示了 OPAx994 中包含的 ESD 电路（用虚线区域指示）。ESD 保护电路涉及从输入和输出引脚连接并路由回内部供电线路的数个导流二极管，其中二极管在吸收器件或电源 ESD 单元（运算放大器的内在部分）处相接。该保护电路在电路正常工作时处于未运行状态。

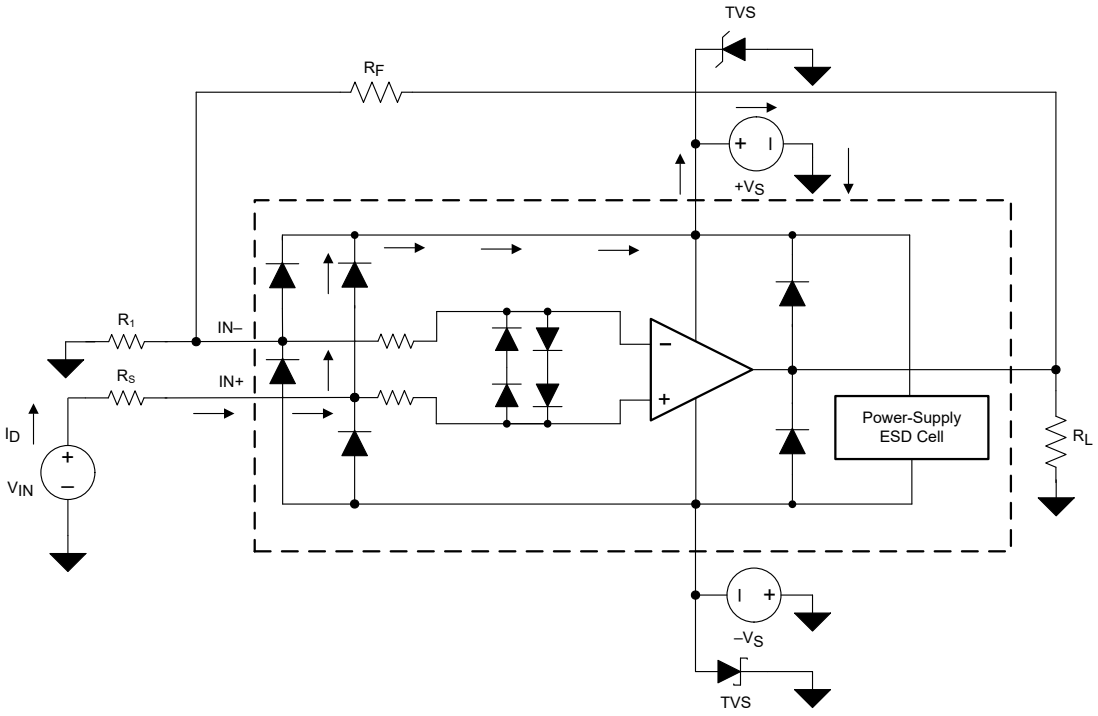


图 6-5. 与典型电路应用相关的等效内部 ESD 电路

ESD 事件可产生短时高电压脉冲，随后在通过半导体器件放电时转换为短时高电流脉冲。ESD 保护电路设计在运算放大器核心周围，旨在为其提供电流路径，以防止造成损坏。保护电路吸收的能量将以热量形式耗散。

当两个或更多个放大器器件终端上产生 ESD 电压时，电流将流经一个或多个导流二极管。根据电流所选路径，该路径上的吸收器件可能激活。吸收器件具有触发器或阈值电压，该电压高于 OPAx994 的正常工作电压，但低于器件击穿电压。超出该阈值后，吸收器件会迅速激活并将电源轨两端电压稳定在安全水平。

当运算放大器接入某个电路（如图 6-5 中所示）时，ESD 保护元件将保持未激活状态并且不会参与应用电路的运行。不过，如果施加的电压超出指定终端的工作电压范围，可能会引起一些问题。如果出现这种情况，部分内部 ESD 保护电路可能处于导通状态并传导电流。此类电流将流经导流二极管路径，但很少涉及吸收器件。

图 6-5 给出了一个具体示例，其中输入电压 V_{IN} 高于正电源电压 ($+V_S$) 500mV 甚至更多。电路中将发生的具体情况取决于电源特性。如果 $+V_S$ 能够吸收电流，那么上面的一个输入钳位二极管就会导通，并将电流传导至 $+V_S$。越来越高的 V_{IN} 会带来过高的电流。因此，数据表规范建议将应用的输入电流限制为 10mA。

如果电源无法吸收电流，V_{IN} 会开始将电流拉至运算放大器，然后作为正电源电压源进行接管。这种情况比较危险，因为该电压可能会超出运算放大器的绝对最大额定值。

另一个常见问题是，如果在电源 $+V_S$ 或 $-V_S$ 为 0V 时向输入施加一个输入信号，放大器将如何响应。同样，此问题取决于电源在 0V 或低于输入信号幅值时的特性。如果电源呈现高阻抗状态，输入源通过电流驱动二极管提供运算放大器电流。但该状态并非正常偏置条件，放大器极有可能无法正常工作。如果电源表现为低阻态，则通过钳位二极管的电流将变得非常大。电流水平取决于输入源的供电能力以及输入路径中的所有电阻。

如果不确定电源对该电流的吸收能力，可在电源终端处外接齐纳二极管；请参阅图 6-5。选择齐纳电压可确保二极管不会在正常运行过程中导通。不过，齐纳电压必须足够低，以便齐纳二极管在电源终端电压上升至超过安全工作电源电压水平时导通。

OPAx994 输入端子由背对背二极管提供保护，不会因差分电压过大而受损；请参阅图 6-5。在多数电路应用中，输入保护电路并不产生实际影响。但在低增益或 G = 1 的电路中，快速斜升的输入信号会导致这些二极管发生正向偏置。原因是放大器输出对于这种输入斜升变化的响应速度较慢。如果输入信号的变化速度足以实现上述正向偏置，则输入信号电流应限制在 10mA 或更低。如果未对输入信号电流进行限定，可使用输入串联电阻限制输入信号电流。该输入串联电阻会降低 OPAx994 的低噪声性能。图 6-5 展示了实现限流反馈电阻器的示例配置。

6.3.5 过载恢复

过载恢复的定义是运算放大器输出从饱和状态恢复到线性状态所需的时间。当输出电压由于高输入电压或高增益而超过额定工作电压时，运算放大器的输出器件进入饱和区。器件进入饱和区后，输出器件中的电荷载体需要时间返回到线性状态。当电荷载体返回到线性状态时，器件开始以指定的压摆率进行转换。因此，过载时的传播延迟等于过载恢复时间与转换时间的总和。OPAx994 的过载恢复时间约为 130ns。

Copyright © 2024 Texas Instruments Incorporated

6.3.6 典型规格与分布

设计人员经常会对放大器的典型规格提出质疑，以便设计出更稳健的电路。由于工艺技术和制造过程上存在自然差异，因此放大器的每种规格都与理想值存在一定的偏差，例如放大器的输入失调电压。这些偏差通常遵循*高斯*（*钟形曲线*）或*正态*分布，即使*电气特性*表格中没有最小值或最大值规格，电路设计人员也可以利用此信息来确定其系统的限值空间。

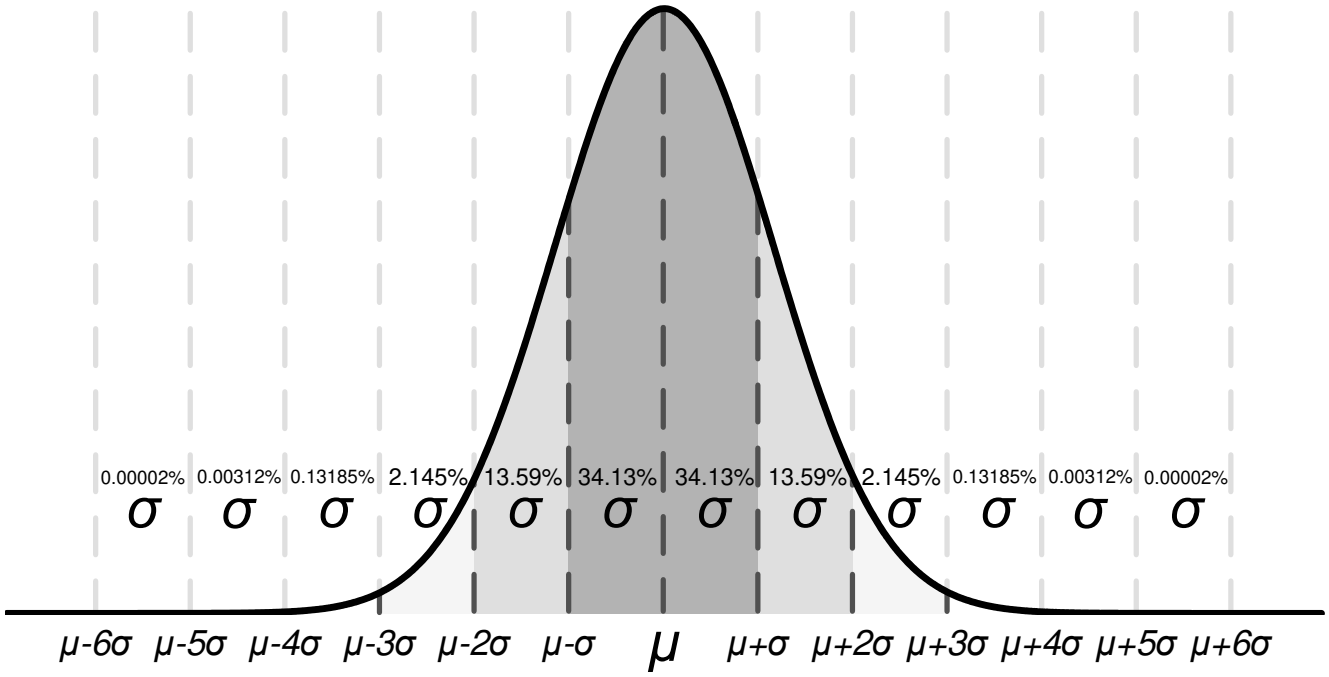


图 6-6. 理想的高斯分布

图 6-6 展示了一个分布示例，其中 *μ* 或 *mu* 是分布的平均值，而 *σ* 或 *sigma* 是系统的标准偏差。对于表现出这种分布的规格，可以预期所有器件中大约三分之二 (68.26%) 器件的值落在平均值的标准偏差或一 σ 内（从 *μ* – *σ* 到 *μ*+ *σ*）。

根据具体规格，*电气特性*表中*典型值*一列中列出的值会以多种不同的方式表示。根据一般经验法则，如果规格本身具有非零均值（例如增益带宽），那么典型值等于均值 (μ)。然而，如果规格本身具有接近于零（例如输入失调电压）的均值，那么典型值等于均值加上一个标准偏差 (μ + σ)，这样才能最为准确地表示典型值。

设计人员可以使用此图表来计算器件中某个规格的近似概率；例如，对于 OPAx994，典型的输入电压失调值为 350μV。因此，预计所有 OPAx994 器件中有 68.2% 的器件具有 -350μV 至 +350μV 的失调电压。在 4 *σ* (±800μV) 条件下，分布的 99.9937% 都具有小于 ±1400μV 的失调电压，这意味着总体的 0.0063% 位于这些限值之外，相当于 15,873 个器件有 1 个器件超出该限值。

在最小值或最大值列中具有值的规格由 TI 测试（除非另有说明），超过这些限值的器件会从生产材料中剔除。例如，OPAx994 系列在 25°C 条件下的最大失调电压为 2.3mV，但 TI 会从生产材料中剔除失调电压大于 2.3mV 的器件。

Copyright © 2024 Texas Instruments Incorporated

对于最小值或最大值列中没有值的规格，可考虑为设计人员应用选择 1σ 值的足够限值空间，并使用此值进行最坏情况下的设计。例如，6σ 值相当于约 5 亿个器件中有 1 个器件，发生的可能性微乎其微，可以作为一个宽限值空间选项来设计系统。在这种情况下，OPAx994 产品系列在失调电压漂移上没有最大值和最小值。但根据*电气特性* 表格中 2.5µV/°C 的典型值，可以计算出失调电压漂移的 6σ 值约为 15µV/°C。在为最坏情况的系统条件进行设计时，可以使用该值来估计整个温度范围内的最坏失调电压，而不用知道实际的最小值或最大值。

请注意，随着时间的推移，工艺差异和调整会改变典型的平均值和标准偏差，除非最小值或最大值规格列中给出了值，否则 TI 无法保证器件的性能。仅使用此信息来估算器件的性能。

6.4 器件功能模式

OPAx994 具有单一功能模式，可在电源电压大于或等于 2.7V (±1.35V) 时工作。OPAx994 的最大电源电压为 32V (±16V)。

Copyright © 2024 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

7.1 应用信息

OPAx994 系列提供出色的直流精度和交流性能。这些器件的工作电压高达 32V，并提供真正的轨到轨输入/输出、低失调电压、失调电压漂移以及 24MHz 带宽和高输出驱动。这些特性使 OPAx994 成为一款适用于高电压工业应用且稳定可靠的高性能运算放大器。

7.2 典型应用

7.2.1 低侧电流测量

图 7-1 展示了低侧电流检测应用中配置的 OPA994。有关图 7-1 中所示电路的全面分析，包括理论、计算、模拟和测量数据，请参阅 TI 精密设计 TIPD129 *0A 至 1A 单电源低侧电流检测解决方案*。

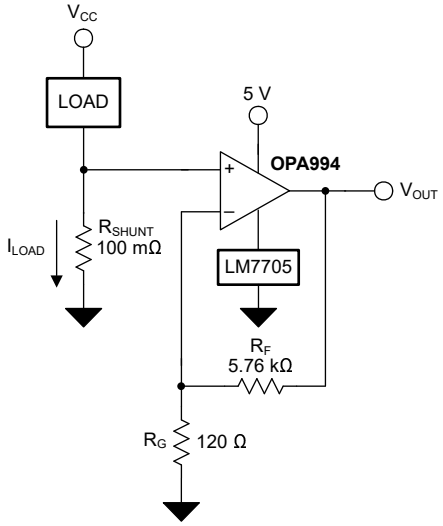


图 7-1. 低侧电流检测应用中的 OPAx994

7.2.1.1 设计要求

针对此设计的设计要求如下：

- 负载电流：0A 至 1A
- 最大输出电压：4.9V
- 最大分流电压：100mV

7.2.1.2 详细设计过程

方程式 1 提供了图 7-1 中的电路传递函数：

$$V_{OUT} = I_{LOAD} \times R_{SHUNT} \times Gain \quad (1)$$

负载电流 (I_{LOAD}) 在分流电阻器 (R_{SHUNT}) 上产生压降。负载电流设置为 0A 至 1A。为了在最大负载电流下保持分流电压低于 100mV，使用方程式 2 定义了最大分流电阻：

$$R_{SHUNT} = \frac{V_{SHUNT_MAX}}{I_{LOAD_MAX}} = \frac{100mV}{1A} = 100m\Omega \quad (2)$$

使用方程式 2 计算出的 R_{SHUNT} 为 100mΩ。I_{LOAD} 和 R_{SHUNT} 产生的压降由 OPA994 放大，从而产生 0V 至 4.9V 的输出电压。OPA994 产生必要输出电压时所需的增益根据方程式 3 算出：

$$Gain = \frac{(V_{OUT_MAX} - V_{OUT_MIN})}{(V_{IN_MAX} - V_{IN_MIN})} \quad (3)$$

使用方程式 3 计算出的所需增益为 49V/V，该值由电阻器 R_F 和 R_G 设置。方程式 4 用于调整电阻器 R_F 和 R_G 的大小，从而将 OPA994 的增益设置为 49V/V。

$$Gain = 1 + \frac{(R_F)}{(R_G)} \quad (4)$$

将 R_F 选为 5.76kΩ 时，R_G 计算得出为 120Ω。R_F 和 R_G 被选定为 5.76kΩ 和 120Ω，因为这两个是标准值电阻器，可产生 49:1 的比率。也可以使用可产生 49:1 的比率的其他电阻器。但是，电阻器过大会产生超过运算放大器固有噪声的热噪声。图 7-2 展示了图 7-1 所示电路测得的传递函数。

7.2.1.3 应用曲线

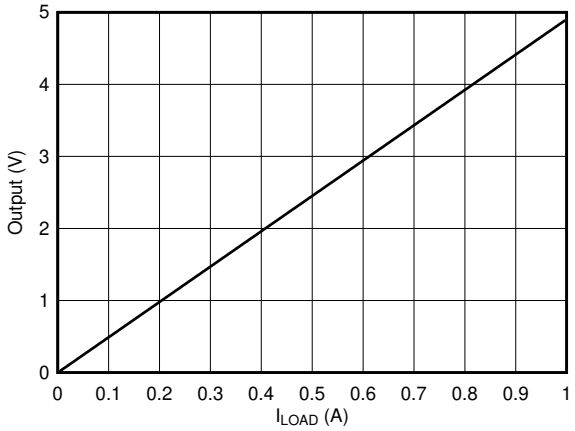


图 7-2. 低侧电流检测传递函数

7.3 电源相关建议

OPAx994 的额定工作电压范围是 2.7V 至 32V（±1.35V 至 ±16V）；多数规格可在 –40°C 至 125°C 的温度范围内适用，或具有特定的电源电压和测试条件。

> **小心**
>
> 电源电压超过 33V 会对器件造成损坏；请参阅*绝对最大额定值*。

将 0.1µF 旁路电容器置于电源引脚附近，以减少来自高噪声电源或高阻抗电源的耦合误差。更多有关旁路电容器放置的详细信息，请参阅*布局*。

Copyright © 2024 Texas Instruments Incorporated

7.4 布局

7.4.1 布局指南

为了实现器件的更高工作性能，应使用良好的 PCB 布局实践，包括：

- 噪声可以通过整个电路的电源引脚和运算放大器本身传入模拟电路中。旁路电容用于通过为局部模拟电路提供低阻抗电源，以降低耦合噪声。
  - 在每个电源引脚和接地端之间连接低等效串联电阻 (ESR) 0.1µF 陶瓷旁路电容器，并尽量靠近器件放置。针对单电源应用，V+ 与接地端之间可以接入单个旁路电容器。
- 将电路中的模拟部分和数字部分单独接地是最简单、最有效的噪声抑制方法之一。多层 PCB 上的一层或多层通常专门用于作为接地平面。接地层有助于散热和减少 EMI 噪声拾取。确保对数字接地和模拟接地进行物理隔离，同时应注意接地电流的流动。
- 为了减少寄生耦合，应让输入布线尽可能远离电源或输出布线。如果这些布线无法保持分离，则敏感布线与有噪声布线垂直相交比平行更好。
- 外部元件应尽量靠近器件放置。如图 7-4 所示，使 RF 和 RG 靠近反相输入可更大限度减小寄生电容。
- 尽可能缩短输入布线的长度。切记，输入布线是电路中最敏感的部分。
- 考虑在关键布线周围设定驱动型低阻抗保护环。这样可显著减少附近布线在不同电势下产生的漏电流。
- 为获得卓越性能，建议在组装 PCB 板后进行清洁。
- 任何精密集成电路都可能因湿气渗入塑料封装中而出现性能变化。在执行任何 PCB 水清洁流程之后，建议将 PCB 组件烘干，以去除清洁时渗入器件封装中的水分。大多数情形下，清洁后在 85°C 下低温烘干 30 分钟即可。

7.4.2 布局示例

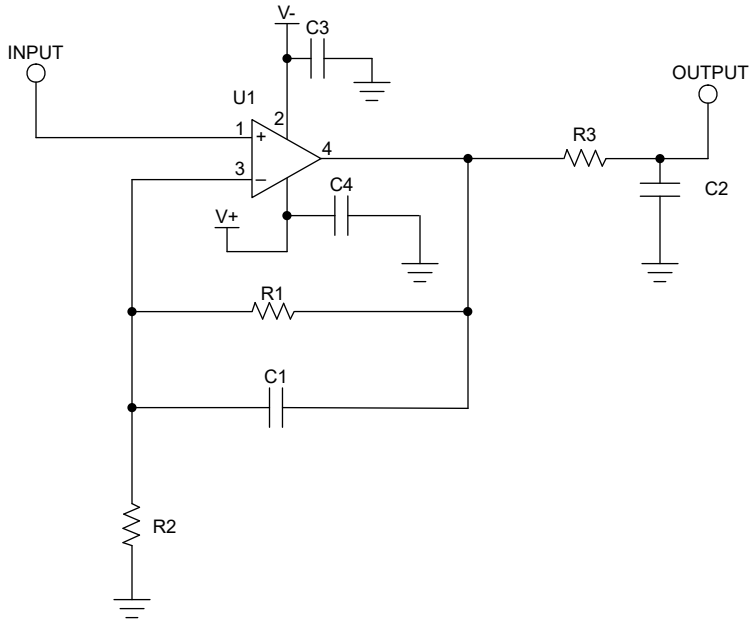


图 7-3. 同相配置布局示例的原理图

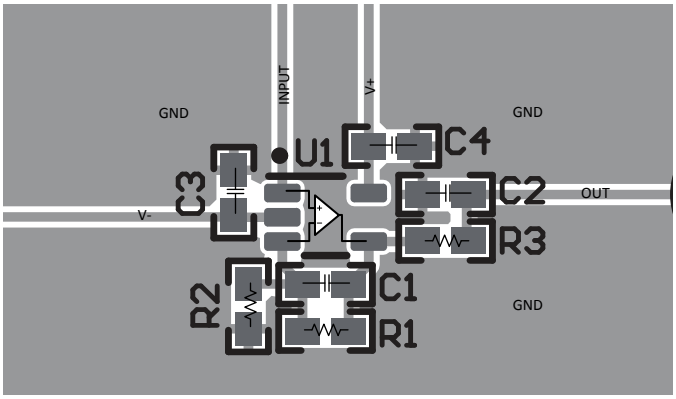


图 7-4. SC70 (DCK) 封装的布局示例

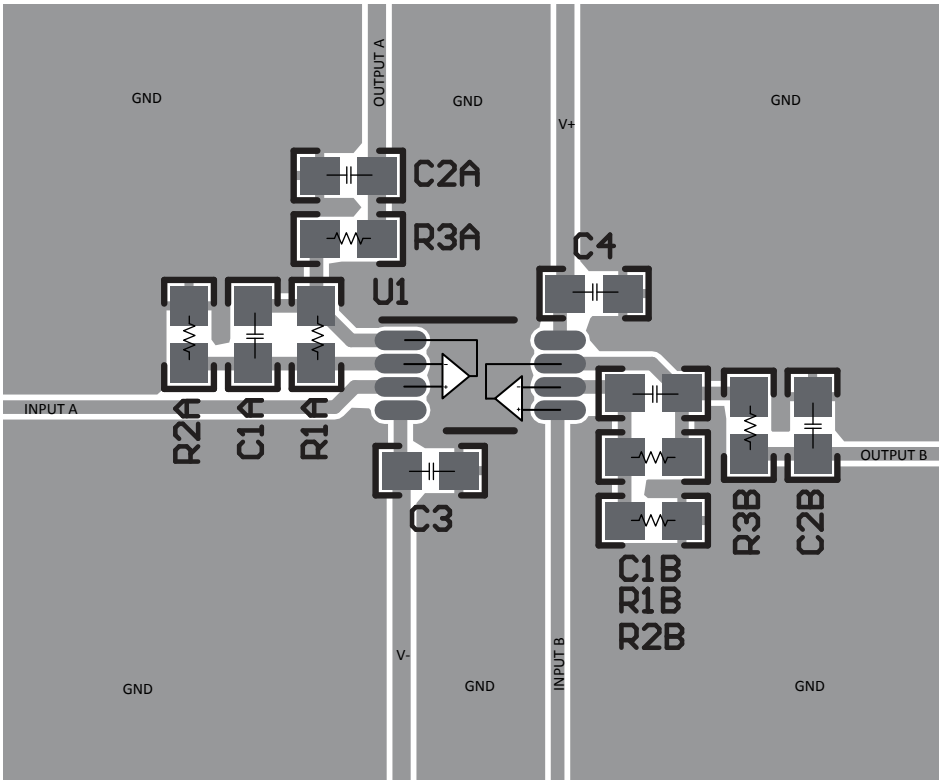


图 7-5. VSSOP-8 (DGK) 封装的布局示例

Copyright © 2024 Texas Instruments Incorporated

8 器件和文档支持

8.1 器件支持

8.1.1 开发支持

8.1.1.1 TINA-TI™（免费软件下载）

TINA™ 是一款基于 SPICE 引擎的 简单、功能强大且易于使用的电路仿真程序。TINA-TI 是 TINA 软件的一款免费全功能版本，除了一系列无源和有源模型外，此版本软件还预先载入了一个宏模型库。TINA-TI 提供所有传统的 SPICE 直流、瞬态和频域分析，以及其他设计功能。

TINA-TI 可通过模拟电子实验室设计中心免费下载，该软件提供了丰富的后处理能力，允许用户以各种方式格式化结果。虚拟仪器提供选择输入波形和探测电路节点、电压以及波形的能力，从而构建一个动态的快速启动工具。

备注

这些文件要求安装 TINA 软件（从 DesignSoft™）或者 TINA-TI 软件。请从 TINA-TI 文件夹中下载免费的 TINA-TI 软件。

8.2 文档支持

8.2.1 相关文档

请参阅以下相关文档：

- 德州仪器 (TI)，*运算放大器的 EMI 抑制比 应用手册*
- 德州仪器 (TI)，*具有互补对输入级的运算放大器 应用手册*
- 德州仪器 (TI)，*0A 至 1A 单电源低侧电流检测解决方案 设计指南*

8.3 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

8.4 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

8.5 商标

TINA-TI™ is a trademark of Texas Instruments, Inc and DesignSoft, Inc.
TINA™ and DesignSoft™ are trademarks of DesignSoft, Inc.
TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

8.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

8.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

9 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (September 2024) to Revision D (November 2024)	Page
• 在整个数据表中添加了处于*正在供货*状态的 OPA2994IDDFR (SOT-23-8)	1

Changes from Revision B (March 2024) to Revision C (September 2024)	Page
• 将 OPA994IDBVR (SOT-23-5) 和 OPA994IDCKR (SC70-5) 的状态从预发布 更改为正在供货	1

Changes from Revision A (November 2023) to Revision B (March 2024)	Page
• 将*说明*部分中的压摆率从 18V/µs 更改为 35V/µs	1
• 将 OPA2994IDGKR 状态从*预发布*更改为*正在供货*	1
• 将人体放电模型 (HBM) ESD 额定值从 2.5kV 更改为 4kV	5
• 在双通道器件的热性能信息表中添加了 DGK (VSSOP) 热性能值	6

Changes from Revision * (June 2023) to Revision A (November 2023)	Page
• 将整个数据表中的最大电源电压从 24V 更新为 32V	1
• 将 OPA2994IDR 状态从*预发布*更改为*正在供货*	1
• 添加了 OPA994 的 SOIC-8 封装信息	1
• 在*典型特性*部分中添加了器件典型特性曲线	9

10 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
OPA2994IDDFR	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O2994
OPA2994IDDFR.B	Active	Production	SOT-23-THIN (DDF) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O2994
OPA2994IDGKR	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O994
OPA2994IDGKR.B	Active	Production	VSSOP (DGK) | 8	2500 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	O994
OPA2994IDR	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O2994I
OPA2994IDR.B	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O2994I
OPA994IDBVR	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	OPDBV
OPA994IDBVR.B	Active	Production	SOT-23 (DBV) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	OPDBV
OPA994IDCKR	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	994
OPA994IDCKR.B	Active	Production	SC70 (DCK) | 5	3000 | LARGE T&R	Yes	SN	Level-1-260C-UNLIM	-40 to 125	994
OPA994IDR	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O994I
OPA994IDR.B	Active	Production	SOIC (D) | 8	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	O994I

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF OPA2994, OPA994 :

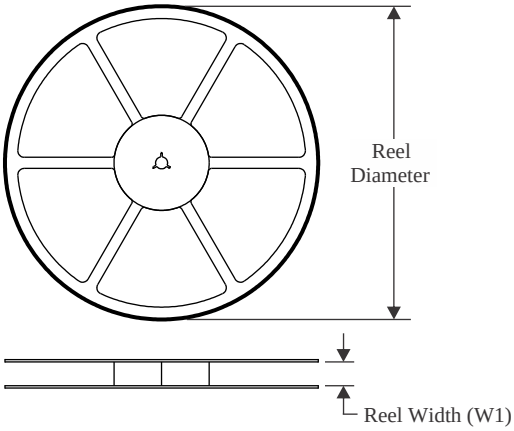
- Automotive : OPA2994-Q1, OPA994-Q1

NOTE: Qualified Version Definitions:

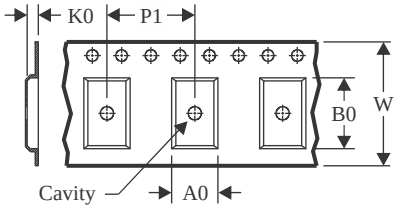
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

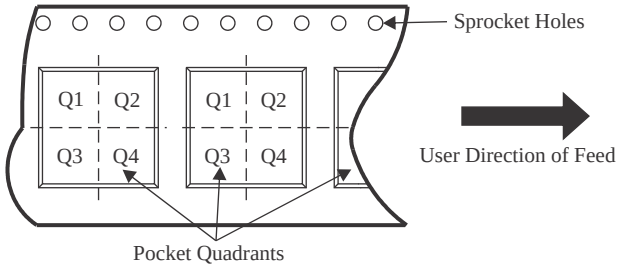


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

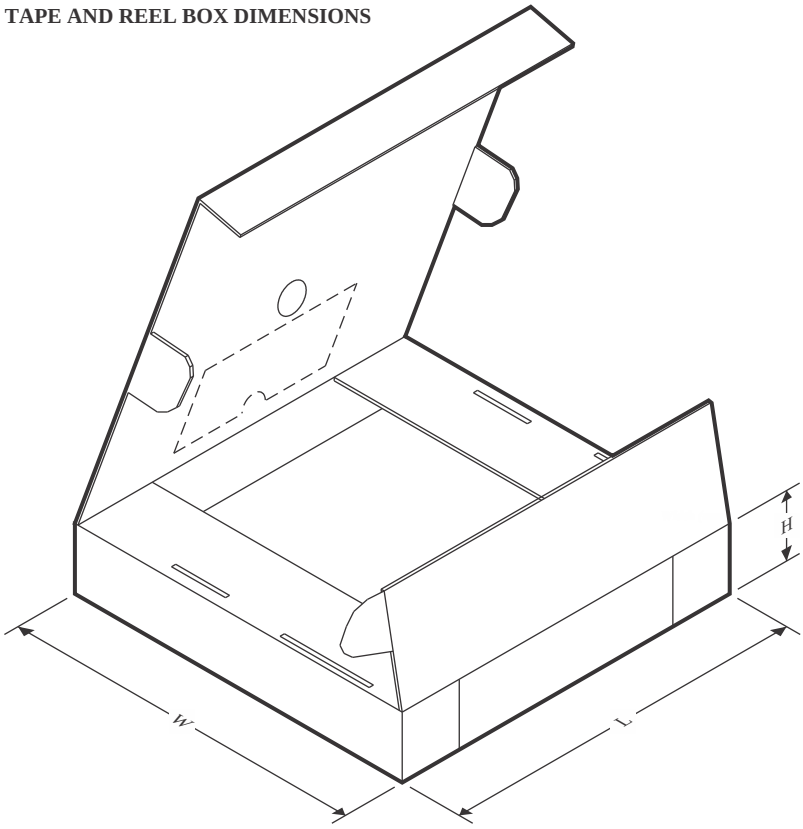
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
OPA2994IDDFR	SOT-23-THIN	DDF	8	3000	180.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA2994IDGKR	VSSOP	DGK	8	2500	330.0	12.4	5.25	3.35	1.25	8.0	12.0	Q1
OPA2994IDR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1
OPA994IDBVR	SOT-23	DBV	5	3000	178.0	8.4	3.2	3.2	1.4	4.0	8.0	Q3
OPA994IDCKR	SC70	DCK	5	3000	180.0	8.4	2.3	2.5	1.2	4.0	8.0	Q3
OPA994IDR	SOIC	D	8	3000	330.0	12.4	6.4	5.2	2.1	8.0	12.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

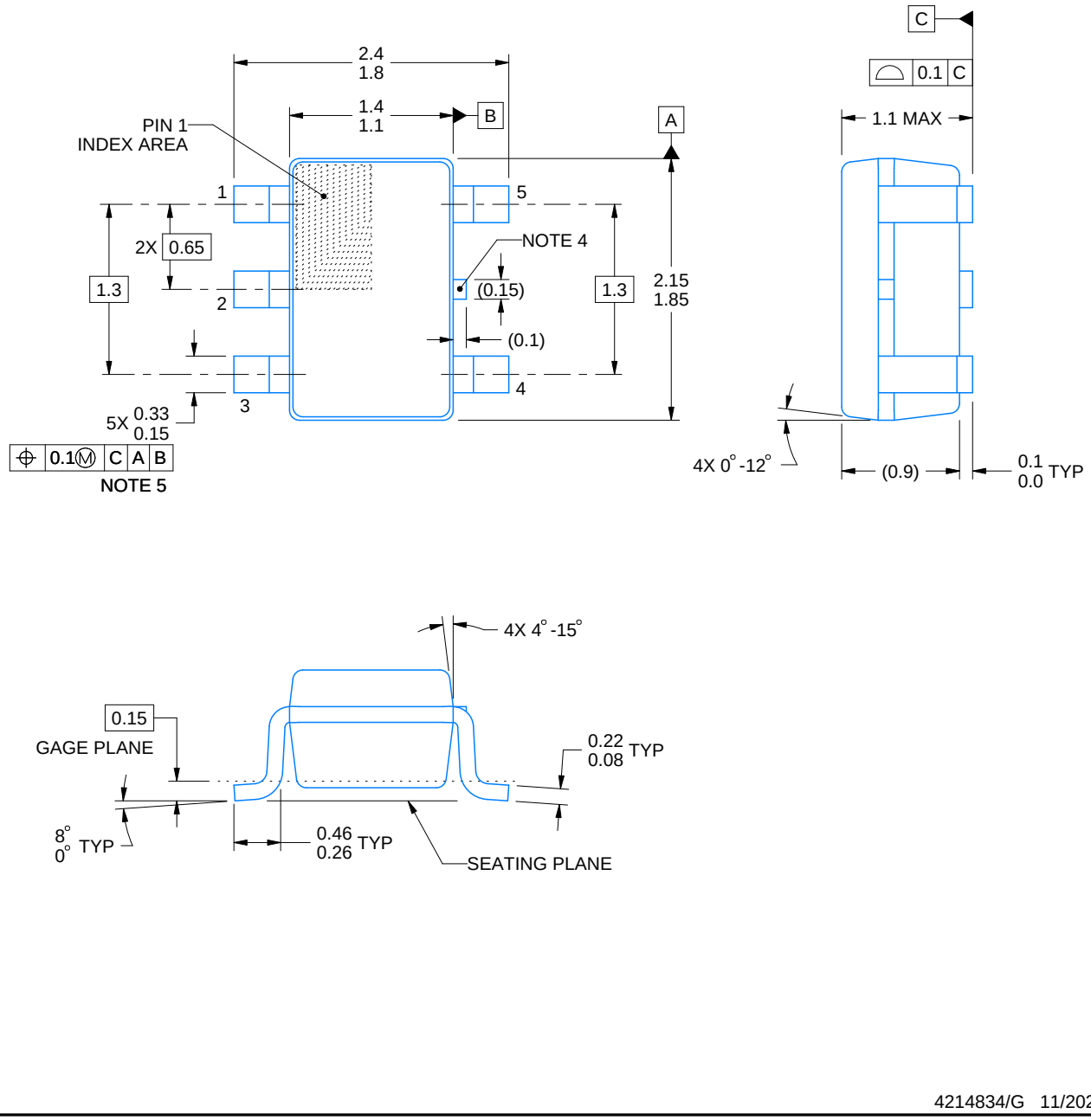
Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
OPA2994IDDFR	SOT-23-THIN	DDF	8	3000	210.0	185.0	35.0
OPA2994IDGKR	VSSOP	DGK	8	2500	366.0	364.0	50.0
OPA2994IDR	SOIC	D	8	3000	353.0	353.0	32.0
OPA994IDBVR	SOT-23	DBV	5	3000	208.0	191.0	35.0
OPA994IDCKR	SC70	DCK	5	3000	210.0	185.0	35.0
OPA994IDR	SOIC	D	8	3000	353.0	353.0	32.0

PACKAGE OUTLINE

DCK0005A

SOT - 1.1 max height

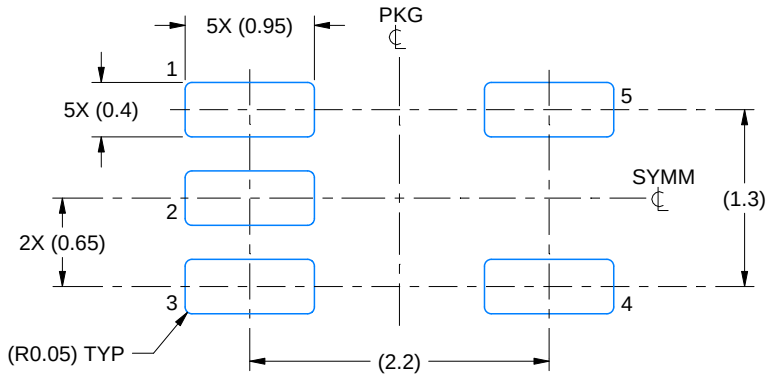
SMALL OUTLINE TRANSISTOR



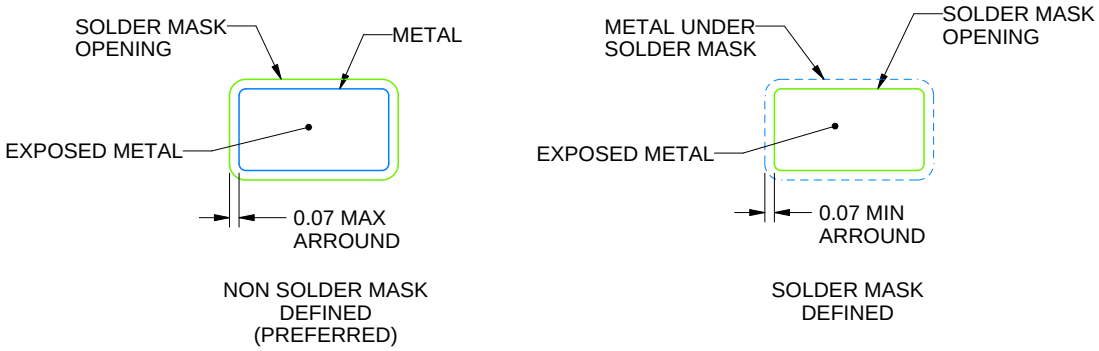
4214834/G 11/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-203.
4. Support pin may differ or may not be present.
5. Lead width does not comply with JEDEC.
6. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25mm per side



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:18X

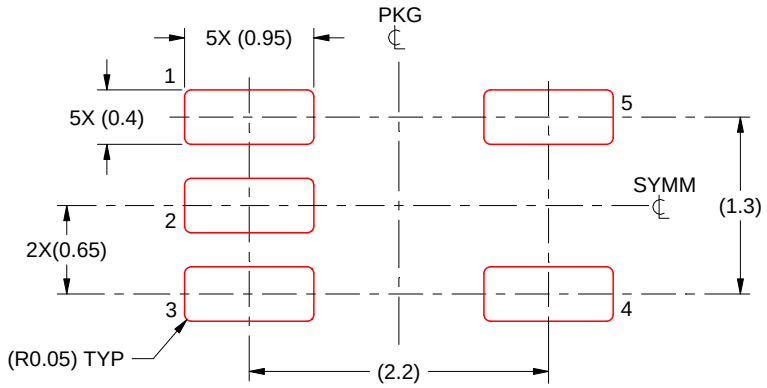


SOLDER MASK DETAILS

4214834/G 11/2024

NOTES: (continued)

7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 THICK STENCIL
SCALE:18X

4214834/G 11/2024

NOTES: (continued)

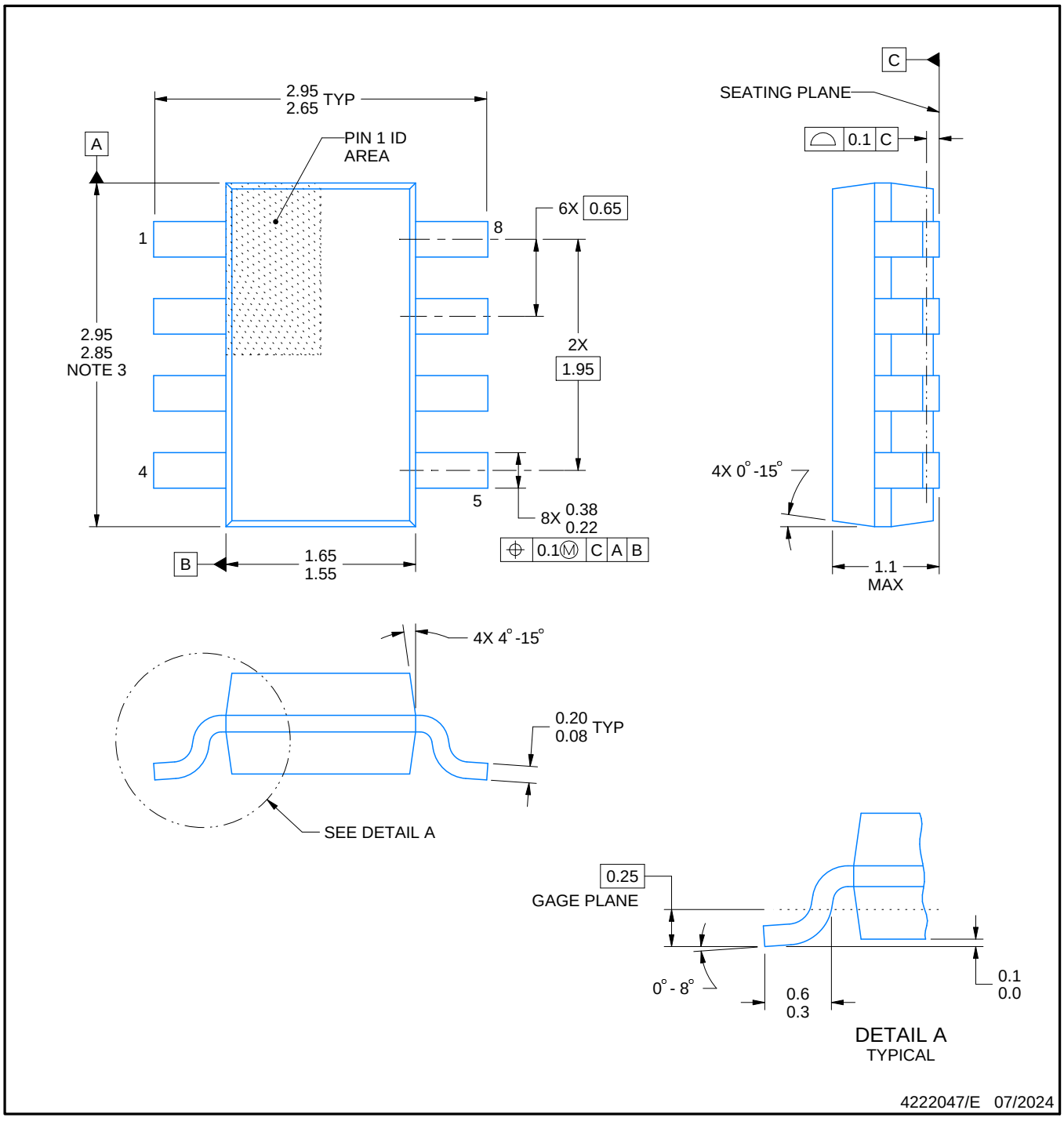
9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DDF0008A

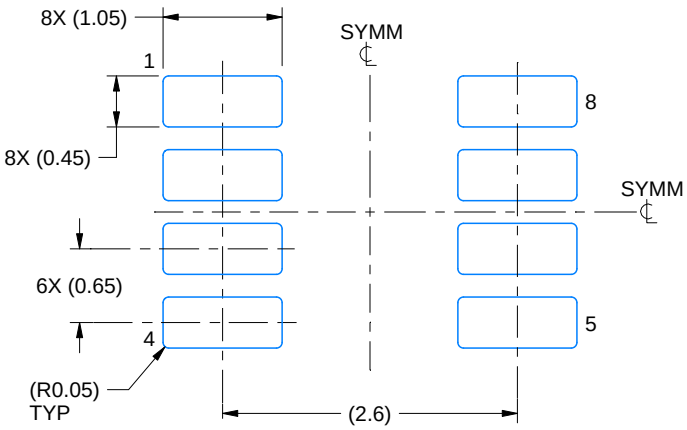
SOT-23-THIN - 1.1 mm max height

PLASTIC SMALL OUTLINE

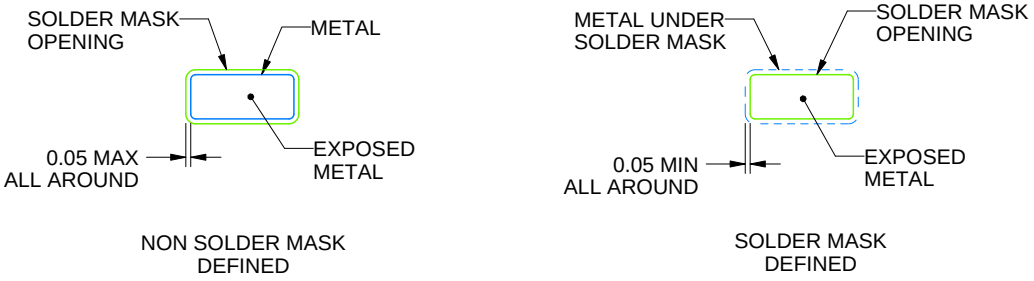


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

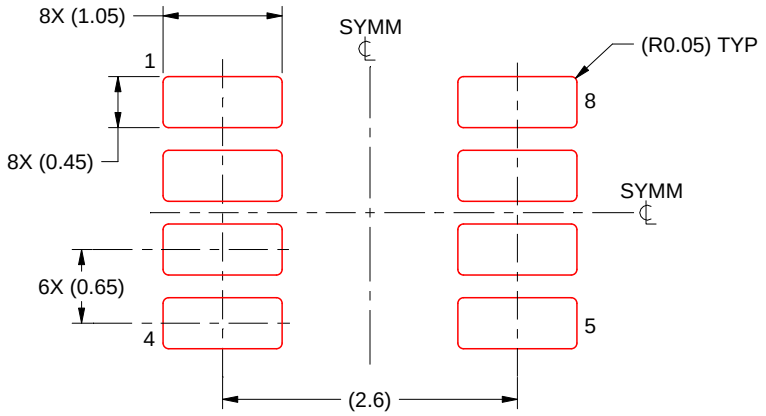


SOLDER MASK DETAILS

4222047/E 07/2024

NOTES: (continued)

4. Publication IPC-7351 may have alternate designs.
5. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

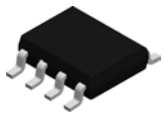


SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4222047/E 07/2024

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
7. Board assembly site may have different recommendations for stencil design.

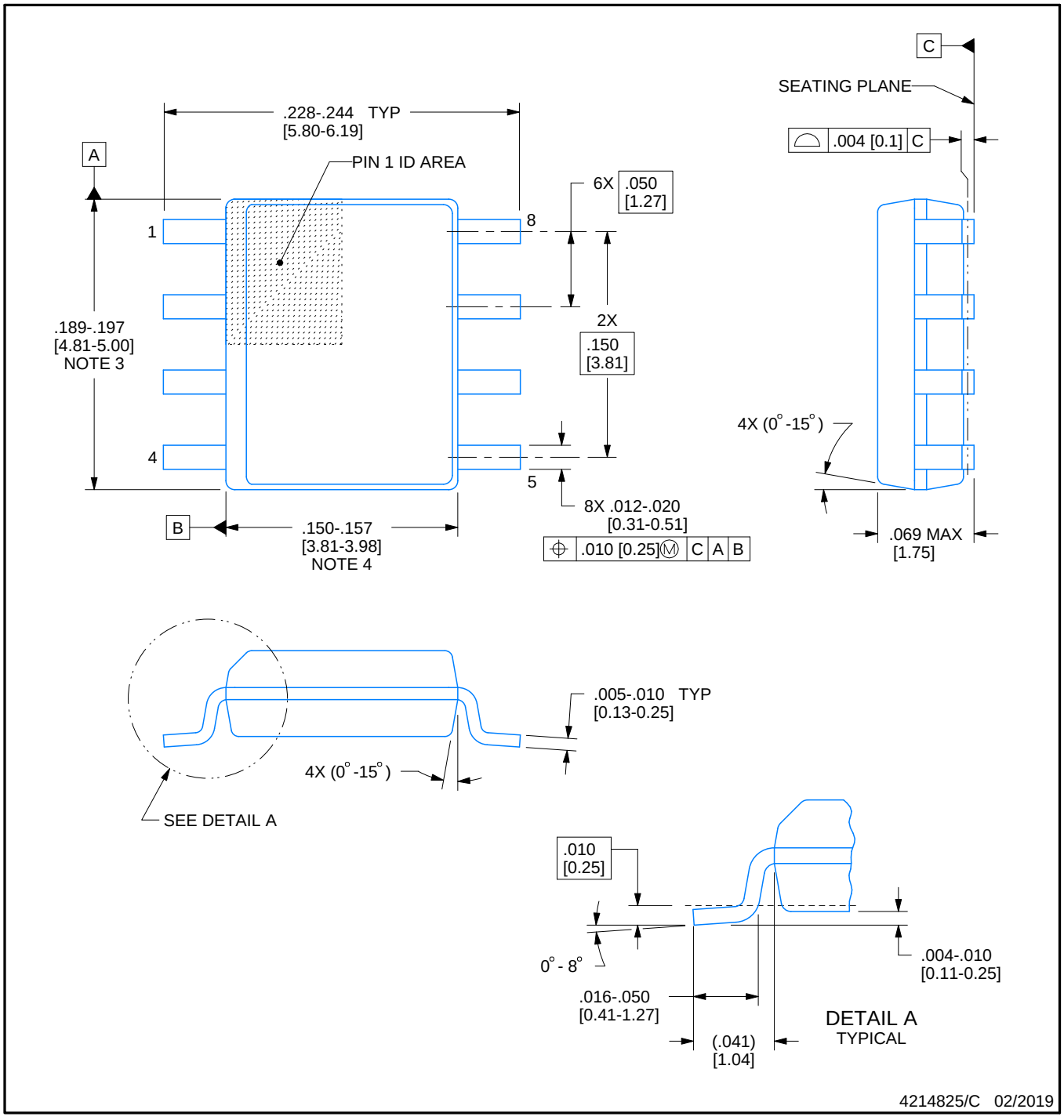


PACKAGE OUTLINE

D0008A

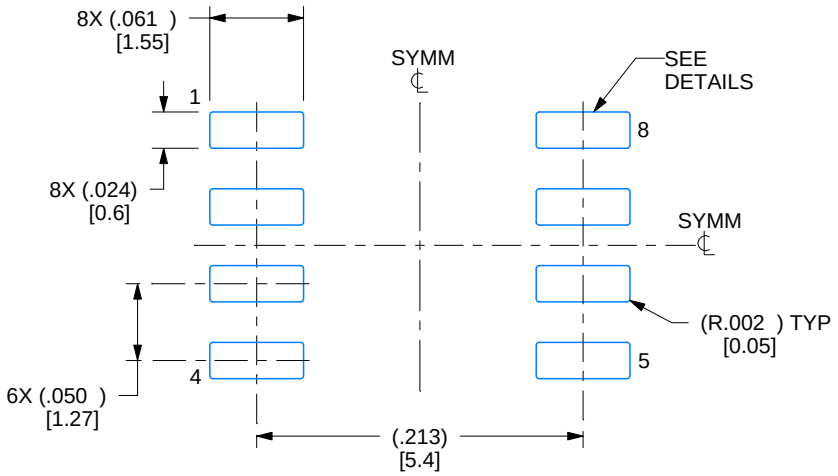
SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT

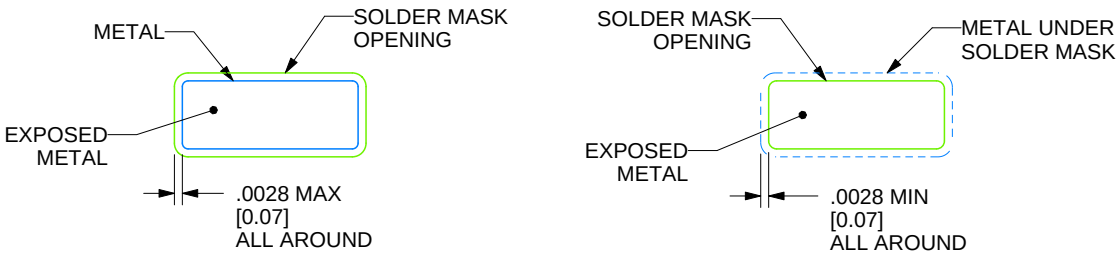


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 [0.15] per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MS-012, variation AA.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:8X



SOLDER MASK DETAILS

4214825/C 02/2019

NOTES: (continued)

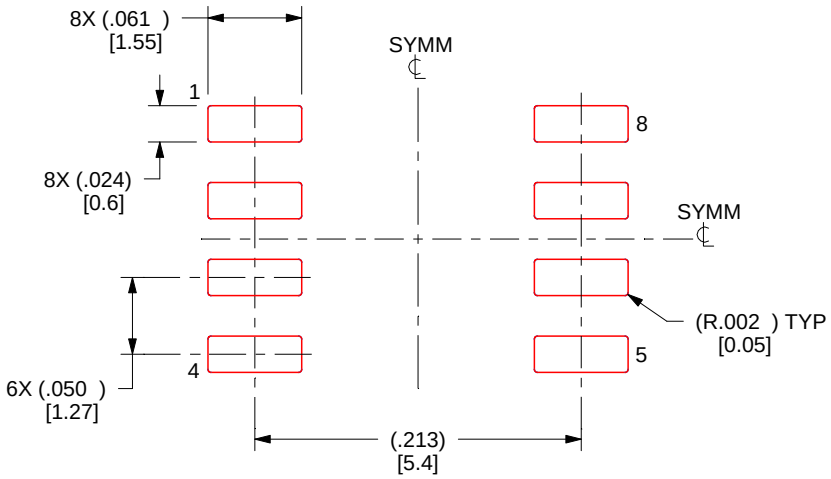
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

D0008A

SOIC - 1.75 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.125 MM] THICK STENCIL
SCALE:8X

4214825/C 02/2019

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

GENERIC PACKAGE VIEW

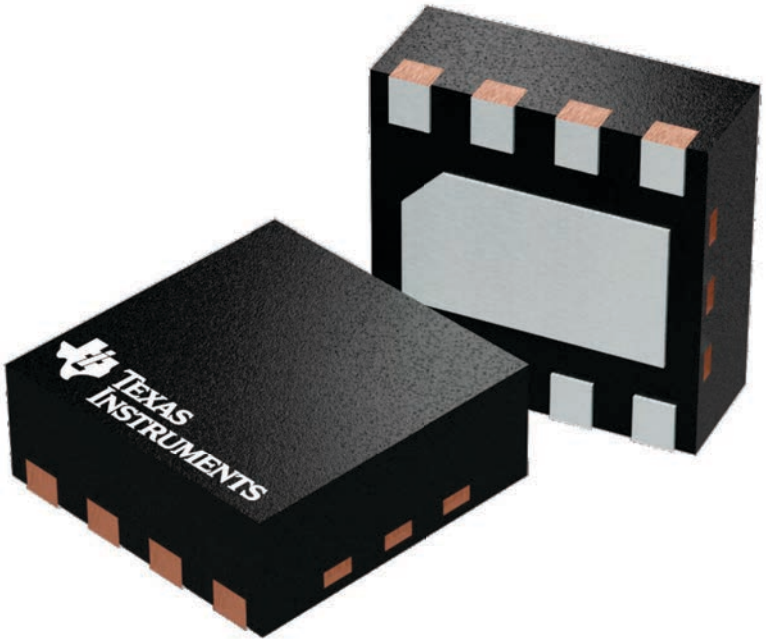
DSG 8

WSON - 0.8 mm max height

2 x 2, 0.5 mm pitch

PLASTIC SMALL OUTLINE - NO LEAD

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



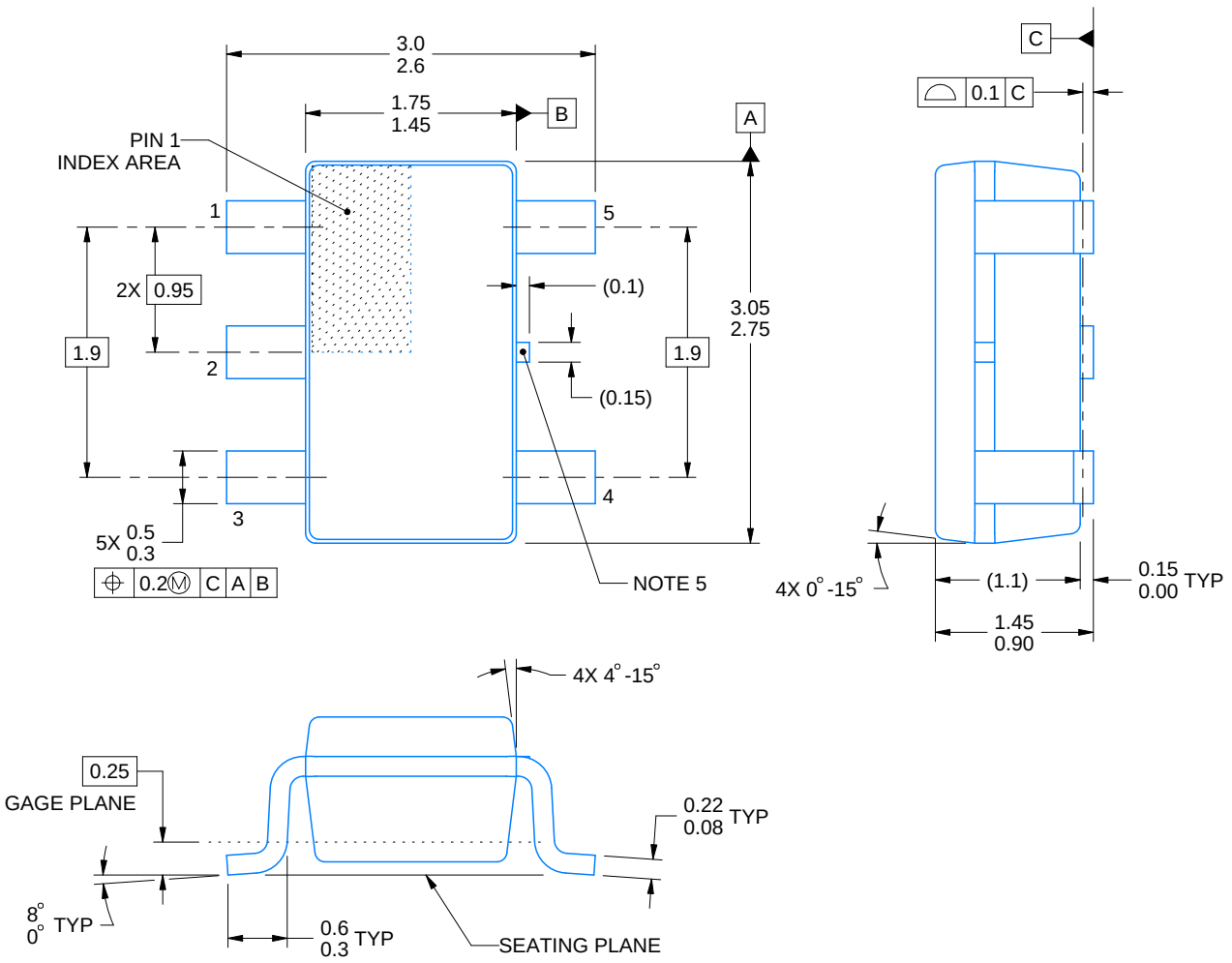
4224783/A

PACKAGE OUTLINE

DBV0005A

SOT-23 - 1.45 mm max height

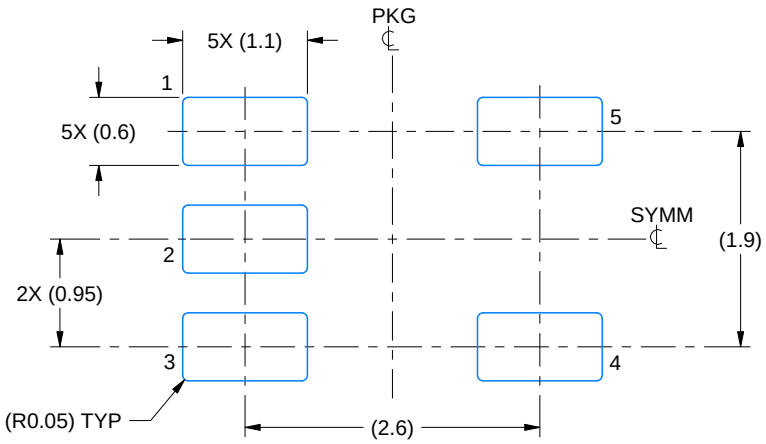
SMALL OUTLINE TRANSISTOR



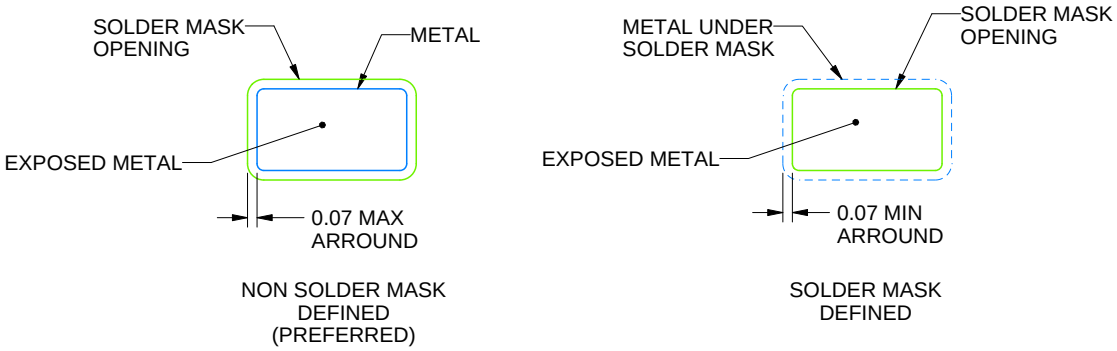
4214839/K 08/2024

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. Refernce JEDEC MO-178.
4. Body dimensions do not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.25 mm per side.
5. Support pin may differ or may not be present.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:15X

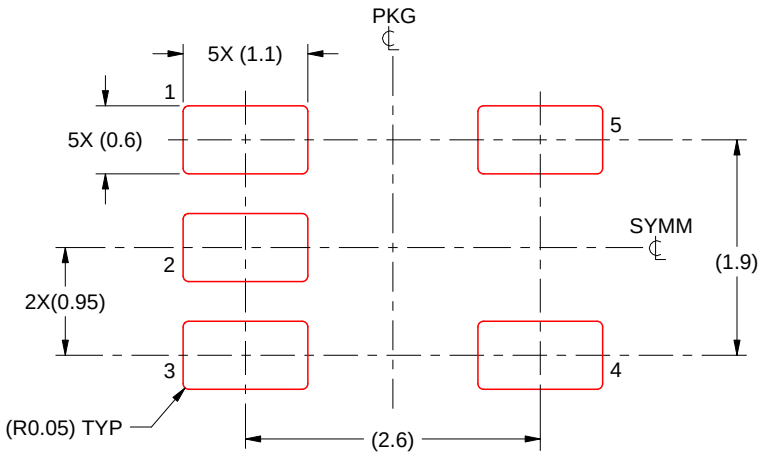


SOLDER MASK DETAILS

4214839/K 08/2024

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:15X

4214839/K 08/2024

NOTES: (continued)

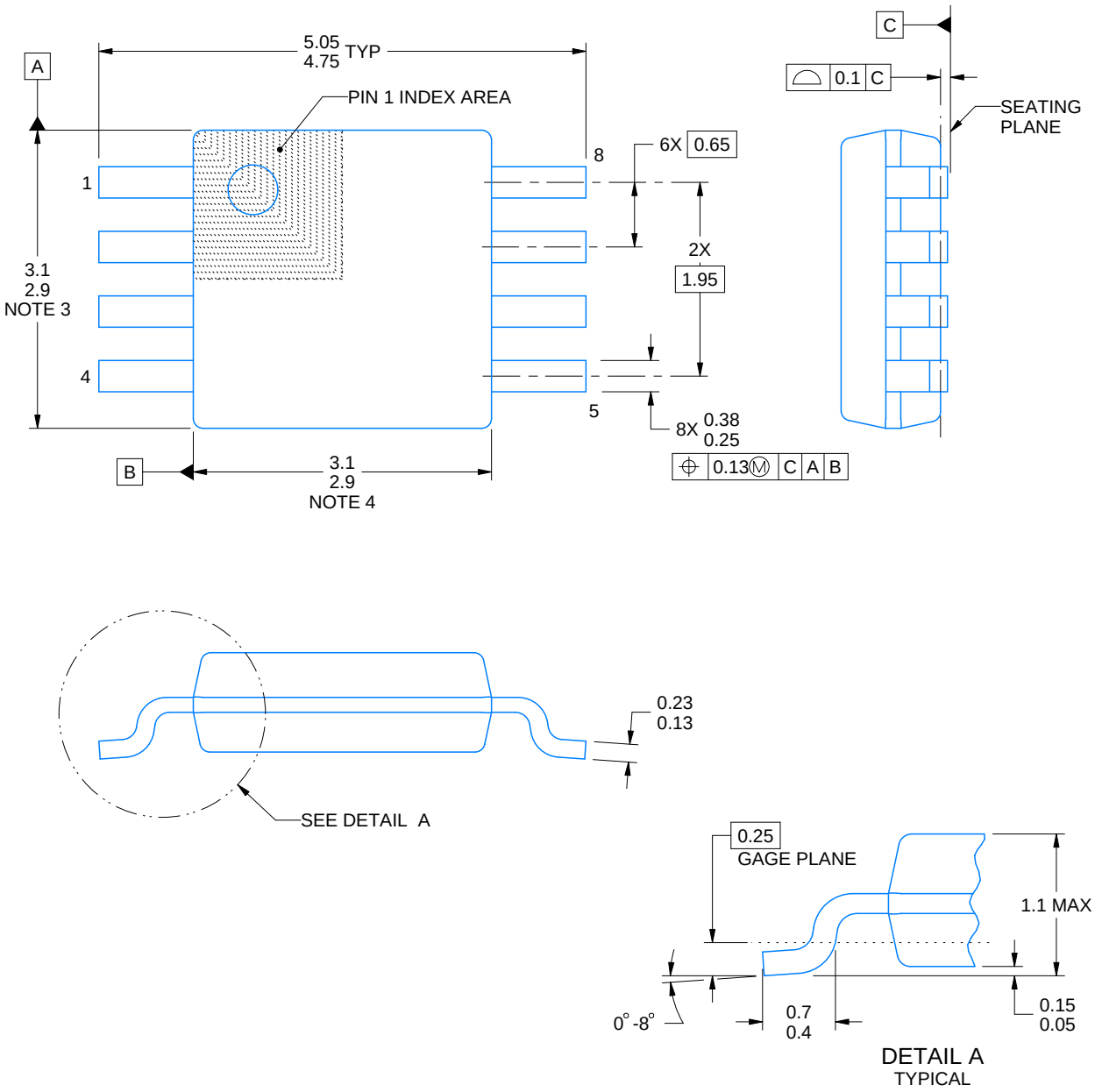
8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

PACKAGE OUTLINE

DGK0008A

VSSOP - 1.1 mm max height

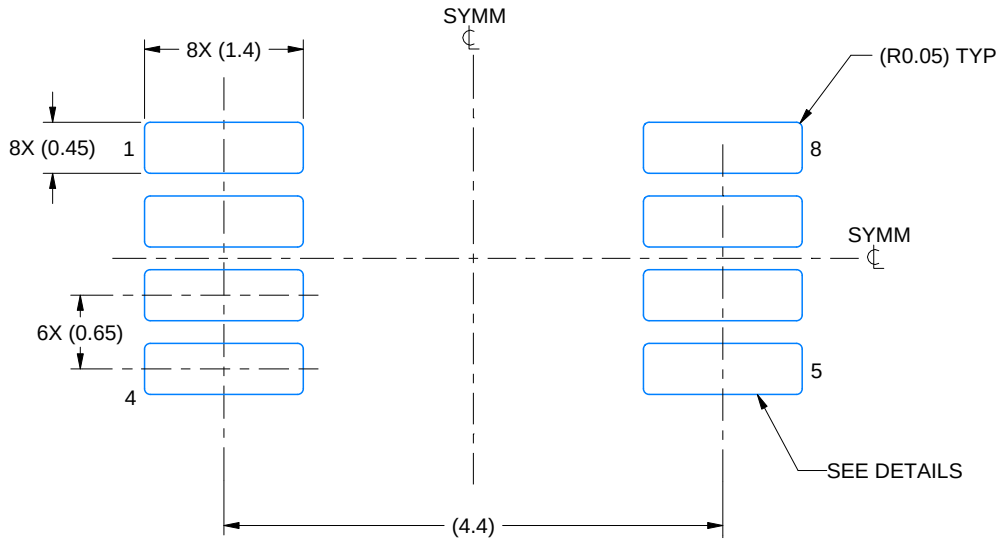
SMALL OUTLINE PACKAGE



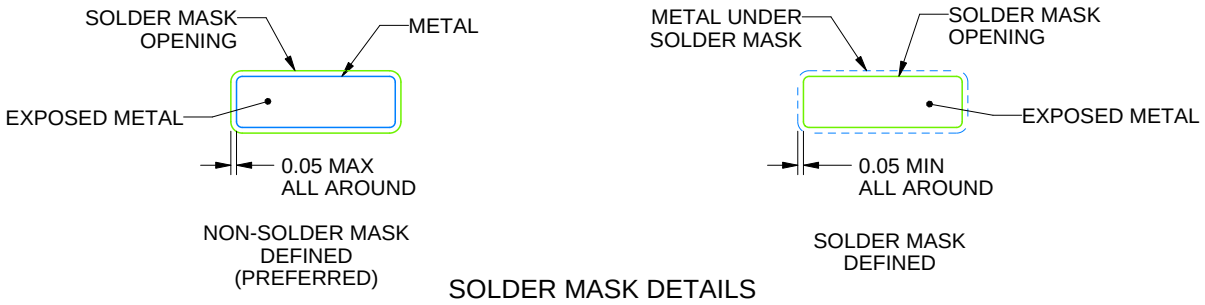
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-187.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

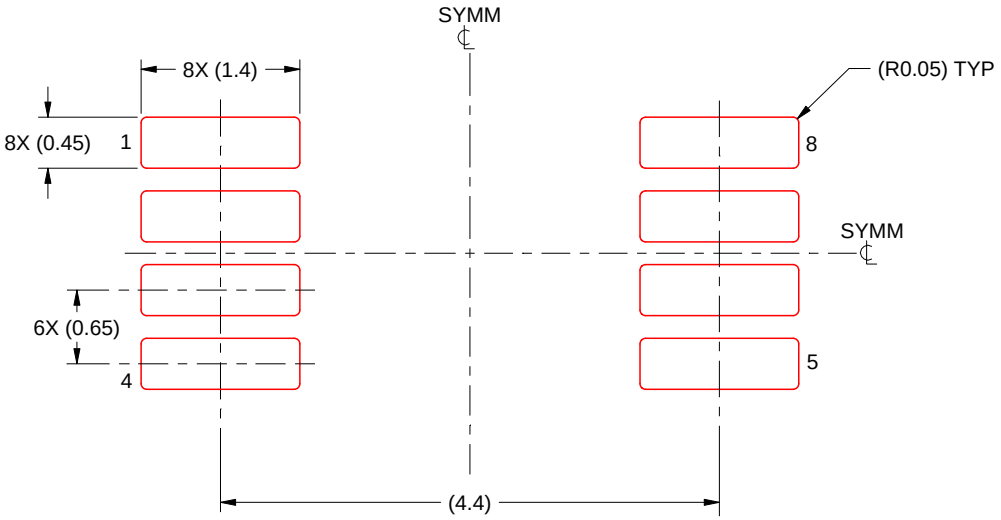


SOLDER MASK DETAILS

4214862/A 04/2023

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
SCALE: 15X

4214862/A 04/2023

NOTES: (continued)

11. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
12. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月