# MCT8314Z 含传感器梯形集成 FET BLDC 电机驱动器

## 1 特性

- 集成含传感器梯形控制的三相 BLDC 电机驱动器
  - 基于霍尔传感器的梯形 (120°) 换向
  - 支持模拟或数字霍尔输入
  - 可配置 PWM 调制：同步/异步
  - 逐周期电流限制，可限制相位电流
  - 支持高达 100kHz 的 PWM 频率
  - 自动同步整流，可降低功率损耗
- 5.0V 至 35V 工作电压（绝对最大值 40V）
- 高输出电流能力：1.5A 峰值
- 低 MOSFET 导通状态电阻
  - $T_A$ = 25°C 时，$R_{DS(ON)}$ (HS + LS) 为 575mΩ
- 低功耗睡眠模式
  - 1.5μA（$V_{VM}$ = 24V，$T_A$ = 25°C）
- 集成限流功能省去了外部电流检测电阻
- 灵活的器件配置选项
  - MCT8314ZS：用于器件配置和故障状态的 5MHz 16 位 SPI 接口
  - MCT8314ZH：基于硬件引脚的配置
- 支持 1.8V、3.3V 和 5V 逻辑输入
- 内置 5V (5%)、30mA LDO 稳压器
- 整套集成保护特性
  - 电源欠压锁定 (UVLO)
  - 电荷泵欠压 (CPUV)
  - 过流保护 (OCP)
  - 电机锁定保护
  - 热警告和热关断 (OTW/OTSD)
  - 故障条件指示引脚 (nFAULT)
  - 可选择通过 SPI 进行故障诊断

## 2 应用

- 无刷直流 (BLDC) 电机模块
- HVAC 电机
- 小型家用电器
- 办公自动化设备
- 工厂自动化和机器人

## 3 说明

MCT8314Z 为要驱动 12V 至 24V 有刷直流电机的客户提供了一种单芯片无代码含传感器梯形换向器件。MCT8314Z 集成了三个 1/2 H 桥，具有 40V 的绝对最大电压和 575mΩ 的低 $R_{DS(ON)}$（高侧和低侧相结合），可提供大功率驱动能力。集成电流限制功能可限制启动或高负载条件下的电机电流，同时无需外部检测电阻。集成的 5V LDO 可为器件生成必要的电压轨并为外部电路供电。

MCT8314Z 可在固定功能状态机中实现含传感器梯形控制，因此无需外部微控制器即可使无刷直流电机转动。MCT8314Z 器件集成了三个用于位置检测的模拟霍尔比较器，可实现含传感器梯形 BLDC 电机控制。该控制方案具有高度可配置性，可通过硬件引脚或寄存器设置进行配置，涵盖范围从电机电流限制行为到故障响应。速度可以通过 PWM 输入进行控制。

MCT8314Z 集成了多种保护特性，可在出现故障事件时保护该器件、电机和系统。

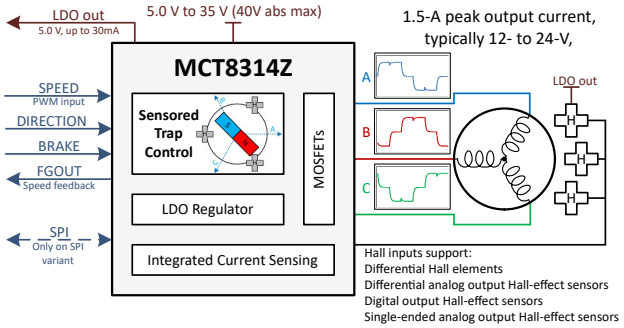
有关器件使用的设计考虑因素和建议，请参考应用信息。

**器件信息 (1)**

| 器件型号 | 封装 | 封装尺寸（标称值） |
|---|---|---|
| MCT8314ZS(2) | WQFN (24) | 3.00mm × 3.00mm |
| MCT8314ZH | WQFN (24) | 3.00mm × 3.00mm |

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

(2) 器件仅供预览。




简化版原理图

# 内容

**1 特性** ..... 1
**2 应用** ..... 1
**3 说明** ..... 1
**4 器件比较表** ..... 3
**5 引脚配置和功能** ..... 4
**6 规格** ..... 6
6.1 绝对最大额定值 ..... 6
6.2 ESD 等级 ..... 6
6.3 建议运行条件 ..... 6
6.4 热性能信息 ..... 7
6.5 电气特性 ..... 7
6.6 SPI 时序要求 ..... 11
6.7 SPI 次级器件模式时序 ..... 12
6.8 典型特性 ..... 12
**7 详细说明** ..... 13
7.1 概述 ..... 13
7.2 功能方框图 ..... 14
7.3 特性说明 ..... 16
7.4 器件功能模式 ..... 42
7.5 SPI 通信 ..... 43
**8 寄存器映射** ..... 45
8.1 状态寄存器 ..... 46
8.2 控制寄存器 ..... 50
**9 应用和实施** ..... 61
9.1 应用信息 ..... 61
9.2 霍尔传感器配置和连接 ..... 62
9.3 典型应用 ..... 66
9.4 电源相关建议 ..... 69
9.5 布局 ..... 69
**10 器件和文档支持** ..... 73
10.1 文档支持 ..... 73
10.2 支持资源 ..... 73
10.3 商标 ..... 73
10.4 静电放电警告 ..... 73
10.5 术语表 ..... 73
**11 修订历史记录** ..... 73
**12 机械、封装和可订购信息** ..... 73
12.1 封装选项附录 ..... 74
12.2 卷带包装信息 ..... 75


Copyright © 2025 Texas Instruments Incorporated

# 4 器件比较表

| 器件 | 封装 | 接口 |
|---|---|---|
| MCT8314ZS | 24 引脚 WQFN (3mm x 3mm) | SPI |
| MCT8314ZH | | 硬件 |

**表 4-1. MCT8314ZS（SPI 型号）与 MCT8314ZH 配置比较**

| 参数 | MCT8314ZS（SPI 型号） | MCT8314ZH（硬件型号） |
|---|---|---|
| PWM 控制模式设置 | PWM_MODE 位（4 个设置） | MODE 引脚（7 个设置） |
| 方向设置 | DIR 位（2 个设置） | DIR 引脚（2 个设置） |
| 电流限制阈值 | 可通过 ILIM 引脚上连接到 AGND 的电阻进行选择 | |
| 限流配置 | ILIM_RECIR 位（2 个设置），PWM_100_DUTY_SEL 位 | 再循环固定为制动模式，100% 占空比的 PWM 频率固定为 20kHz |
| 切入角设置 | ADVANCE_LVL 位（8 个设置） | ADVANCE 引脚（7 个设置） |
| FG 配置 | FGOUT_SEL 位（4 个设置） | 3 倍或 1 倍换向频率，取决于 FGSEL/LOCK_DET_TIME 引脚配置 |
| 电机锁定配置：模式、检测和重试时序 | MTR_LOCK_MODE 位（4 个设置）、MTR_LOCK_TDET 位（4 个设置）、MTR_LOCK_RETRY 位（2 个设置） | 启用且具有 500ms 自动重试时间，FGSEL/LOCK_DET_TIME 引脚（3 或 4 个检测时间设置，具体取决于配置） |
| 自动同步整流 | EN_ASR 位（2 个设置） | MODE 引脚（6 个设置） |
| OCP 配置 | OCP_MODE 位（4 个设置），$I_{OCP,min}$ = 3A，OCP_DEG 位（4 个设置）和 OCP_RETRY 位（2 个设置） | 启用且具有锁存关断模式，$I_{OCP,min}$ = 3A，0.6µs 抗尖峰脉冲时间 |
| 过压保护配置 | OVP_EN 位（2 个设置）、OVP_SEL 位（2 个设置） | 启用且电平固定为 34V（典型值） |
| SDO 引脚配置 | SDO_MODE 位（2 个设置） | 不适用 |
| SPI 故障配置 | SPI_PARITY 位（2 个设置）、SPI_SCLK_FLT 位（2 个设置）、SPI_ADDR_FLT 位（2 个设置） | 不适用 |

Copyright © 2025 Texas Instruments Incorporated

# 5 引脚配置和功能

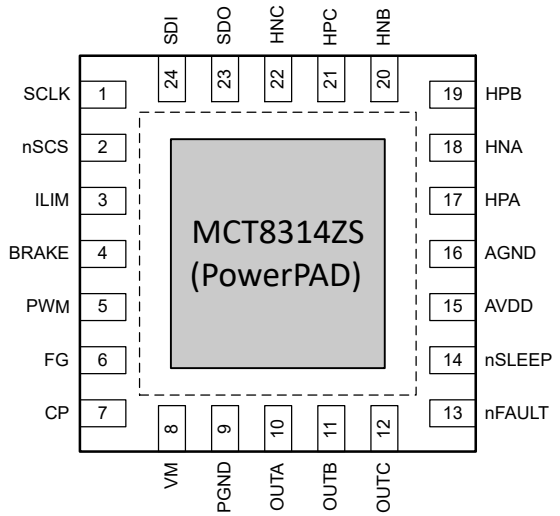



图 5-1. MCT8314ZS 24 引脚 VQFN（带有外露散热焊盘）顶视图

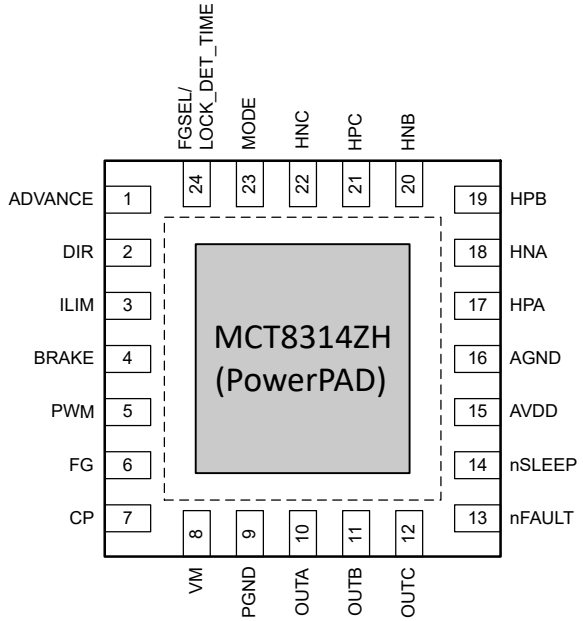



图 5-2. MCT8314ZH 24 引脚 VQFN（带有外露散热焊盘）顶视图

表 5-1. 引脚功能

| 引脚 | 24 引脚封装 | | 类型(1) | 说明 |
|---|---|---|---|---|
| 名称 | MCT8314ZS | MCT8314ZH | | |
| ADVANCE | — | 1 | I | 超前角水平仪设置。该引脚是由外部电阻器设置的 7 电平输入引脚。 |
| AGND | 16 | 16 | GND | 器件模拟接地。有关连接建议，请参阅布局指南。 |
| AVDD | 15 | 15 | PWR O | 5.0V 内部稳压器输出。在 AVDD 和 AGND 引脚之间连接一个 X5R 或 X7R、2.2 μ F、16V 陶瓷电容器。该稳压器可从外部拉取高达 30mA 的电流。 |
| BRAKE | 4 | 4 | I | 高电平 → 在高电平时通过开启所有低侧 MOSFET 来制动电机<br>低电平 → 正常运行 |
| CP | 7 | 7 | PWR O | 电荷泵输出。在 CP 和 VM 引脚之间连接一个 X5R 或 X7R、0.22μF、16V 陶瓷电容器。 |
| DIR | — | 2 | I | 方向引脚，用于将电机旋转方向设置为顺时针或逆时针。 |
| FG | 6 | 6 | O | 电机速度指示器输出。开漏输出需要一个连接到 1.8V 至 5.0V 电压的外部上拉电阻器。它可以设置为霍尔信号的不同分频因子（请参阅 FG 信号） |
| FGSEL/<br>LOCK_DE<br>T_TIME | — | 24 | I | 电气频率生成输出模式和电机锁定检测时间设置。该引脚是由外部电阻器设置的 7 电平输入引脚。 |
| HNA | 18 | 18 | I | A 相霍尔元件负输入。可能需要噪声滤波电容器，它们连接在正负霍尔输入之间。 |
| HNB | 20 | 20 | I | B 相霍尔元件负输入。可能需要噪声滤波电容器，它们连接在正负霍尔输入之间。 |
| HNC | 22 | 22 | I | C 相霍尔元件负输入。可能需要噪声滤波电容器，它们连接在正负霍尔输入之间。 |
| HPA | 17 | 17 | I | A 相霍尔元件正输入。可能需要噪声滤波电容器，它们连接在正负霍尔输入之间。 |


Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚功能（续）

| 引脚 | 24 引脚封装 | | 类型(1) | 说明 |
|---|---|---|---|---|
| 名称 | MCT8314ZS | MCT8314ZH | | |
| HPB | 19 | 19 | I | B 相霍尔元件正输入。可能需要噪声滤波电容器，它们连接在正负霍尔输入之间。 |
| HPC | 21 | 21 | I | C 相霍尔元件正输入。可能需要噪声滤波电容器，它们连接在正负霍尔输入之间。 |
| ILIM | 3 | 3 | I | 设置逐周期电流限制中使用的相电流阈值。 |
| MODE | — | 23 | I | PWM 输入模式设置。该引脚是由外部电阻器设置的 7 电平输入引脚。 |
| nFAULT | 13 | 13 | O | 故障指示器。故障状态下拉至逻辑低电平；开漏输出需要一个连接到 1.8V 至 5.0V 电压的外部上拉电阻器。不使用时将 nFAULT 连接至 GND。 |
| nSCS | 2 | — | I | 串行芯片选择。此引脚上的逻辑低电平支持串行接口通信。 |
| nSLEEP | 14 | 14 | I | 驱动器 nSLEEP。当该引脚为逻辑低电平时，器件进入低功耗睡眠模式。可以使用一个 20µs 至 40µs 的低电平脉冲来复位故障条件，而不进入睡眠模式。 |
| OUTA | 10 | 10 | PWR O | 半桥输出 A |
| OUTB | 11 | 11 | PWR O | 半桥输出 B |
| OUTC | 12 | 12 | PWR O | 半桥输出 C |
| PGND | 9 | 9 | GND | 器件电源接地。有关连接建议，请参阅布局指南。 |
| PWM | 5 | 5 | I | 用于电机控制的 PWM 输入。设置电机相电压的占空比和开关频率。 |
| SCLK | 1 | — | I | 串行时钟输入。串行数据会移出并在此引脚上的相应上升沿和下降沿被捕捉（SPI 器件）。 |
| SDI | 24 | — | I | 串行数据输入。在 SCLK 引脚的下降沿捕捉数据（SPI 器件）。 |
| SDO | 23 | — | O | 串行数据输出。在 SCLK 引脚的上升沿移出数据。该引脚需要使用一个外部上拉电阻器（SPI 器件）。 |
| VM | 8 | 8 | PWR I | 电源。连接到电机电源电压；通过两个 0.1µF 陶瓷电容器（每个引脚一个）和一个额定电压为 VM 的大容量电容器旁路到 PGND。TI 建议电容器的额定电压至少是器件正常工作电压的两倍。 |
| 散热焊盘 | | | GND | 必须连接至模拟接地。 |

(1) I = 输入，O = 输出，GND = 接地引脚，PWR = 电源，NC = 无连接

Copyright © 2025 Texas Instruments Incorporated

# 6 规格

## 6.1 绝对最大额定值

在工作环境温度范围内测得（除非另有说明）(1)

| | 最小值 | 最大值 | 单位 |
|---|---|---|---|
| 电源引脚电压 (VM) | -0.3 | 40 | V |
| 电源电压 (VM) 从 $V_{VM}$ < 4.2V 斜升至 $V_{VM}$ = 35V 以及从 6V < $V_{VM}$ 斜升至 $V_{VM}$ = 35V | | 4 | V/µs |
| 电源电压 (VM) 从 4.2V ≤ $V_{VM}$ ≤ 6V 斜升至 $V_{VM}$ = 35V | | 1 | V/µs |
| 接地引脚（PGND、AGND）之间的电压差 | -0.3 | 0.3 | V |
| 电荷泵电压 (CP) | -0.3 | $V_M$ + 6 | V |
| 模拟稳压器引脚电压 (AVDD) | -0.3 | 5.75 | V |
| 霍尔引脚输入电压（HPx、HNx） | -0.3 | 5.75 | V |
| 配置引脚输入电压（ILIM、ADVANCE、LOCK_DET_TIME、MODE） | -0.3 | 5.75 | V |
| 逻辑引脚输入电压（PWM、BRAKE、DIR、nSLEEP、nSCS、SCLK、SDI） | -0.3 | 5.75 | V |
| 逻辑引脚输出电压（nFAULT、SDO） | -0.3 | 5.75 | V |
| 输出引脚电压（OUTA、OUTB、OUTC） | -1 | $V_{VM}$ + 1 | V |
| 环境温度，$T_A$ | -40 | 125 | °C |
| 结温，$T_J$ | -40 | 150 | °C |
| 贮存温度，$T_{stg}$ | -65 | 150 | °C |

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。绝对最大额定值并不表示器件在这些条件下或在建议运行条件以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。

## 6.2 ESD 等级

| | | | 值 | 单位 |
|---|---|---|---|---|
| $V_{(ESD)}$ | 静电放电 | 人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准(1) | ±2000 | V |
| | | 充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 标准(2) | ±500 | |

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

## 6.3 建议运行条件

在工作环境温度范围内测得（除非另有说明）

| | | | 最小值 | 标称值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|
| $V_{VM}$ | 电源电压 | $V_{VM}$ | 5 | 24 | 35 | V |
| $f_{PWM}$ | 输出 PWM 频率 | OUTA、OUTB、OUTC | | | 100 | kHz |
| $I_{OUT}$ (1) | 峰值输出绕组电流 | OUTA、OUTB、OUTC | | | 1.5 | A |
| $V_{IN}$ | 逻辑输入电压 | PWM、BRAKE、DIR、nSLEEP、nSCS、SCLK、SDI | -0.1 | | 5.5 | V |
| | 配置输入电压 | ILIM、ADVANCE、FGSEL/LOCK_DET_TIME、MODE | -0.1 | | AVDD | V |
| $V_{OD}$ | 开漏上拉电压 | nFAULT、SDO | -0.1 | | 5.5 | V |
| $V_{SDO}$ | 推挽电压 | SDO | 2.2 | | 5.5 | V |
| $I_{OD}$ | 开漏输出电流 | nFAULT、SDO | | | 5 | mA |
| $T_A$ | 工作环境温度 | | -40 | | 125 | °C |
| $T_J$ | 工作结温 | | -40 | | 150 | °C |

(1) 必须遵循功率耗散和热限值


Copyright © 2025 Texas Instruments Incorporated

## 6.4 热性能信息

| 热指标(1) | | MCT8314Z WQFN (RRM) 24 引脚 | 单位 |
|---|---|---|---|
| $R_{\theta JA}$ | 结至环境热阻 | 43.6 | °C/W |
| $R_{\theta JC(top)}$ | 结至外壳（顶部）热阻 | 39.7 | °C/W |
| $R_{\theta JB}$ | 结至电路板热阻 | 17.6 | °C/W |
| $\Psi_{JT}$ | 结至顶部特征参数 | 0.7 | °C/W |
| $\Psi_{JB}$ | 结至电路板特征参数 | 17.6 | °C/W |
| $R_{\theta JC(bot)}$ | 结至外壳（底部）热阻 | 6.1 | °C/W |

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

## 6.5 电气特性

$T_J$ = –40°C 至 150°C，$V_{VM}$ = 5V 至 35V（除非另有说明）。典型限值适用于 $T_A$ = 25°C、$V_{VM}$ = 24V

| 参数 | | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|
| **电源** | | | | | | |
| $I_{VMQ}$ | VM 睡眠模式电流 | $V_{VM}$ > 6V，nSLEEP = 0，$T_A$ = 25°C | | 1.5 | 2.5 | µA |
| | | nSLEEP = 0 | | 1.5 | 5 | µA |
| $I_{VMS}$ | VM 待机模式电流 | nSLEEP = 1，PWM = BRAKE = 0，SPI = “关闭” | | 6.8 | 10 | mA |
| | | $V_{VM}$ > 6V，nSLEEP = 1，PWM = BRAKE = 0，SPI = “关闭”，$T_A$ = 25°C | | 6.8 | 8 | mA |
| $I_{VM}$ | VM 工作模式电流 | $V_{VM}$ > 6V，nSLEEP = 1，$f_{PWM}$ = 25kHz，$T_A$ = 25°C | | 8 | 9 | mA |
| | | $V_{VM}$ > 6V，nSLEEP = 1，$f_{PWM}$ = 100kHz，$T_A$ = 25°C | | 9 | 10 | mA |
| | | nSLEEP =1，$f_{PWM}$ = 25kHz | | 9 | 11 | mA |
| | | nSLEEP =1，$f_{PWM}$ = 100kHz | | 9 | 11 | mA |
| $V_{AVDD}$ | 模拟稳压器电压 | $V_{VM}$ > 6V，0mA ≤ $I_{AVDD}$ ≤ 30mA | 4.7 | 5 | 5.3 | V |
| $I_{AVDD}$ | 外部模拟稳压器负载 | | | | 30 | mA |
| $C_{AVDD}$ | AVDD 的电容(1) | 外部负载：0mA ≤ $I_{AVDD}$ ≤ 30mA | 0.7 | 2.2 | 2.64 | uF |
| $V_{CP}$ | 电荷泵稳压器电压 | $V_{CP}$ 相对于 VM | 3.5 | 4.7 | 5.2 | V |
| $C_{CP}$ | 电荷泵电容(1) | CP 和 VM 之间的电容 | 80 | 220 | 330 | nF |
| $t_{WAKE}$ | 唤醒时间 | $V_{VM}$ > $V_{UVLO}$，nSLEEP = 1 以使输出就绪，且 nFAULT 已释放 | | 3.5 | 5 | ms |
| $t_{SLEEP}$ | 进入睡眠模式的时间 | nSLEEP = 0 进入睡眠模式的周期 | | | 120 | µs |
| $t_{RST}$ | 复位脉冲时间 | nSLEEP = 0 复位故障的周期 | 20 | | 40 | µs |
| **逻辑电平输入（PWM、BRAKE、DIR、nSLEEP、SCLK、SDI、nSCS）** | | | | | | |
| $V_{IL}$ | 输入逻辑低电平电压 | | 0 | | 0.6 | V |
| $V_{IH}$ | 输入逻辑高电平电压 | 其他引脚 | 1.5 | | 5.5 | V |
| | | nSLEEP | 1.6 | | 5.5 | V |
| $V_{HYS}$ | 输入逻辑迟滞 | 其他引脚 | 150 | 250 | 420 | mV |
| | | nSLEEP | 95 | 300 | 420 | mV |
| $I_{IL}$ | 输入逻辑低电平电流 | $V_{PIN}$（引脚电压）= 0V | -1 | | 1 | µA |

Copyright © 2025 Texas Instruments Incorporated

$T_J$ = –40°C 至 150°C，$V_{VM}$ = 5V 至 35V（除非另有说明）。典型限值适用于 $T_A$ = 25°C、$V_{VM}$ = 24V

| 参数 | | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|
| $I_{IH}$ | 输入逻辑高电平电流 | nSCS，$V_{nSCS}$（引脚电压）= 5V，VM < 6V | -1 | | 1 | µA |
| | | nSCS，$V_{nSCS}$（引脚电压）= 5V，VM ≥ 6V | -1 | | 1 | µA |
| | | nSLEEP，$V_{nSLEEP}$（引脚电压）= 5V | 10 | | 30 | µA |
| | | 其他引脚，$V_{PIN}$（引脚电压）= 5V | 25 | | 75 | µA |
| $R_{PD}$ | 输入下拉电阻 | nSLEEP | 150 | 225 | 300 | kΩ |
| | | 其他引脚 | 70 | 100 | 130 | kΩ |
| $C_{ID}$ | 输入电容 | | | 30 | | pF |
| **七电平输入（ADVANCE、MODE、FGSEL/LOCK_DET_TIME）** | | | | | | |
| $V_{L1}$ | 输入模式 1 电压 | 连接至 AGND | 0 | | $0.09*V_{AVDD}$ | V |
| $V_{L2}$ | 输入模式 2 电压 | 22kΩ ± 5% 至 AGND | $0.12*V_{AVDD}$ | $0.15*V_{AVDD}$ | $0.2*V_{AVDD}$ | V |
| $V_{L3}$ | 输入模式 3 电压 | 100kΩ ± 5% 至 AGND | $0.27*V_{AVDD}$ | $0.33*V_{AVDD}$ | $0.4*V_{AVDD}$ | V |
| $V_{L4}$ | 输入模式 4 电压 | 高阻态 | $0.45*V_{AVDD}$ | $0.5*V_{AVDD}$ | $0.55*V_{AVDD}$ | V |
| $V_{L5}$ | 输入模式 5 电压 | 100kΩ ± 5% 至 AVDD | $0.6*V_{AVDD}$ | $0.66*V_{AVDD}$ | $0.73*V_{AVDD}$ | V |
| $V_{L6}$ | 输入模式 6 电压 | 22kΩ ± 5% 至 AVDD | $0.77*V_{AVDD}$ | $0.85*V_{AVDD}$ | $0.9*V_{AVDD}$ | V |
| $V_{L7}$ | 输入模式 7 电压 | 连接至 AVDD | $0.94*V_{AVDD}$ | | $V_{AVDD}$ | V |
| $R_{PU}$ | 输入上拉电阻 | 至 AVDD | 80 | 100 | 120 | kΩ |
| $R_{PD}$ | 输入下拉电阻 | 至 AGND | 80 | 100 | 120 | kΩ |
| **开漏输出（FG、SDO）** | | | | | | |
| $V_{OL}$ | 输出逻辑低电平电压 | $I_{OD}$ = 5mA | | | 0.4 | V |
| $I_{OH}$ | 输出逻辑高电平电流 | $V_{OD}$ = 5V | -1 | | 1 | µA |
| $C_{OD}$ | 输出电容 | | | | 30 | pF |
| **推挽式输出 (SDO)** | | | | | | |
| $V_{OL}$ | 输出逻辑低电平电压 | $I_{OP}$ = 5mA | 0 | | 0.4 | V |
| $V_{OH}$ | 输出逻辑高电压 | $I_{OP}$ = 5mA | 2.2 | | 5.5 | V |
| $I_{OL}$ | 输出逻辑低电平漏电流 | $V_{OP}$ = 0V | -1 | | 1 | µA |
| $I_{OH}$ | 输出逻辑高电平漏电流 | $V_{OP}$ = 5V | -1 | | 1 | µA |
| $C_{OD}$ | 输出电容 | | | | 30 | pF |
| **驱动器输出** | | | | | | |
| $R_{DS(ON)}$ | MOSFET 总导通电阻（高侧 + 低侧） | $V_{VM}$ > 6V，$I_{OUT}$ = 1A，$T_A$ = 25°C | | 575 | 630 | mΩ |
| | | $V_{VM}$ < 6V，$I_{OUT}$ = 1A，$T_A$ = 25°C | | 596 | 660 | mΩ |
| | | $V_{VM}$ > 6V，$I_{OUT}$ = 1A，$T_J$ = 150°C | | 868 | 960 | mΩ |
| | | $V_{VM}$ < 6V，$I_{OUT}$ = 1A，$T_J$ = 150°C | | 889 | 972 | mΩ |
| SR | 相位引脚压摆率从低切换到高（从 20% 上升到 80%） | $V_{VM}$ = 24V，50mA ≤ $I_{OUT}$ ≤ 1.5A | 100 | 200 | 320 | V/us |
| | 相位引脚压摆率从高切换到低（从 80% 下降到 20%） | $V_{VM}$ = 24V，50mA ≤ $I_{OUT}$ ≤ 1.5A | 100 | 200 | 320 | V/us |


Copyright © 2025 Texas Instruments Incorporated

$T_J$ = –40°C 至 150°C，$V_{VM}$ = 5V 至 35V（除非另有说明）。典型限值适用于 $T_A$ = 25°C、$V_{VM}$ = 24V

| 参数 | | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|
| $I_{LEAK}$ | 流入 OUTx 的泄漏电流 | $V_{OUTx}$ = $V_{VM}$，nSLEEP = 1 | -5 | | 0 | mA |
| | 流入 OUTx 的泄漏电流 | $V_{OUTx}$ = 0V，nSLEEP = 1 | | | 1 | µA |
| $t_{DEAD}$ | 输出死区时间（高电平到低电平/低电平到高电平） | $V_{VM}$ = 24V，HS 驱动器关闭到 LS 驱动器开启 | | 500 | 750 | ns |
| $t_{PD}$ | 传播延迟（高侧/低侧开/关） | $V_{VM}$ = 24V，50mA ≤ $I_{OUT}$ ≤ 1.5A，PWM 引脚转换到 OUTx 转换 | | 650 | 1050 | ns |
| $t_{MIN_PULSE}$ | 有效输出脉冲的最小输入脉冲宽度 | | 600 | | | ns |
| **霍尔比较器** | | | | | | |
| $V_{ICM}$ | 输入共模电压（霍尔） | | 0.5 | | AVDD – 1.2 | V |
| $V_{HYS_HALL}$ | 电压磁滞（SPI 器件） | HALL_HYS = 0 | 1.5 | 5 | 10 | mV |
| | | HALL_HYS = 1 | 35 | 50 | 80 | mV |
| | 电压迟滞（硬件器件） | | 1.5 | 5 | 10 | mV |
| $\Delta V_{HYS_HALL}$ | 霍尔比较器迟滞差值 | 在霍尔 A、霍尔 B 和霍尔 C 比较器之间 | -8 | | 8 | mV |
| $I_I$ | 输入漏电流 | HPx = HNx = 0V | -1 | | 1 | µA |
| $t_{HDG}$ | 霍尔抗尖峰脉冲时间 | | 0.6 | 1.15 | 1.7 | µs |
| $t_{HEDG}$ | 霍尔使能抗尖峰脉冲时间 | 上电期间 | | 1.4 | | µs |
| **逐周期电流限制** | | | | | | |
| $I_{LIMIT}$ | 电流限制 | $R_{ILIMIT}$ = 18kΩ | 0.46 | 0.5 | 0.59 | A |
| | | $R_{ILIMIT}$ = 9kΩ | 0.91 | 1 | 1.13 | A |
| | | $R_{ILIMIT}$ = 6kΩ | 1.35 | 1.5 | 1.66 | A |
| $t_{BLANK}$ | 逐周期电流限制消隐时间 | | | 5.0 | | µs |
| **超前角** | | | | | | |
| $\theta_{ADV}$ | 超前角设置（SPI 器件） | ADVANCE_LVL = 000 b | | 0 | 1 | ° |
| | | ADVANCE_LVL = 001 b | 3 | 4 | 5 | ° |
| | | ADVANCE_LVL = 010 b | 6 | 7 | 8 | ° |
| | | ADVANCE_LVL = 011 b | 10 | 11 | 12 | ° |
| | | ADVANCE_LVL = 100 b | 13.5 | 15 | 16.5 | ° |
| | | ADVANCE_LVL = 101 b | 18 | 20 | 22 | ° |
| | | ADVANCE_LVL = 110 b | 22.5 | 25 | 27.5 | ° |
| | | ADVANCE_LVL = 111 b | 27 | 30 | 33 | ° |
| $\theta_{ADV}$ | 超前角设置（硬件器件） | ADVANCE 引脚连接至 AGND | | 0 | 1 | ° |
| | | ADVANCE 引脚连接至 22kΩ ± 5% 至 AGND | 3 | 4 | 5 | ° |
| | | ADVANCE 引脚连接至 100kΩ ± 5% 至 AGND | 10 | 11 | 12 | ° |
| | | ADVANCE 引脚连接至高阻态 | 13.5 | 15 | 16.5 | ° |
| | | ADVANCE 引脚连接至 100kΩ ± 5% 至 AVDD | 18 | 20 | 22 | ° |
| | | ADVANCE 引脚连接至 22kΩ ± 5% 至 AVDD | 22.5 | 25 | 27.5 | ° |
| | | ADVANCE 引脚连接至 AVDD | 27 | 30 | 33 | ° |
| **保护电路** | | | | | | |
| $V_{UVLO}$ | VM 电源欠压锁定 (UVLO) | VM 下降 | 4.25 | 4.35 | 4.48 | V |
| | | VM 上升 | 4.42 | 4.6 | 4.75 | V |
| $V_{UVLO_HYS}$ | VM 电源欠压锁定迟滞 | 上升至下降阈值 | 130 | 210 | 260 | mV |

Copyright © 2025 Texas Instruments Incorporated

$T_J$ = –40°C 至 150°C，$V_{VM}$ = 5V 至 35V（除非另有说明）。典型限值适用于 $T_A$ = 25°C、$V_{VM}$ = 24V

| 参数 | | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|
| $t_{UVLO}$ | VM 电源欠压抗尖峰脉冲时间 | | 3 | 5 | 7 | µs |
| $V_{OVP}$ | 电源过压保护 (OVP)（SPI 器件） | 电源电压上升，OVP_EN = 1，OVP_SEL = 0 | 32.5 | 34 | 35 | V |
| | | 电源电压下降，OVP_EN = 1，OVP_SEL = 0 | 31.8 | 33 | 34.3 | V |
| | | 电源电压上升，OVP_EN = 1，OVP_SEL = 1 | 20 | 22 | 23 | V |
| | | 电源电压下降，OVP_EN = 1，OVP_SEL = 1 | 19 | 21 | 22 | V |
| $V_{OVP_HYS}$ | 电源过压保护磁滞（SPI 器件） | 上升至下降阈值，OVP_SEL = 1 | 0.9 | 1 | 1.1 | V |
| | | 上升至下降阈值，OVP_SEL = 0 | 0.65 | 0.8 | 0.9 | V |
| $V_{OVP}$ | 电源过压保护 (OVP)（HW 器件） | 电源上升 | 32.5 | 34 | 35 | V |
| | | 电源下降 | 31.8 | 33 | 34.3 | V |
| $V_{OVP_HYS}$ | 电源过压保护迟滞（硬件器件） | 上升至下降阈值 | 0.65 | 0.8 | 0.9 | V |
| $t_{OVP}$ | 电源过压抗尖峰脉冲时间 | | 2.5 | 5 | 7 | µs |
| $V_{CPUV}$ | 电荷泵欠压锁定（高于 VM） | 电源上升 | 2.2 | 2.5 | 2.8 | V |
| | | 电源下降 | 2.1 | 2.4 | 2.7 | V |
| $V_{CPUV_HYS}$ | 电荷泵 UVLO 迟滞 | 上升至下降阈值 | 75 | 100 | 140 | mV |
| $V_{AVDD_UV}$ | 模拟稳压器欠压锁定 | 电源下降 | 3 | 3.1 | 3.3 | V |
| | | 电源上升 | 3.2 | 3.3 | 3.47 | V |
| $V_{AVDD_UV_HYS}$ | 模拟稳压器欠压锁定迟滞 | 上升至下降阈值 | 150 | 200 | 255 | mV |
| $I_{OCP}$ | 过流保护跳变点 | | 2.25 | 3.25 | 4.25 | A |
| $t_{OCP}$ | 过流保护抗尖峰脉冲时间（SPI 器件） | OCP_DEG = 00b | 0.02 | 0.2 | 0.4 | µs |
| | | OCP_DEG = 01b | 0.2 | 0.6 | 1.2 | µs |
| | | OCP_DEG = 10b | 0.5 | 1.2 | 1.8 | µs |
| | | OCP_DEG = 11b | 0.9 | 1.6 | 2.5 | µs |
| | 过流保护抗尖峰脉冲时间（硬件器件） | | 0.2 | 0.6 | 1.2 | µs |
| $t_{RETRY}$ | 过流保护重试时间（SPI 器件） | OCP_RETRY = 0 | 4 | 5 | 6 | ms |
| | | OCP_RETRY = 1 | 425 | 500 | 575 | ms |
| $t_{PWM_LOW}$ | 电机锁定检测所需的 PWM 低电平时间 | | | 200 | | ms |
| $t_{MTR_LOCK}$ | 电机锁定检测时间（SPI 器件） | MOTOR_LOCK_TDET = 00b | 270 | 300 | 330 | ms |
| | | MOTOR_LOCK_TDET = 01b | 450 | 500 | 550 | ms |
| | | MOTOR_LOCK_TDET = 10b | 900 | 1000 | 1100 | ms |
| | | MOTOR_LOCK_TDET = 11b | 4500 | 5000 | 5500 | ms |
| $t_{MTR_LOCK}$ | 电机锁定检测时间（HW 器件） | FGSEL/LOCK_DET_TIME 引脚连接至 AGND 或连接至 100kΩ ± 5% 至 AVDD | 270 | 300 | 330 | ms |
| | | FGSEL/LOCK_DET_TIME 引脚连接至 22kΩ ± 5% 至 AGND 或连接至 22kΩ ± 5% 至 AVDD | 450 | 500 | 550 | ms |
| | | FGSEL/LOCK_DET_TIME 引脚连接至 100kΩ ± 5% 至 AGND 或连接至 AVDD | 900 | 1000 | 1100 | ms |
| | | FGSEL/LOCK_DET_TIME 引脚悬空（高阻态） | 4500 | 5000 | 5500 | ms |


Copyright © 2025 Texas Instruments Incorporated

$T_J$ = –40°C 至 150°C，$V_{VM}$ = 5V 至 35V（除非另有说明）。典型限值适用于 $T_A$ = 25°C、$V_{VM}$ = 24V

| 参数 | | 测试条件 | 最小值 | 典型值 | 最大值 | 单位 |
|---|---|---|---|---|---|---|
| $t_{MTR_LOCK_RETRY}$ | 电机锁定重试时间（SPI 器件） | MOTOR_LOCK_RETRY = 0b | 450 | 500 | 550 | ms |
| | | MOTOR_LOCK_RETRY = 1b | 4500 | 5000 | 5500 | ms |
| $t_{MTR_LOCK_RETRY}$ | 电机锁定重试时间（HW 器件） | | 450 | 500 | 550 | ms |
| $T_{OTW_LDO}$ | 热关断温度 | 芯片温度 ($T_J$) | 147 | 171 | 184 | °C |
| $T_{OTW_LDO_HYS}$ | 热关断迟滞 | 芯片温度 ($T_J$) | 15 | 20 | 25 | °C |
| $T_{OTW_FET}$ | 热警告温度 | 芯片温度 ($T_J$) | 132 | 145 | 158 | °C |
| $T_{OTW_FET_HYS}$ | 热警告迟滞 | 芯片温度 ($T_J$) | 15 | 20 | 25 | °C |
| $T_{TSD_FET}$ | 热关断温度 (FET) | 芯片温度 ($T_J$) | 150 | 165 | 178 | °C |
| $T_{TSD_FET_HYS}$ | 热关断迟滞 (FET) | 芯片温度 ($T_J$) | 17 | 18 | 19 | °C |

(1) 有效电容，包括由于直流偏置、温度、制造公差等引起的变化。

## 6.6 SPI 时序要求

| | | 最小值 | 标称值 | 最大值 | 单位 |
|---|---|---|---|---|---|
| $t_{READY}$ | 上电后 SPI 就绪 | | | 1 | ms |
| $t_{HI_nSCS}$ | nSCS 最短高电平时间 | 300 | | | ns |
| $t_{SU_nSCS}$ | nSCS 输入设置时间 | 25 | | | ns |
| $t_{HD_nSCS}$ | nSCS 输入保持时间 | 25 | | | ns |
| $t_{SCLK}$ | SCLK 最小周期 | 100 | | | ns |
| $t_{SCLKH}$ | SCLK 最短高电平时间 | 50 | | | ns |
| $t_{SCLKL}$ | SCLK 最短低电平时间 | 50 | | | ns |
| $t_{SU_SDI}$ | SDI 输入数据设置时间 | 25 | | | ns |
| $t_{HD_SDI}$ | SDI 输入数据保持时间 | 25 | | | ns |
| $t_{DLY_SDO}$ | SDO 输出数据延迟时间 | | | 30 | ns |
| $t_{EN_SDO}$ | SDO 启用延迟时间 | | | 50 | ns |
| $t_{DIS_SDO}$ | SDO 禁用延迟时间 | | | 50 | ns |

Copyright © 2025 Texas Instruments Incorporated

## 6.7 SPI 次级器件模式时序

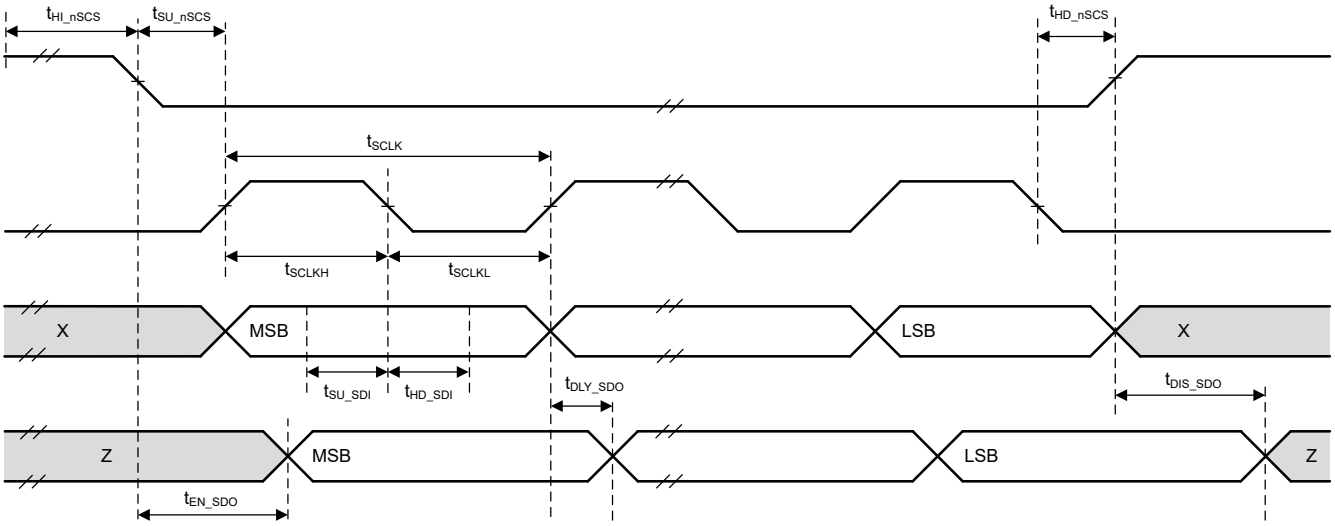



图 6-1. SPI 辅助器件模式时序图

## 6.8 典型特性

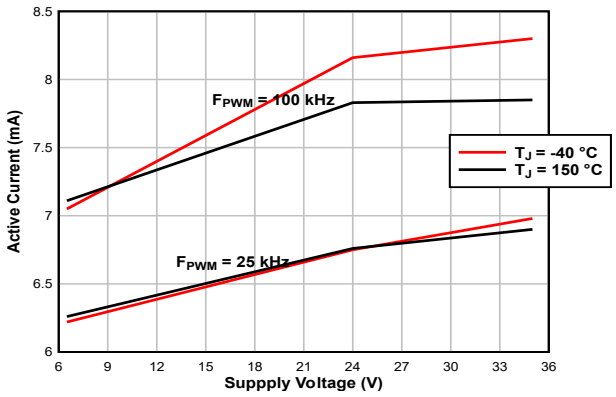



图 6-2. 电源电流与电源电压间的关系

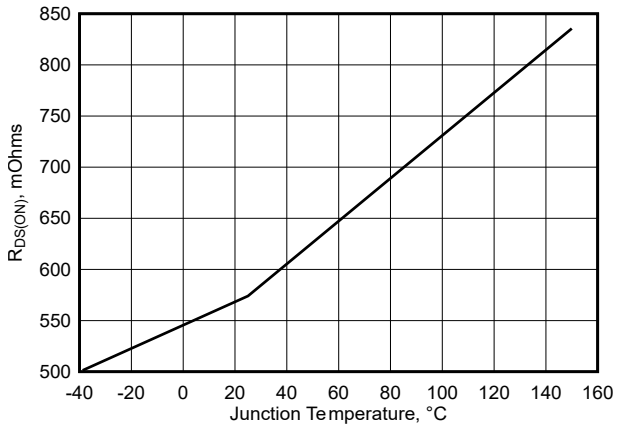



图 6-3. MOSFET 在温度范围内的 $R_{DS(ON)}$（高侧和低侧之和）


Copyright © 2025 Texas Instruments Incorporated

# 7 详细说明

## 7.1 概述

MCT8314Z 器件是一款集成式 575mΩ MOSFET（组合式高侧和低侧 MOSFET 的导通状态电阻）驱动器，适用于三相电机驱动应用。该器件通过集成三个半桥 MOSFET、栅极驱动器、一个电荷泵和一个用于外部负载的线性稳压器，降低了系统元件数量、成本和复杂性。标准的串行外设接口 (SPI) 提供了一种简单的方法，可通过外部控制器配置各种器件设置和读取故障诊断信息。或者，硬件接口 (H/W) 选项允许通过固定外部电阻器来配置常用的设置。

MCT8314Z 器件架构使用内部状态机来防止发生短路事件，并防止内部功率 MOSFET 发生 dv/dt 寄生导通。该器件还集成了一个三相含传感器梯形换向状态机，可使用模拟或数字霍尔传感器进行位置检测。

除了高度的器件集成之外，MCT8314Z 器件还提供广泛的集成保护功能。这些功能包括电源欠压锁定 (UVLO)、电荷泵欠压锁定 (CPUV)、过流保护 (OCP)、AVDD 欠压锁定 (AVDD_UV) 和过热关断（OTW 和 OTSD）。故障事件由 nFAULT 引脚指示，可在 SPI 器件版本的 SPI 寄存器中获得详细信息。

MCT8314ZZS 和 MCT8314ZZH 器件采用 0.4mm 引脚间距、WQFN 表面贴装封装。WQFN 封装尺寸为 3mm × 3mm。

Copyright © 2025 Texas Instruments Incorporated

## 7.2 功能方框图

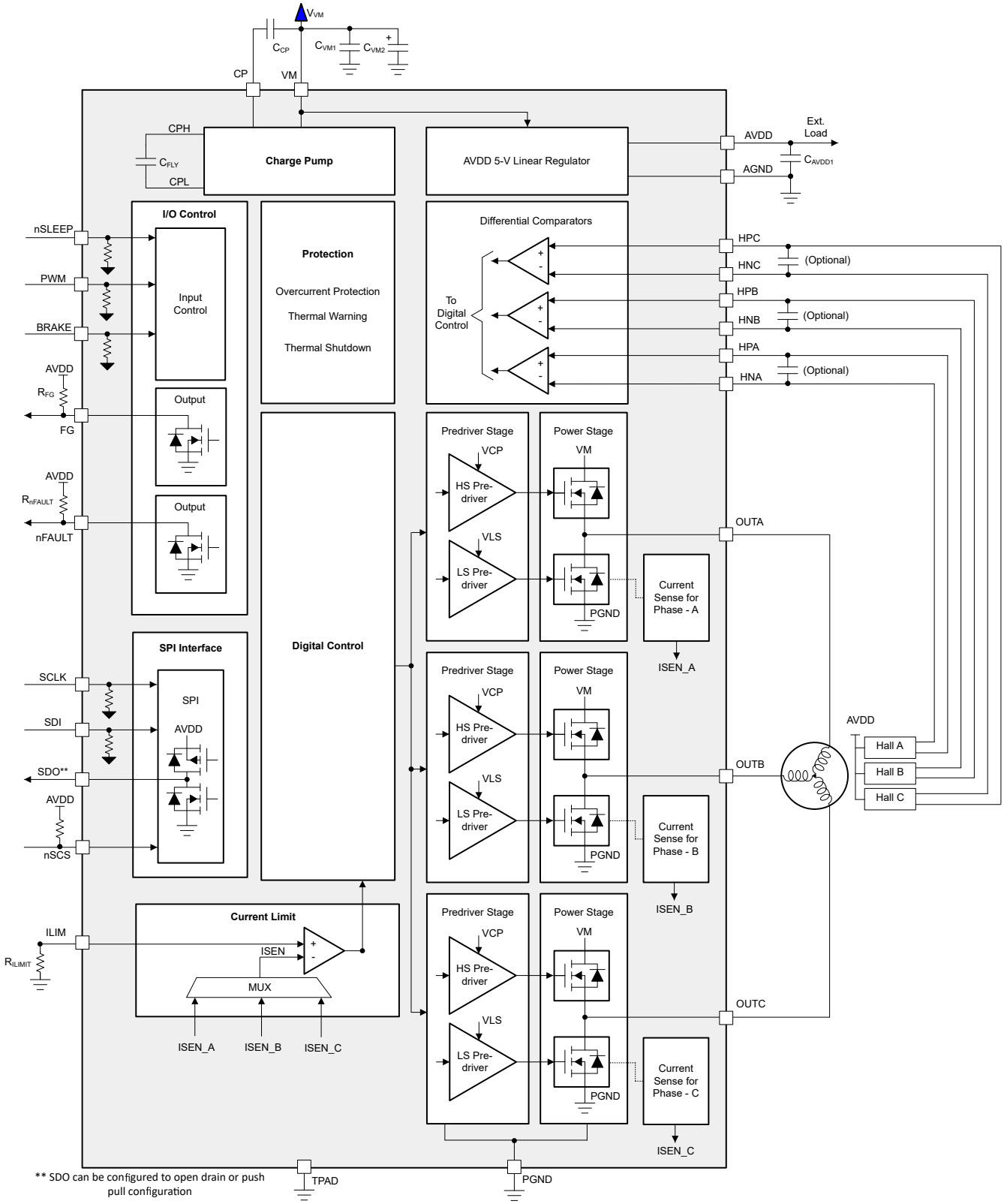



图 7-1. MCT8314ZS 方框图


Copyright © 2025 Texas Instruments Incorporated

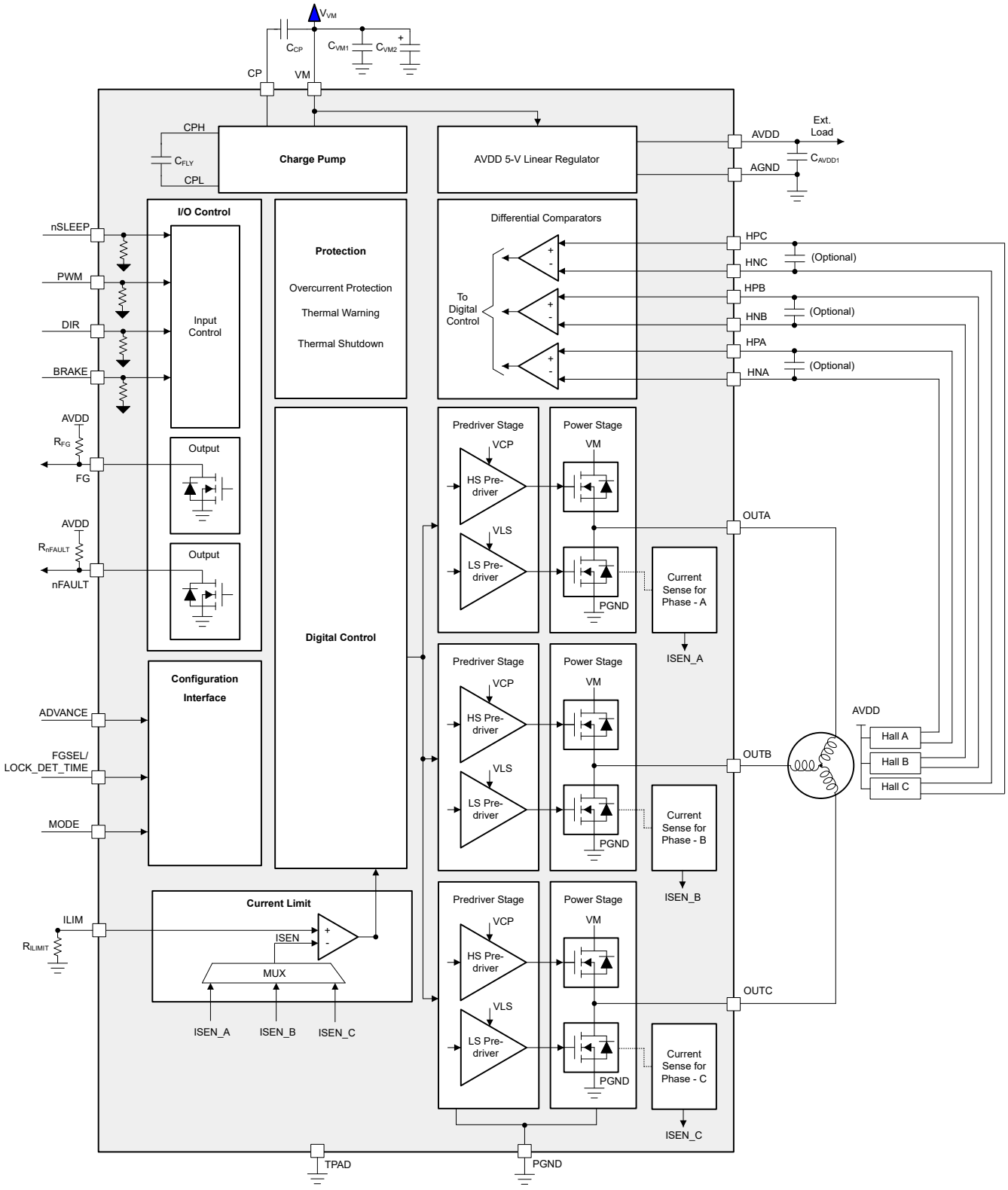



**图 7-2. MCT8314ZH 方框图**

## 7.3 特性说明

表 7-1 列出了驱动器的外部元件的建议值。

**表 7-1. MCT8314Z 外部元件**

| 元件 | 引脚 1 | 引脚 2 | 推荐 |
|---|---|---|---|
| $C_{VM1}$ | VM | PGND | X5R 或 X7R，0.1μF，TI 建议电容器的额定电压至少是器件正常工作电压的两倍 |
| $C_{VM2}$ | VM | PGND | ≥ 10μF，TI 建议电容器的额定电压至少是器件正常工作电压的两倍 |
| $C_{CP}$ | CP | VM | X5R 或 X7R、≥16V、0.22μF 电容器 |
| $C_{AVDD}$ | AVDD | AGND | X5R 或 X7R、2.2μF、≥16V 电容器。为了让 AVDD 准确调节输出电压，电容器应在工作温度范围内在 5V 下具有 0.7μF 至 2.64μF 的有效电容。 |
| $R_{nFAULT}$ | VCC | nFAULT | 5.1kΩ 上拉电阻器 |
| $R_{FG}$ | VCC | FG | 5.1kΩ 上拉电阻器 |
| $R_{SDO}$ | VCC | SDO | 5.1kΩ 上拉电阻器 |
| $R_{MODE}$ | 模式 | AGND 或 AVDD | MCT8314ZH 硬件接口 |
| $R_{ADVANCE}$ | ADVANCE | AGND 或 AVDD | MCT8314ZH 硬件接口 |
| $R_{LOCK}$ | FGSEL/LOCK_DET_TIME | AGND | MCT8314ZH 硬件接口 |
| $R_{ILIMIT}$ | ILIM | AGND | 请参阅节 7.3.11 |

### *7.3.1 输出级*

MCT8314Z 器件包含一个以三相桥配置连接的集成式 575mΩ（组合式高侧和低侧 FET 的导通状态电阻）NMOS FET。电荷泵加倍器可在宽工作电压范围内为高侧 NMOS FET 提供适合的栅极偏置电压，此外还提供 100% 占空比支持。内部线性稳压器为低侧 MOSFET 提供栅极偏置电压。该器件具有三个 VM 电机电源引脚，这些引脚连接到电机电源电压。

### *7.3.2 PWM 控制模式（1x PWM 模式）*

MCT8314Z 系列器件提供七种不同的控制模式，来支持各种换向和控制方法。MCT8314Z 器件提供 1x PWM 控制模式，以梯形电流控制模式驱动 BLDC 电机。MCT8314Z 器件使用内部存储的 6 步阻塞换向表。该功能允许使用来自简单控制器的单个 PWM 控制三相 BLDC 电机。该 PWM 施加在 PWM 引脚上，可确定半桥的输出频率和占空比。

MCT8314Z 系列器件通过更改模式输入设置来支持模拟和数字霍尔输入。差分霍尔输入应连接到 HPx 和 HNx 引脚（请参阅图 7-3）。数字霍尔输入应连接到 HPx 引脚，同时保持 HNx 引脚悬空（请参阅图 7-4）。

半桥输出状态由模拟模式下的 HPA、HNA、HPB、HNB、HPC 和 HNC 引脚以及数字模式下的 HPA、HPB、HPC 引脚管理，这些引脚用作状态逻辑输入。状态输入是 BLDC 电机的位置反馈。1x PWM 模式通常以同步整流（低侧 MOSFET 再循环）运行；但是，可以将该模式配置为使用异步整流（MOSFET 体二极管续流），如表 7-2 所示。


Copyright © 2025 Texas Instruments Incorporated

**表 7-2. PWM 模式配置**

| MODE 类型 | MODE 引脚（硬件型号） | 霍尔配置 | 调制 | ASR 配置 | ASR 模式 |
|---|---|---|---|---|---|
| 模式 1 | 连接到 AGND | 模拟霍尔输入 | 异步 | EN_ASR = 0 | ASR 已禁用 |
| 模式 2 | 通过 $R_{MODE1}$ 连接到 AGND | 数字霍尔输入 | | | |
| 模式 3 | 通过 $R_{MODE2}$ 连接到 AGND | 模拟霍尔输入 | 同步 | | |
| 模式 4 | 高阻态 | 数字霍尔输入 | | | |
| 模式 5 | 通过 $R_{MODE2}$ 连接到 AVDD | 模拟霍尔输入 | | EN_ASR = 1 | 启用 ASR |
| 模式 6 | 通过 $R_{MODE1}$ 连接到 AVDD | 数字霍尔输入 | | | |
| 模式 7 | 连接到 AVDD | | | | |

**备注**

德州仪器 (TI) 不建议在功率 MOSFET 运行期间更改 MODE 引脚或 PWM_MODE 寄存器。在更改 MODE 引脚或 PWM_MODE 寄存器之前，将 PWM 设置为低电平。

#### 7.3.2.1 模拟霍尔输入配置

图 7-3 展示了模拟霍尔输入与驱动器的连接。模拟霍尔元件被馈送到霍尔比较器，其中过零用于生成换向逻辑。

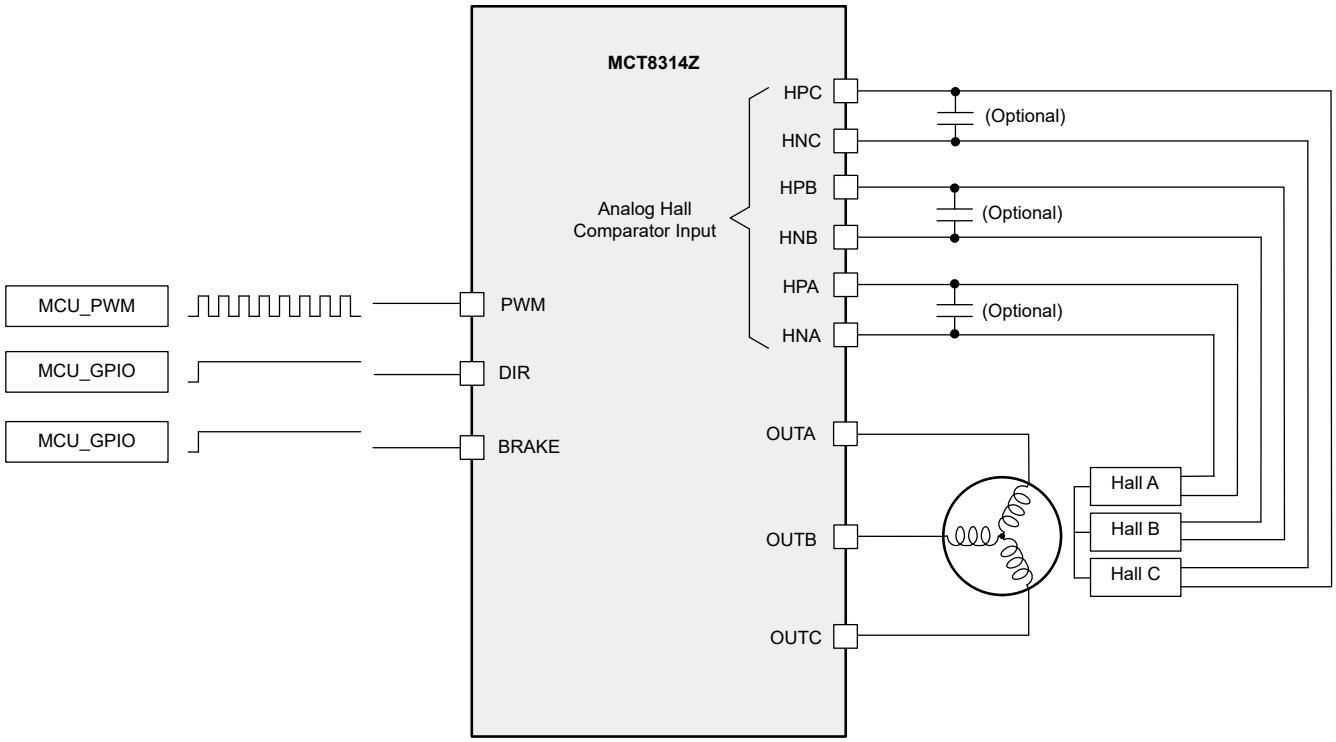



**图 7-3. 具有模拟霍尔输入的 1x PWM 模式**

#### 7.3.2.2 数字霍尔输入配置

图 7-4 展示了数字霍尔输入与驱动器的连接。

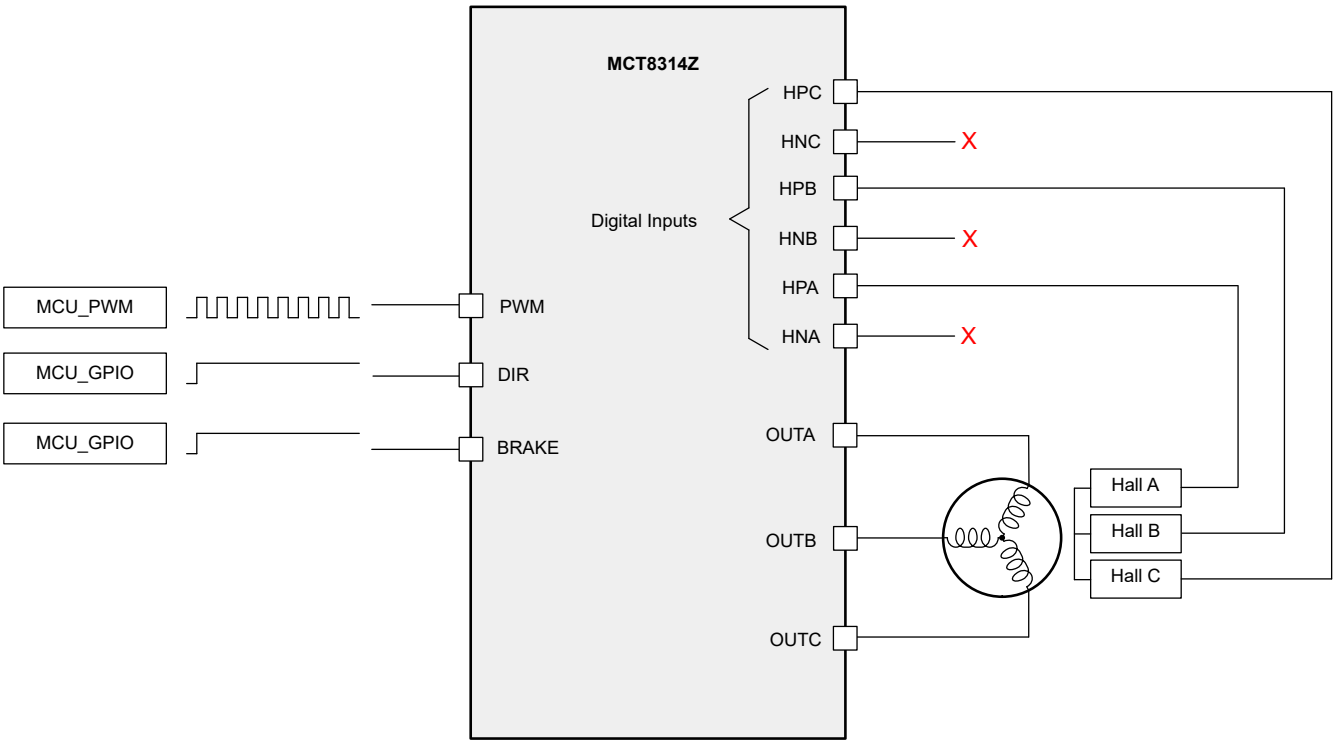



**图 7-4. 具有数字霍尔输入的 1x PWM 模式**

#### 7.3.2.3 异步调制

DIR 引脚以顺时针或逆时针方向控制 BLDC 电机的方向。如果不需要该功能，请将 DIR 引脚保持在低电平。

BRAKE 输入通过在其被拉至高电平时关断所有高侧 MOSFET 并开启所有低侧 MOSFET 来停止电机。该制动器不受其他输入引脚状态的影响。如果不需要该功能，请将 BRAKE 引脚保持在低电平。

表 7-3 展示了 1x PWM 模式下的异步调制配置。

**表 7-3. 异步调制**

| 霍尔输入 | | | | | | | 驱动器输出 | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 状态 | DIR = 0 | | | DIR = 1 | | | A 相 | | B 相 | | C 相 | | 说明 |
| | HALL_A /HPA | HALL_B /HPB | HALL_C /HPC | HALL_A /HPA | HALL_B /HPB | HALL_C /HPC | 高侧 | 低侧 | 高侧 | 低侧 | 高侧 | 低侧 | |
| 停止 | 0 | 0 | 0 | 0 | 0 | 0 | L | L | L | L | L | L | 停止 |
| | 1 | 1 | 1 | 1 | 1 | 1 | | | | | | | |
| 1 | 1 | 1 | 0 | 0 | 0 | 1 | L | L | PWM | L | L | H | B → C |
| 2 | 1 | 0 | 0 | 0 | 1 | 1 | PWM | L | L | L | L | H | A → C |
| 3 | 1 | 0 | 1 | 0 | 1 | 0 | PWM | L | L | H | L | L | A → B |
| 4 | 0 | 0 | 1 | 1 | 1 | 0 | L | L | L | H | PWM | L | C → B |
| 5 | 0 | 1 | 1 | 1 | 0 | 0 | L | H | L | L | PWM | L | C → A |
| 6 | 0 | 1 | 0 | 1 | 0 | 1 | L | H | PWM | L | L | L | B → A |


Copyright © 2025 Texas Instruments Incorporated

#### 7.3.2.4 同步调制

表 7-4 展示了 1x PWM 模式下的同步调制配置。

**表 7-4. 同步调制**

| 霍尔输入 | | | | | | | 驱动器输出 | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| 状态 | DIR = 0 | | | DIR = 1 | | | A 相 | | B 相 | | C 相 | | 说明 |
| | HALL_A /HPA | HALL_B /HPB | HALL_C /HPC | HALL_A /HPA | HALL_B /HPB | HALL_C /HPC | 高侧 | 低侧 | 高侧 | 低侧 | 高侧 | 低侧 | |
| 停止 | 0 | 0 | 0 | 0 | 0 | 0 | L | L | L | L | L | L | 停止 |
| | 1 | 1 | 1 | 1 | 1 | 1 | | | | | | | |
| 1 | 1 | 1 | 0 | 0 | 0 | 1 | L | L | PWM | !PWM | L | H | B → C |
| 2 | 1 | 0 | 0 | 0 | 1 | 1 | PWM | !PWM | L | L | L | H | A → C |
| 3 | 1 | 0 | 1 | 0 | 1 | 0 | PWM | !PWM | L | H | L | L | A → B |
| 4 | 0 | 0 | 1 | 1 | 1 | 0 | L | L | L | H | PWM | !PWM | C → B |
| 5 | 0 | 1 | 1 | 1 | 0 | 0 | L | H | L | L | PWM | !PWM | C → A |
| 6 | 0 | 1 | 0 | 1 | 0 | 1 | L | H | PWM | !PWM | L | L | B → A |

#### 7.3.2.5 电机运行

图 7-5 和图 7-6 展示了方向设置 DIR ( 位或引脚 ) 分别为 0 和 1 时的 BLDC 电机换向。

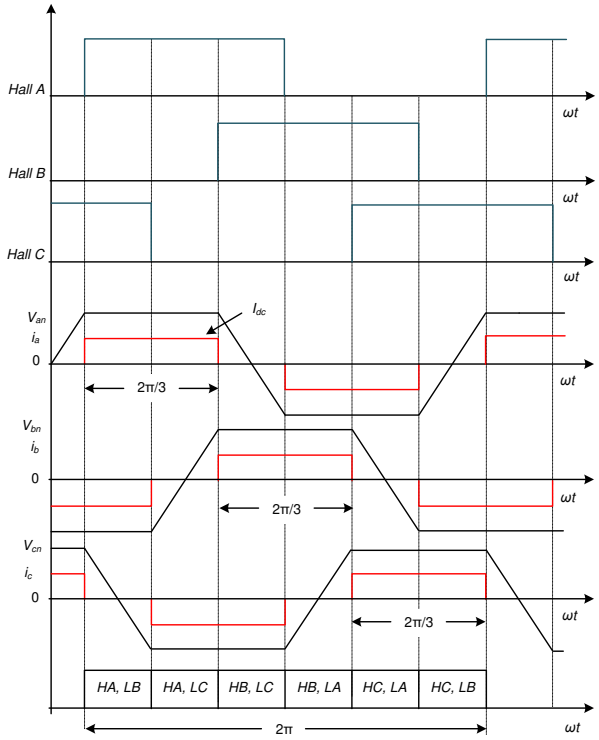



**图 7-5. DIR = 0 时的 BLDC 电机换向**

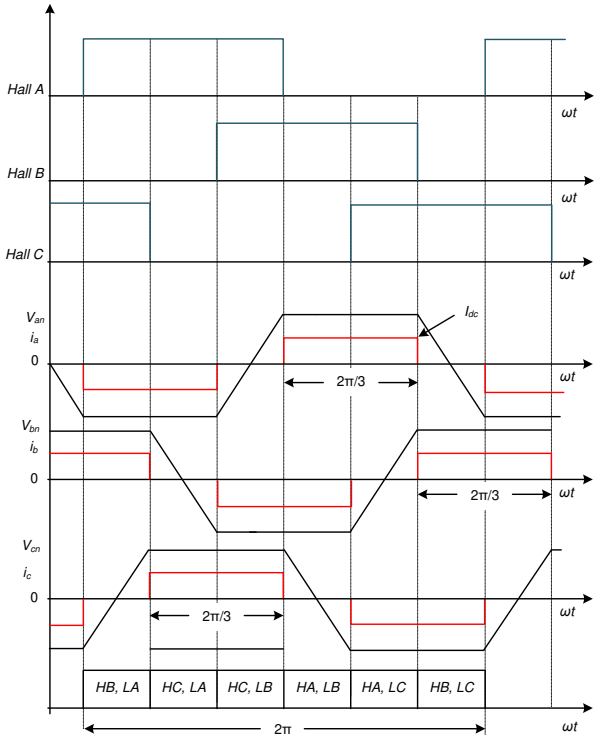



**图 7-6. DIR = 1 时的 BLDC 电机换向**

**备注**

德州仪器 (TI) 建议在电机静止时改变电机方向 (DIR)。

### 7.3.3 器件接口模式

MCT8314Z 系列器件支持两种不同的接口模式（SPI 和硬件），使终端应用的设计更灵活或简单（图 7-7 和图 7-8）。这两种接口模式共享相同的四个引脚，允许不同的版本之间实现引脚对引脚兼容。这种兼容性让应用设计人员可以使用一个接口版本进行评估，然后只需对其设计进行极少修改即可切换到另一个版本。

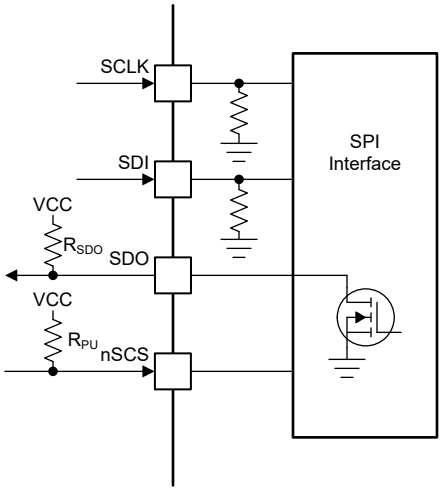



图 7-7. MCT8314ZZS SPI 接口

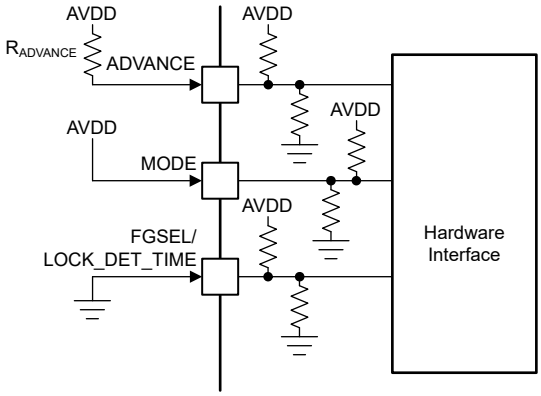



图 7-8. MCT8314ZZH 硬件接口

#### 7.3.3.1 串行外设接口 (SPI)

SPI 器件支持串行通信总线，使外部控制器能够与 MCT8314Z 之间进行数据的发送和接收。此型号使外部控制器可配置器件设置并读取详细的故障信息。该接口是一种使用 SCLK、SDI、SDO 和 nSCS 引脚的四线制接口，下面对此进行了说明：

- SCLK 引脚是一个输入引脚，它接受时钟信号以确定何时在 SDI 和 SDO 引脚上捕获和传播数据。
- SDI 引脚是数据输入引脚。
- SDO 引脚是数据输出引脚。SDO 引脚可以通过 SDO_MODE 配置为开漏或推挽。
- nSCS 引脚是片选输入引脚。该引脚上的逻辑低电平信号支持与 MCT8314Z 进行 SPI 通信。在该引脚上放置一个可选的上拉电阻器有助于避免在控制器或驱动器下电上电期间意外进行 SPI 通信。

更多有关 SPI 的信息，请参阅 *节 7.5*。

#### 7.3.3.2 硬件接口

硬件接口器件使用三个可通过电阻器配置的输入（代替 SPI 引脚），它们是 ADVANCE、MODE 和 FGSEL/LOCK_DET_TIME。此型号让应用设计人员可通过将引脚连接为逻辑高电平或逻辑低电平，或使用简单的上拉或下拉电阻，进行常用的器件设置配置。因此，外部控制器不再需要 SPI 总线。一般故障信息仍可通过 nFAULT 引脚获得。

- MODE 引脚可配置 PWM 控制模式。
- ADVANCE 引脚可配置输出相对于霍尔信号的切入角。
- FGSEL/LOCK_DET_TIME 引脚可配置电气频率生成输出模式和 $t_{MTR_LOCK}$。

更多有关硬件接口的信息，请参阅 *节 7.3.9* 部分。


Copyright © 2025 Texas Instruments Incorporated

### 7.3.4 AVDD 线性稳压器

MCT8314Z 系列器件中集成了一个 5V 线性稳压器，可供外部电路使用。AVDD 稳压器用于为器件的内部数字电路供电，此外，该稳压器还可以为低功耗 MCU 或其他支持低电流（高达 30mA）的电路提供电源电压。AVDD 稳压器的输出应在 AVDD 引脚附近旁路，通过一个 X5R 或 X7R、2.2μF、10V 陶瓷电容器直接连接回至相邻的 AGND 接地引脚。AVDD 标称空载输出电压为 5V。

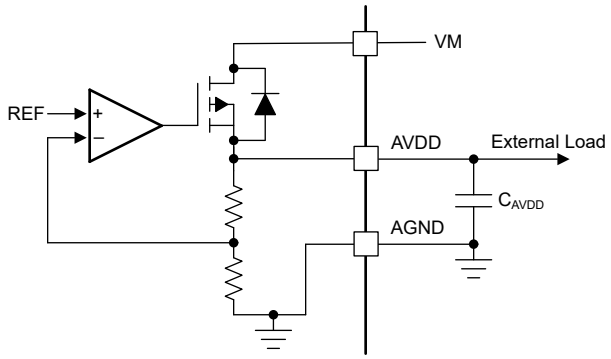



**图 7-9. AVDD 线性稳压器方框图**

可以使用方程式 1 来计算以 VM 作为电源的 AVDD 线性稳压器在器件中耗散的功率。

$$P = (V_{VM} - V_{AVDD}) \times I_{AVDD} \quad (1)$$

例如，当 $V_{VM}$ 为 24V 时，从 AVDD 汲取 20mA 的电流会导致方程式 2 所示的功率耗散。

$$P = (24V - 5V) \times 20mA = 380mW \quad (2)$$

Copyright © 2025 Texas Instruments Incorporated

### *7.3.5 电荷泵*

由于输出级使用 N 沟道 FET，因此该器件需要高于 VM 电源的栅极驱动电压才能完全增强高侧 FET。MCT8314Z 集成了一个电荷泵电路，可为此生成高于 VM 电源的电压。电荷泵需要一个外部电容器 $C_{CP}$ 才能运行。为 $C_{CP}$ 使用 X5R 或 X7R、220nF、16V 陶瓷电容器，并将其放置在 VM 和 CP 引脚附近。当 nSLEEP 为低电平时，电荷泵会关断。


Copyright © 2025 Texas Instruments Incorporated

### *7.3.6 压摆率*

每个半桥的转换率为 200V/μs。转换率根据 OUTx 引脚电压的上升时间和下降时间计算得出，如图 7-10 所示。

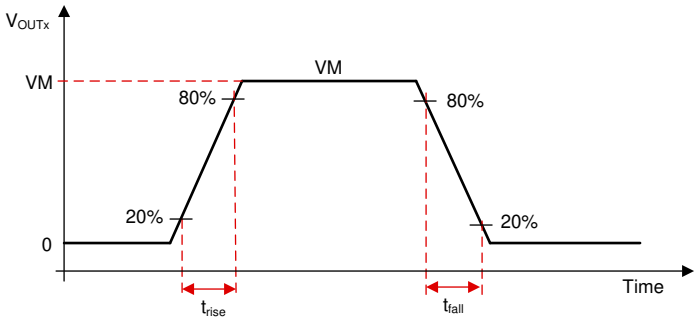



**图 7-10. 转换率时序**

### 7.3.7 跨导（死区时间）

该器件针对 MOSFET 的任何跨导提供全面保护。在半桥配置中，通过插入死区时间 ($t_{dead}$) 可确保高侧和低侧 MOSFET 的运行，从而避免任何击穿电流。这是通过检测高侧和低侧 MOSFET 的栅源电压 ($V_{GS}$) 并确保高侧 MOSFET 的 $V_{GS}$ 已达到低于关断电平，然后再打开同一半桥的低侧 MOSFET 来实现的，如图 7-11 和图 7-12 所示。

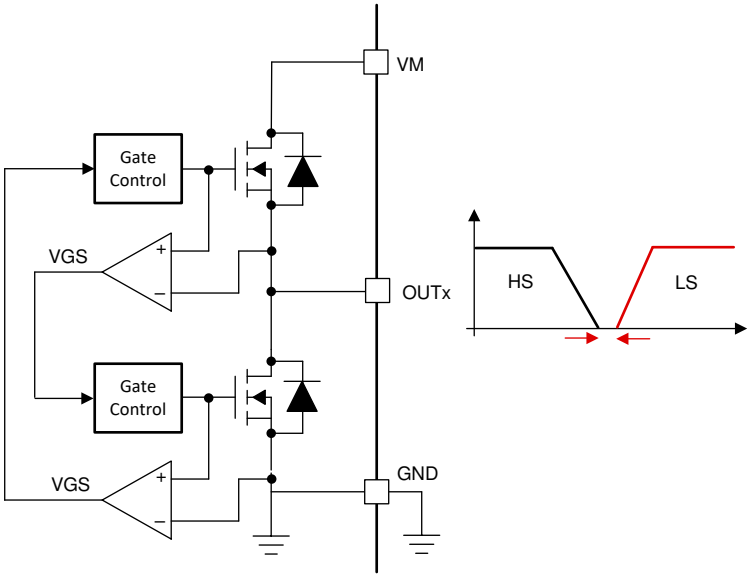



图 7-11. 跨导保护

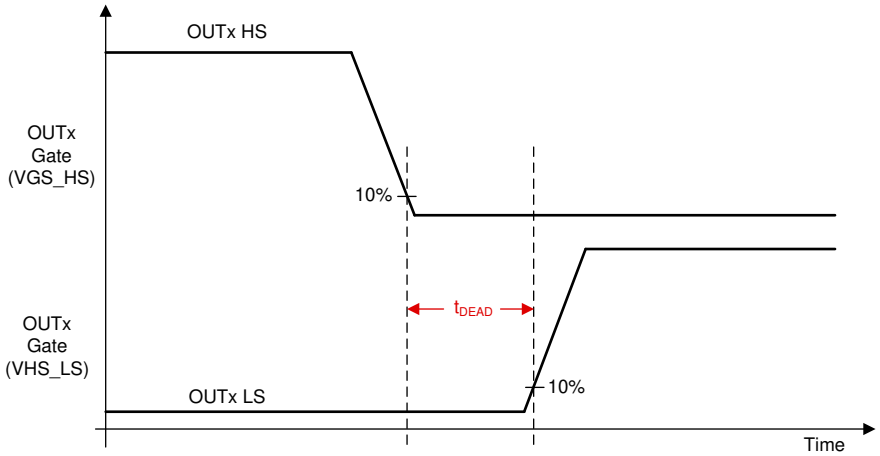



图 7-12. 死区时间


Copyright © 2025 Texas Instruments Incorporated

### 7.3.8 传播延迟

传播延迟时间 ($t_{pd}$) 是输入逻辑边沿与栅极驱动器电压变化之间的时间。该时间由三个部分组成，即数字输入抗尖峰脉冲器延迟、模拟驱动器和比较器延迟。

输入抗尖峰脉冲器可防止输入引脚上的高频噪声影响栅极驱动器的输出状态。为了支持多种控制模式，在输入命令通过器件传播时添加了一个较小的数字延迟。

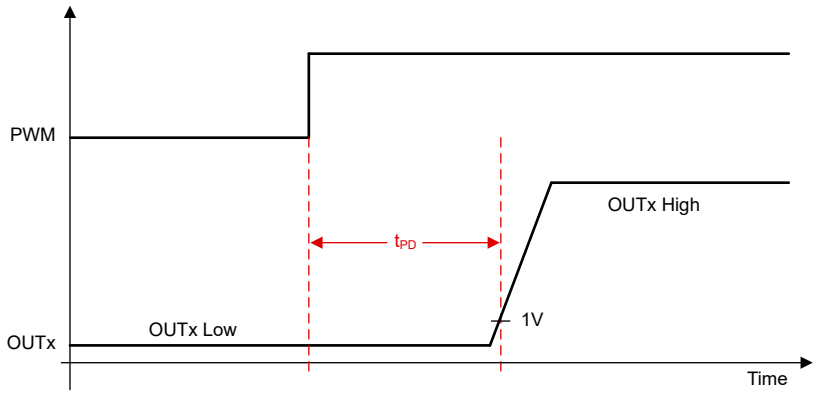



**图 7-13. 传播延迟时序**

### 7.3.9 引脚图

本节介绍所有数字输入和输出引脚的 I/O 结构。

#### 7.3.9.1 逻辑电平输入引脚（内部下拉）

图 7-14 展示了逻辑电平引脚的输入结构：BRAKE、DIR、nSLEEP、PWM、SCLK 和 SDI。输入可以由电压或外部电阻器驱动。建议在器件睡眠模式下将这些引脚置于低电平，以减少通过内部下拉电阻器的漏电流。

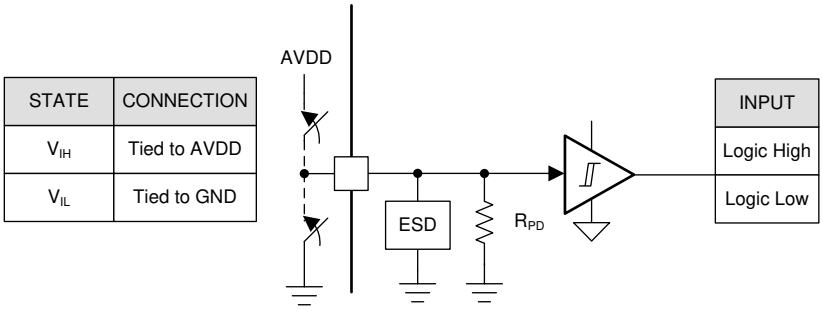



**图 7-14. 逻辑电平输入引脚结构**

#### 7.3.9.2 逻辑电平输入引脚（内部上拉）

图 7-15 展示了逻辑电平引脚 nSCS 的输入结构。输入可以由电压或外部电阻器驱动。

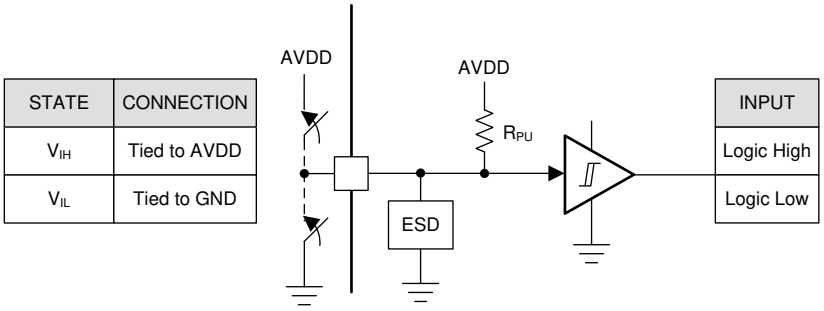



**图 7-15. 逻辑 nSCS**

#### 7.3.9.3 开漏引脚

图 7-16 展示了开漏模式下的开漏输出引脚、nFAULT、FG 和 SDO 的结构。开漏输出需要外部上拉电阻器正常运行。

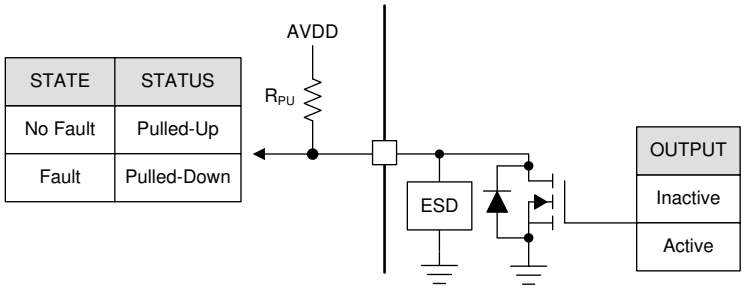



**图 7-16. 漏极开路**

#### 7.3.9.4 推挽引脚

图 7-17 展示了推挽模式下的 SDO 结构。

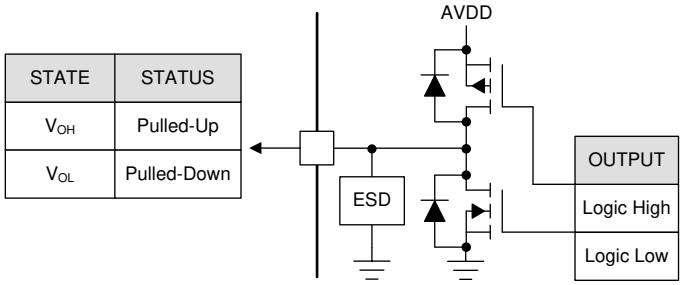



**图 7-17. 推挽**


Copyright © 2025 Texas Instruments Incorporated

#### 7.3.9.5 七电平输入引脚

图 7-18 展示了硬件接口器件上七电平输入引脚、ADVANCE 和 MODE 的结构。可以通过外部电阻器设置输入。

| STATE | RESISTANCE |
|---|---|
| $V_{L1}$ | Tied to AGND |
| $V_{L2}$ | 22 kΩ ± 5% to AGND |
| $V_{L3}$ | 100 kΩ ± 5% to AGND |
| $V_{L4}$ | Hi-Z (>2000 kΩ to AGND) |
| $V_{L5}$ | 100 kΩ ± 5% to AVDD |
| $V_{L6}$ | 22 kΩ ±5% to AVDD |
| $V_{L7}$ | Tied to AVDD |

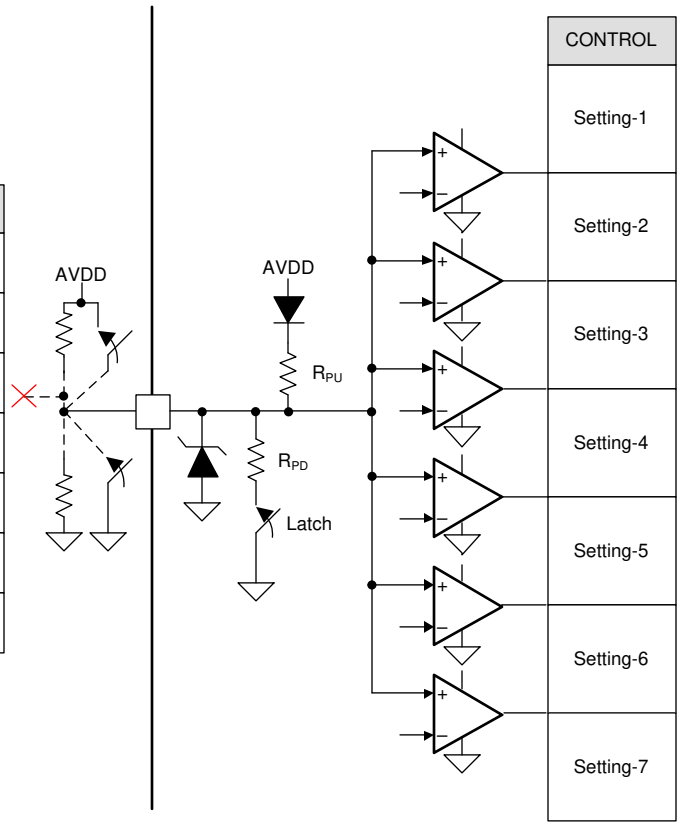



**图 7-18. 七电平输入引脚结构**

### *7.3.10 自动同步整流模式（ASR 模式）*

MCT8314Z 中的自动同步整流 (ASR) 模式可通过减少低侧 MOSFET 中的二极管导通损耗来降低功率损耗和热耗散。启用此功能后，无论器件调制设置如何，器件都会在 PWM 关断期间自动开启低侧 MOSFET。在 PWM 关断期间，如果电流降至 0A，该器件会自动禁用 MOSFET，以避免反电动势在电机绕组中产生负电流。这种负电流会在 BLDC 电机上产生负扭矩，并会降低低电感电机的性能。启用 ASR 模式时，会监测衰减期间的电流，并且一旦电流达到接近零，低侧 FET 便会关断。这节省了 BLDC 电机中建立的负电流，从而实现更好的噪声性能和更好的热管理。图 7-19 和图 7-20 将异步和同步 PWM 模式与 ASR 进行了比较。

Copyright © 2025 Texas Instruments Incorporated

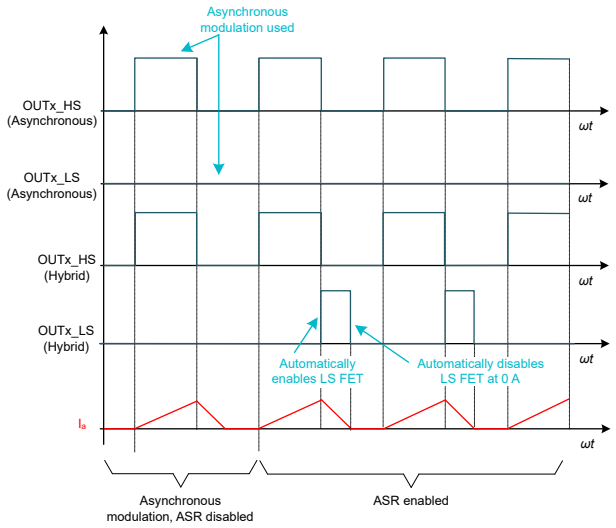



图 7-19. 比较异步调制和 ASR

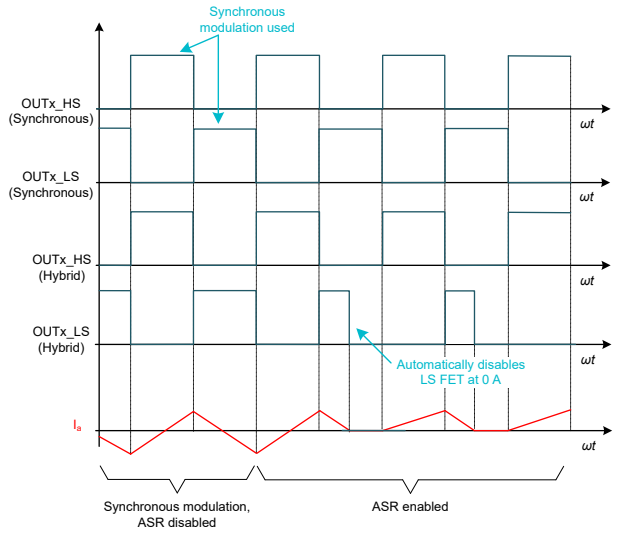



图 7-20. 比较同步调制和 ASR

MCT8314Z 器件包括一个低侧 (ASR_LS) 比较器，该比较器可检测每个低侧 MOSFET 上器件中的电流负流。ASR_LS 比较器将检测 FET 输出与接地 (0V) 阈值进行比较。当电流从 PGND 流向 OUTx 时，ASR_LS 比较器跳闸。该比较器为 ASR 功能的运行提供基准点。

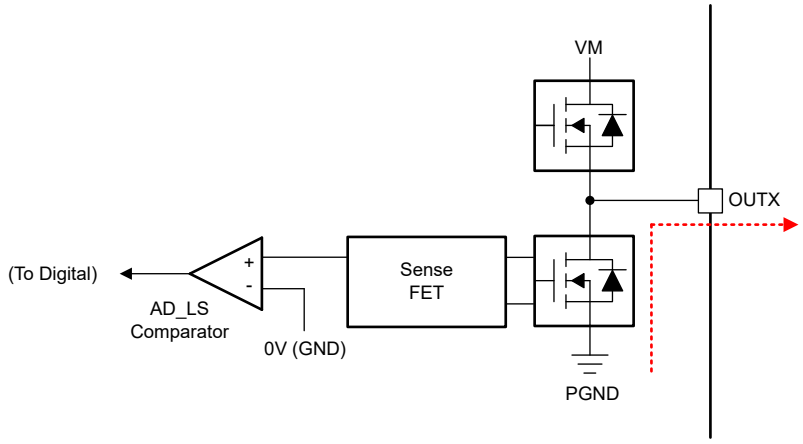



图 7-21. ASR 运行

在 SPI 器件型号中，EN_ASR 位可配置主动消磁。在硬件型号中，MODE 引脚可配置主动消磁，如表 7-5 所示。

表 7-5. PWM_MODE 配置

| MODE 类型 | MODE 引脚（硬件型号） | 霍尔配置 | 调制 | ASR 配置 | ASR 模式 |
|---|---|---|---|---|---|
| 模式 1 | 连接到 AGND | 模拟霍尔输入 | 异步 | EN_ASR = 0 | ASR 已禁用 |
| 模式 2 | 通过 $R_{MODE1}$ 连接到 AGND | 数字霍尔输入 | | | |
| 模式 3 | 通过 $R_{MODE2}$ 连接到 AGND | 模拟霍尔输入 | 同步 | | |
| 模式 4 | 高阻态 | 数字霍尔输入 | | | |
| 模式 5 | 通过 $R_{MODE2}$ 连接到 AVDD | 模拟霍尔输入 | | EN_ASR = 1 | 启用 ASR |
| 模式 6 | 通过 $R_{MODE1}$ 连接到 AVDD | 数字霍尔输入 | | | |
| 模式 7 | 连接到 AVDD | | | | |


Copyright © 2025 Texas Instruments Incorporated

该器件不支持通过高侧 MOSFET 进行智能整流。返回到 VM 的电流将流过高侧体二极管。

Copyright © 2025 Texas Instruments Incorporated

### 7.3.11 逐周期电流限制

如果流经低侧 MOSFET 的电流超过 $I_{LIMIT}$ 电流，电流限制电路将激活。在电机启动、高扭矩事件或失速情况下可能会产生大电流。限流电路在三相的低侧功率 FET 上使用内部检测 FET。图 7-22 展示了电流限制电路的实现方式。ILIM 引脚通过将 $R_{LIMIT}$ 从 ILIM 连接到 AGND 来设置 $I_{LIMIT}$。方程式 3 会计算目标 $I_{LIMIT}$ 阈值所需的电阻值，单位为欧姆。

$$R_{LIMIT} = 9000/I_{LIMIT} \quad (3)$$

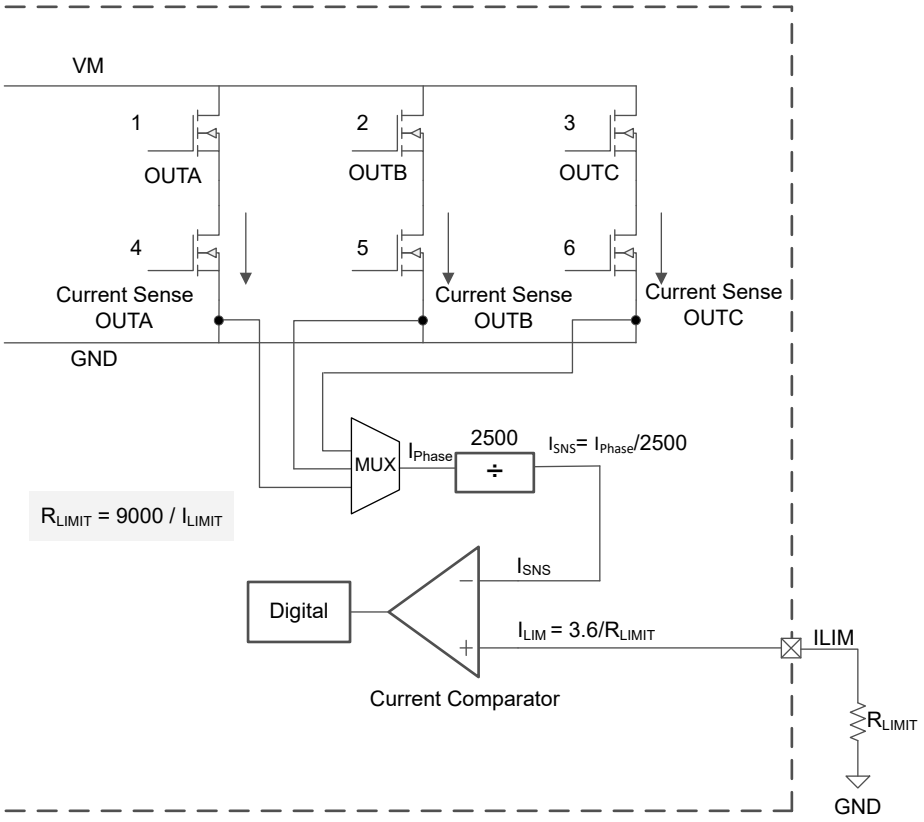



**图 7-22. 电流限制实现**

当电流限制激活时，高侧 FET 将禁用，直到下一个 PWM 周期开始，如图 7-23 所示。通过配置 SPI 器件型号中的 ILIM_RECIR 位，低侧 FET 可以在制动模式或滑行（高阻态）模式下运行。在硬件器件中，当限流触发时，该器件在制动模式下运行。


Copyright © 2025 Texas Instruments Incorporated

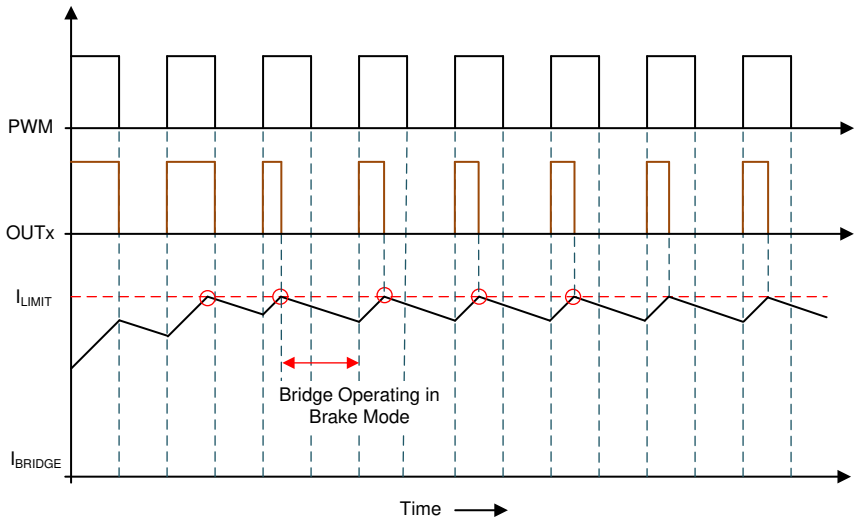



**图 7-23. 逐周期电流限制运行**

当电流限制在同步整流模式下激活时，电流通过低侧 FET 再循环，而高侧 FET 被禁用，如图 7-24 所示。当电流限制在异步整流模式下激活时，电流通过低侧 FET 的体二极管再循环，而高侧 FET 被禁用，如图 7-25 所示。

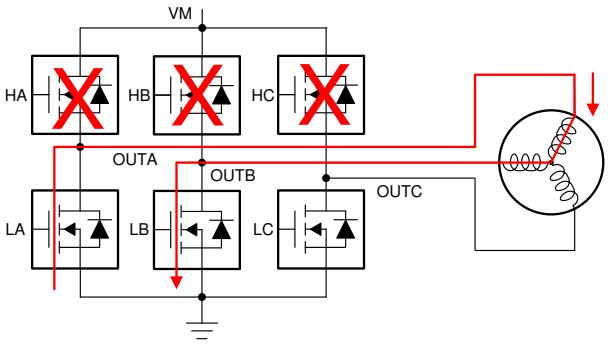



**图 7-24. 制动状态**

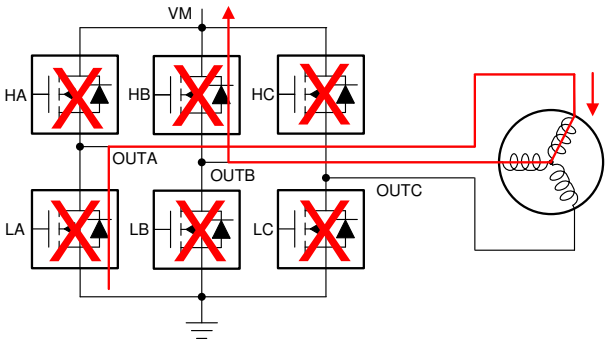



**图 7-25. 滑行状态**

**备注**

PWM 信号变为活动状态一小段消隐时间后，电流限制电路被立即忽略，以防止电流限制电路发生错误触发。

**备注**

在制动运行期间，大电流会流过低侧 FET，最终会触发过流保护电路。这允许高侧 FET 的体二极管传导制动能量并将其泵送到 VM 电源轨。

Copyright © 2025 Texas Instruments Incorporated

#### 7.3.11.1 具有 100% 占空比输入的逐周期电流限制

如果对 PWM 输入施加 100% 占空比，则没有边沿可用于重新开启高侧 FET。为了克服此问题，MCT8314Z 具有内置内部 PWM 时钟，当高侧 FET 在超过 $I_{LIMIT}$ 阈值后被禁用时，该时钟用于重新开启高侧 FET。在 SPI 型号 MCT8314Z 中，可以通过 PWM_100_DUTY_SEL 将此内部 PWM 时钟配置为 20kHz 或 40kHz。在硬件型号 MCT8314Z 中，PWM 内部时钟设置为 20kHz。图 7-26 展示了具有 100% 占空比的运行。

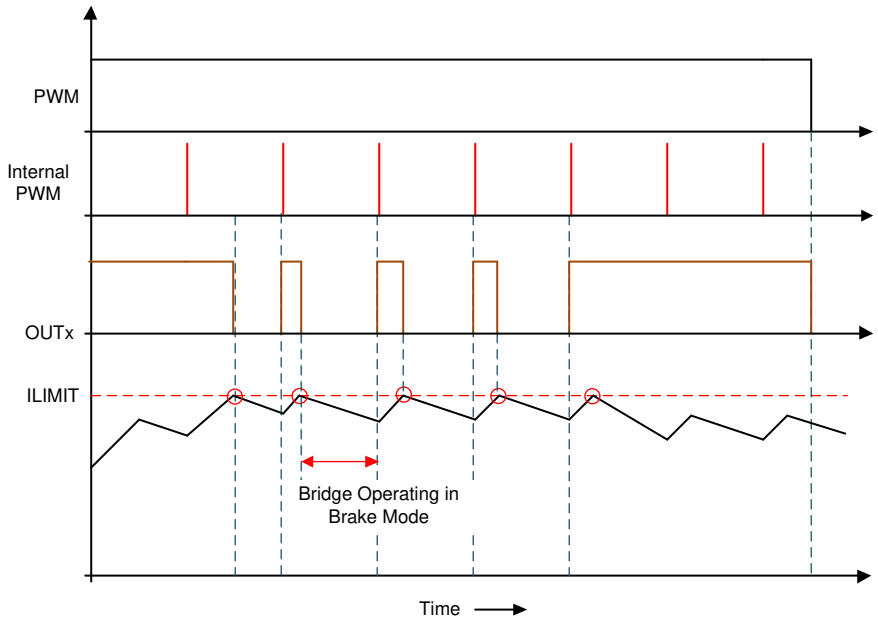



**图 7-26. 具有 100% PWM 占空比的逐周期电流限制运行**


Copyright © 2025 Texas Instruments Incorporated

### 7.3.12 霍尔比较器（模拟霍尔输入）

提供了三个比较器来处理来自霍尔效应传感器的原始信号，以使电机换向。霍尔比较器可检测差分输入的过零并将信息传递到数字逻辑。霍尔比较器具有迟滞，其检测阈值集中在 0V。迟滞的定义如图 7-27 所示。

除了迟滞之外，霍尔输入通过电路进行抗尖峰脉冲，该电路在检测到有效转换后将任何额外的霍尔转换忽略一段时间 ($t_{HDG}$)。将这些转换忽略时间 ($t_{HDG}$) 可防止 PWM 噪声耦合到霍尔输入中，从而避免导致错误换向。

如果仍有过多的噪声耦合到霍尔比较器输入中，则可能需要在霍尔比较器的正输入和负输入之间添加电容器。霍尔输入端的 ESD 保护电路实现了一个连接到 AVDD 引脚的二极管。由于该二极管，霍尔输入端的电压不应超过 AVDD 电压。

由于 AVDD 引脚在睡眠模式下会被禁用（nSLEEP 未激活），因此在睡眠模式下不应由外部电压驱动霍尔输入。如果霍尔传感器由外部供电，则应在 MCT8314Z 器件置于睡眠模式时禁用霍尔传感器的电源。此外，霍尔传感器的电源应在启用电机后上电，否则无效的霍尔状态可能会导致电机运行延迟。

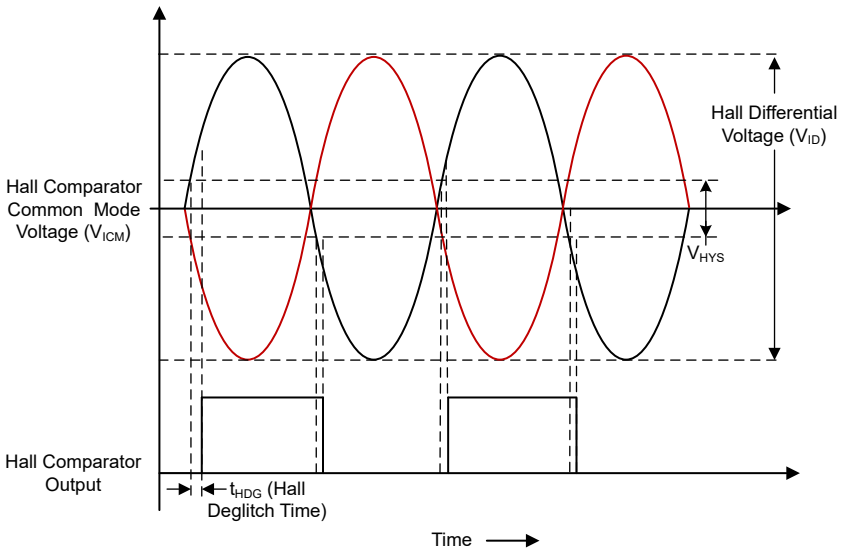



**图 7-27. 霍尔比较器运行**

### 7.3.13 超前角

MCT8314Z 具有器件超前角特性，可根据 ADVANCE 引脚（在硬件器件型号中）或 ADVANCE 位（在 SPI 器件型号中）上的电压，将换向提前一个指定电角。图 7-28 展示了超前角特性的运行。

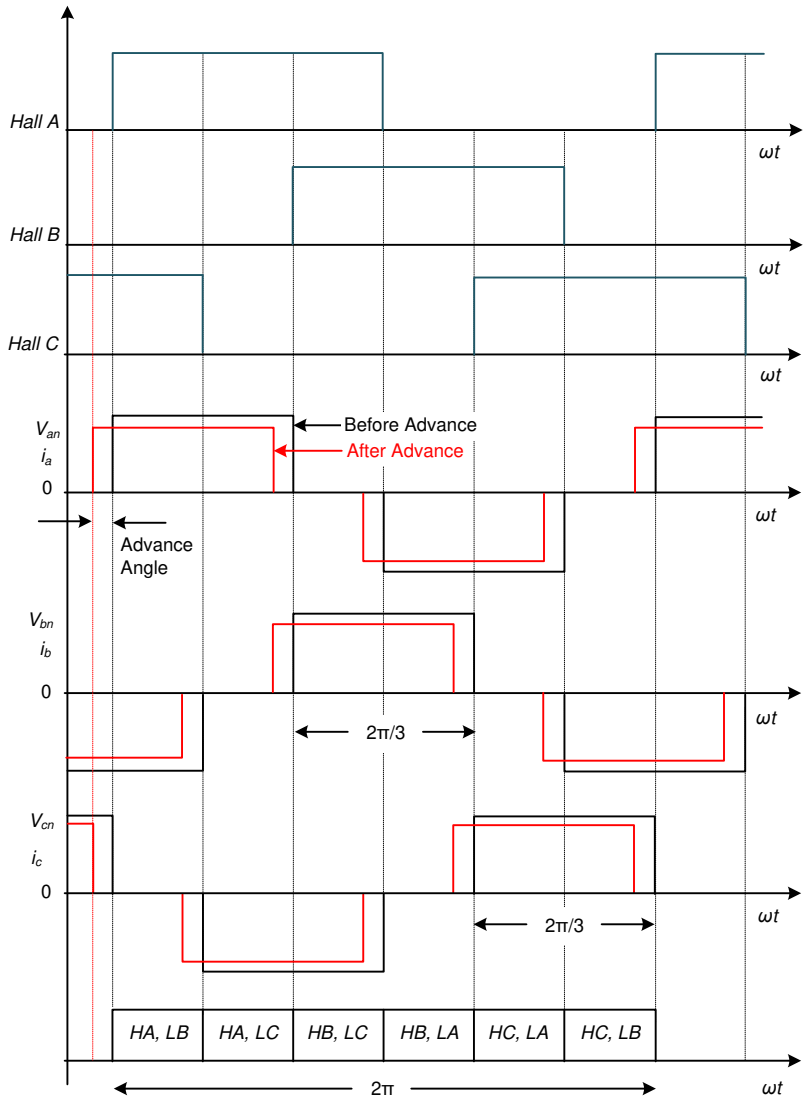



**图 7-28. 超前角**


Copyright © 2025 Texas Instruments Incorporated

### 7.3.14 FG 信号

MCT8314Z 器件还具有一个开漏 FG 信号，可用于 BLDC 电机的闭环速度控制。该信号包含全部三个霍尔元件输入的信息，如节 7.3.14 所示。在 MCT8314ZS（SPI 型号）中，FG 可以配置为不同的霍尔信号分频因子，如节 7.3.14 所示。在 MCT8314ZH（硬件型号）中，FGSEL/LOCK_DET_TIME 引脚在 3 倍 (FGOUT_SEL = 00b) 或 1 倍 (FGOUT_SEL = 01b) 换向频率之间选择，如表 7-6 所示。

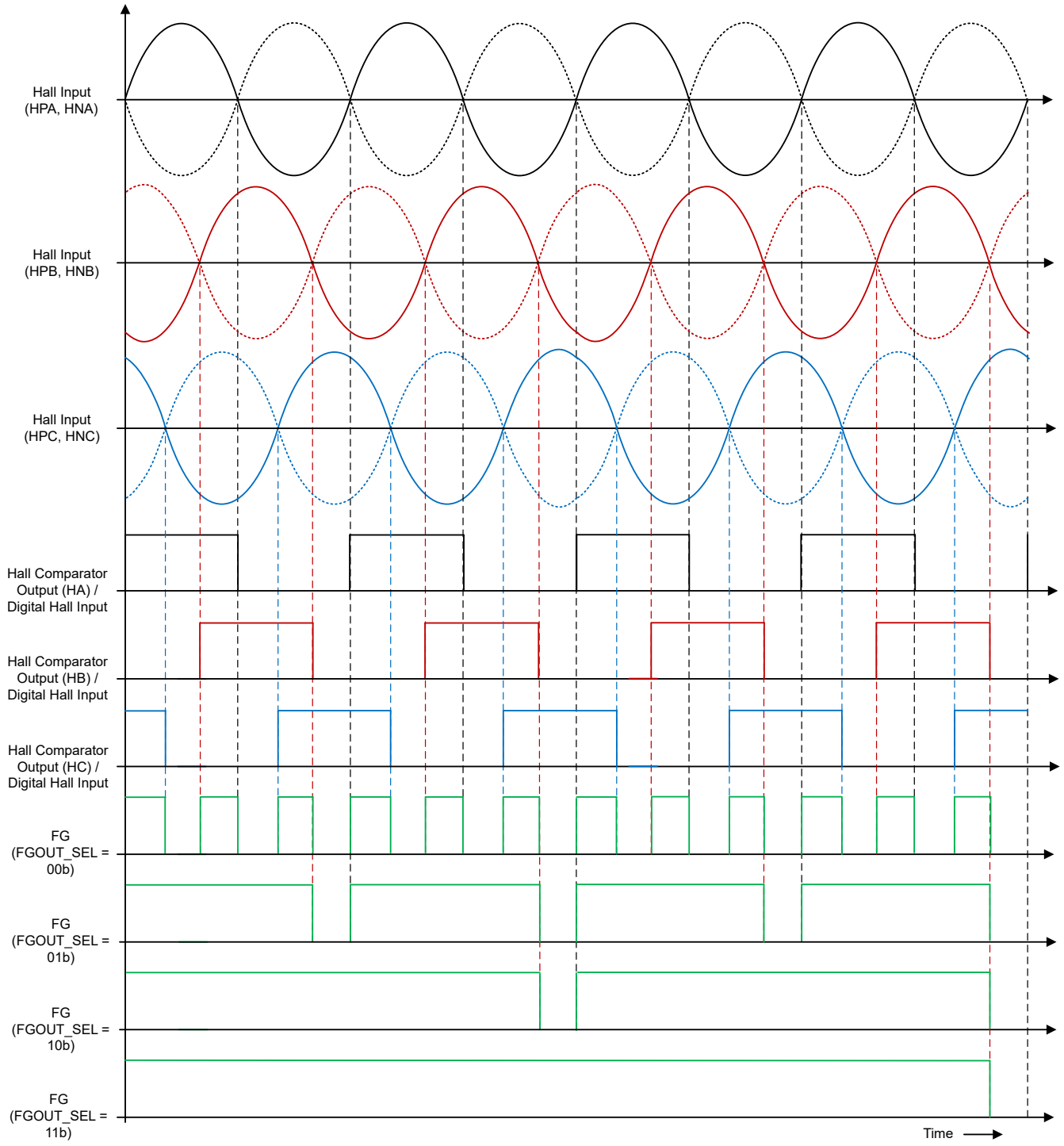



图 7-29. FG 信号

Copyright © 2025 Texas Instruments Incorporated

表 7-6. MCT8314Z 的 FG_SEL

| 设置 | FGSEL/LOCK_DET_TIME 引脚 ( 硬件型号 ) | FG 输出换向频率 | $t_{MTR_LOCK}$ |
|---|---|---|---|
| 设置 1 | 连接到 AGND | 3x 换向频率 (FGOUT_SEL = 00b) | 300ms |
| 设置 2 | 通过 $R_{MODE1}$ 连接到 AGND | | 500ms |
| 设置 3 | 通过 $R_{MODE2}$ 连接到 AGND | | 1000ms |
| 设置 4 | 高阻态 | | 5000ms |
| 设置 5 | 通过 $R_{MODE2}$ 连接到 AVDD | 1x 换向频率 (FGOUT_SEL = 01b) | 300ms |
| 设置 6 | 通过 $R_{MODE1}$ 连接到 AVDD | | 500ms |
| 设置 7 | 连接到 AVDD | | 1000ms |


Copyright © 2025 Texas Instruments Incorporated

### 7.3.15 保护功能

MCT8314Z 系列器件可防止 VM 欠压、电荷泵欠压和过流事件。表 7-7 总结了各种故障详细信息。

**表 7-7. 故障操作和响应**

| 故障 | 条件 | 配置 | 报告 | H 桥 | 逻辑器件 | 恢复 |
|---|---|---|---|---|---|---|
| VM 欠压 (NPOR) | $V_{VM} < V_{UVLO}$ | 器件默认值 | — | 高阻态 | 禁用 | 自动：<br>$V_{VM} > V_{UVLO_R}$<br>CLR_FLT，nSLEEP 复位脉冲（NPOR 位） |
| AVDD 欠压 (NPOR) | $V_{AVDD} < V_{AVDD_UV}$ | 器件默认值 | — | 高阻态 | 禁用 | 自动：<br>$V_{AVDD} > V_{AVDD_UV_R}$<br>CLR_FLT，nSLEEP 复位脉冲（NPOR 位） |
| 电荷泵欠压 (VCP_UV) | $V_{CP} < V_{CPUV}$ | 器件默认值 | nFAULT | 高阻态 | 有效 | 自动：<br>$V_{VCP} > V_{CPUV}$<br>CLR_FLT，nSLEEP 复位脉冲（VCP_UV 位） |
| 过压保护 (OVP) | $V_{VM} > V_{OVP}$ | OVP_EN = 0b | 无 | 有效 | 有效 | 无操作（OVP 禁用） |
| | | OVP_EN = 1b，硬件器件默认值 | 故障 | 高阻态 | 有效 | 自动：<br>$V_{VM} < V_{OVP}$<br>CLR_FLT，nSLEEP 复位脉冲（OVP 位） |
| 过流保护 (OCP) | $I_{PHASE} > I_{OCP}$ | OCP_MODE = 00b，硬件器件默认值 | nFAULT | 高阻态 | 有效 | 锁存：<br>CLR_FLT，nSLEEP 复位脉冲（OCP 位） |
| | | OCP_MODE = 01b | nFAULT | 高阻态 | 有效 | 重试：<br>$t_{RETRY}$ |
| | | OCP_MODE = 10b | nFAULT | 有效 | 有效 | 自动：<br>CLR_FLT，nSLEEP 复位脉冲（OCP 位） |
| | | OCP_MODE = 11b | 无 | 有效 | 有效 | 无操作 |
| SPI 误差 (SPI_FLT) | SCLK 故障和 ADDR 故障 | SPI_FLT_REP = 0b | nFAULT | 有效 | 有效 | 自动：<br>CLR_FLT，nSLEEP 复位脉冲（SPI_FLT 位） |
| | | SPI_FLT_REP = 1b | 无 | 有效 | 有效 | 无操作 |
| OTP 误差 (OTP_ERR) | OTP 读数错误 | 器件默认值 | nFAULT | 高阻态 | 有效 | 锁存：<br>下电上电，nSLEEP 复位脉冲 |
| 电机锁定 (MTR_LOCK) | 无霍尔信号 > $t_{MTR_LOCK_TDET}$ | MTR_LOCK_MODE = 00b | nFAULT | 高阻态 | 有效 | 锁存：<br>CLR_FLT，nSLEEP 脉冲（MTR_LOCK 位） |
| | | MTR_LOCK_MODE = 01b，硬件器件默认值 | nFAULT | 高阻态 | 有效 | 重试：<br>$t_{MTR_LOCK_RETRY}$ |
| | | MTR_LOCK_MODE = 10b | nFAULT | 有效 | 有效 | 自动：<br>CLR_FLT，nSLEEP 复位脉冲（OCP 位） |
| | | MTR_LOCK_MODE = 11b | 无 | 有效 | 有效 | 无操作 |
| 热警告 (OTW) | $T_J > T_{OTW}$ | OTW_REP = 0b | 无 | 有效 | 有效 | 无操作 |
| | | OTW_REP = 1b，硬件器件默认值 | nFAULT | 有效 | 有效 | 自动：<br>$T_J < T_{OTW} - T_{OTW_HYS}$<br>CLR_FLT，nSLEEP 脉冲（OTW 位） |
| 热关断 (OTSD_FET) | $T_J > T_{TSD_FET}$ | 器件默认值 | nFAULT | 高阻态 | 有效 | 自动：<br>$T_J < T_{TSD_FET} - T_{TSD_FET_HYS}$<br>CLR_FLT，nSLEEP 脉冲（OTS 位） |

Copyright © 2025 Texas Instruments Incorporated

#### 7.3.15.1 VM 电源欠压锁定 (NPOR)

如果在任何时候 VM 引脚上的输入电源电压降至低于 $V_{UVLO}$ 阈值（VM UVLO 下降阈值），所有集成式 FET、驱动器电荷泵和数字逻辑控制器都会被禁用，如图 7-30 所示。VM 欠压情况消失后，将恢复正常运行（驱动器运行）。一旦器件假定 VM，IC 状态 (IC_STAT) 寄存器中的 NPOR 位就会复位并锁存为低电平。NPOR 位会保持复位状态，直到通过 CLR_FLT 位或 nSLEEP 引脚复位脉冲 ($t_{RST}$) 将其清除为止。

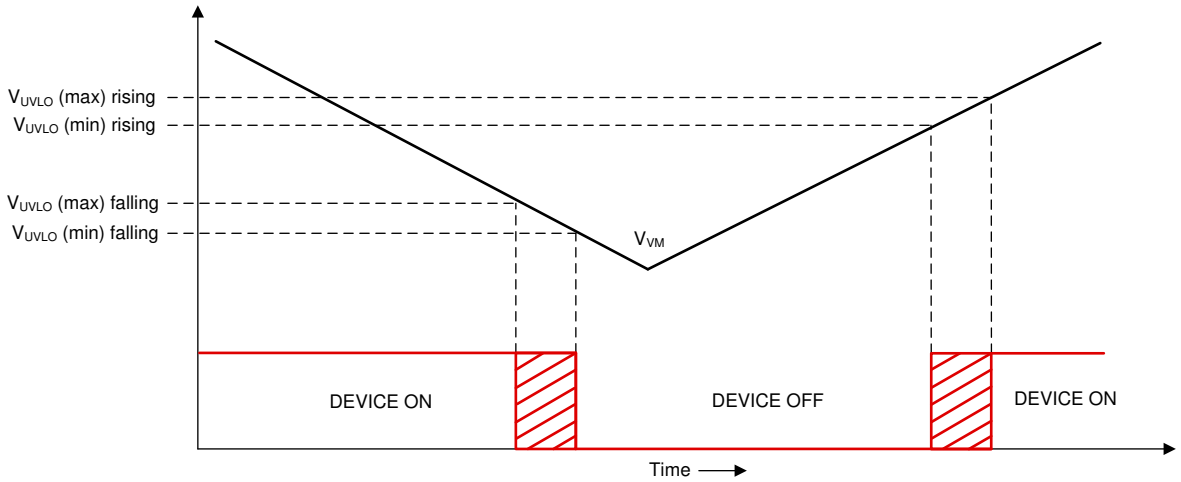



**图 7-30. VM 电源欠压锁定**

#### 7.3.15.2 AVDD 欠压锁定 (AVDD_UV)

在任何时候，如果 AVDD 引脚上的电压降至 $V_{AVDD_UV}$ 阈值以下，所有集成式 FET、驱动器电荷泵和数字逻辑控制器都会被禁用。消除 AVDD 欠压条件后，将恢复正常运行（驱动器运行）。一旦器件假定 VM，IC 状态 (IC_STAT) 寄存器中的 NPOR 位就会复位并锁存为低电平。NPOR 位会保持复位状态，直到通过 CLR_FLT 位或 nSLEEP 引脚复位脉冲 ($t_{RST}$) 将其清除为止。

#### 7.3.15.3 VCP 电荷泵欠压锁定 (CPUV)

如果在任何时候 VCP 引脚（电荷泵）上的电压降至低于电荷泵的 $V_{CPUV}$ 阈值电压，则会禁用所有集成式 FET 并将 nFAULT 引脚驱动至低电平。FAULT 和 VCP_UV 位也会在 SPI 器件的寄存器中被锁存为高电平。VCP 欠压条件清除后，器件将再次开始正常运行（驱动器运行且 nFAULT 引脚被释放）。CPUV 位保持置位状态，直到通过 CLR_FLT 位或 nSLEEP 引脚复位脉冲 ($t_{RST}$) 将其清除为止。在硬件和 SPI 器件型号中始终启用 CPUV 保护。

#### 7.3.15.4 过压保护 (OVP)

无论 VM 引脚上的输入电源电压何时上升至高于 $V_{OVP}$ 阈值电压，都会禁用所有集成 FET 并将 nFAULT 引脚驱动至低电平。FAULT 和 OVP 位也会在 SPI 器件的寄存器中被锁存为高电平。OVP 条件清除后，器件将再次开始正常运行（驱动器运行且 nFAULT 引脚被释放）。OVP 位保持置位状态，直到通过 CLR_FLT 位或 nSLEEP 引脚复位脉冲 ($t_{RST}$) 将其清除为止。将 SPI 器件 (MCT8314ZS) 上的 OVP_EN 位设置为高电平可启用该保护功能。OVP 阈值也可在 SPI 器件型号上编程，并可根据 OVP_SEL 位设置为 22V 或 34V。在硬件接口器件 (MCT8314ZH) 上，OVP 保护始终启用并设置为 34V 阈值。


Copyright © 2025 Texas Instruments Incorporated

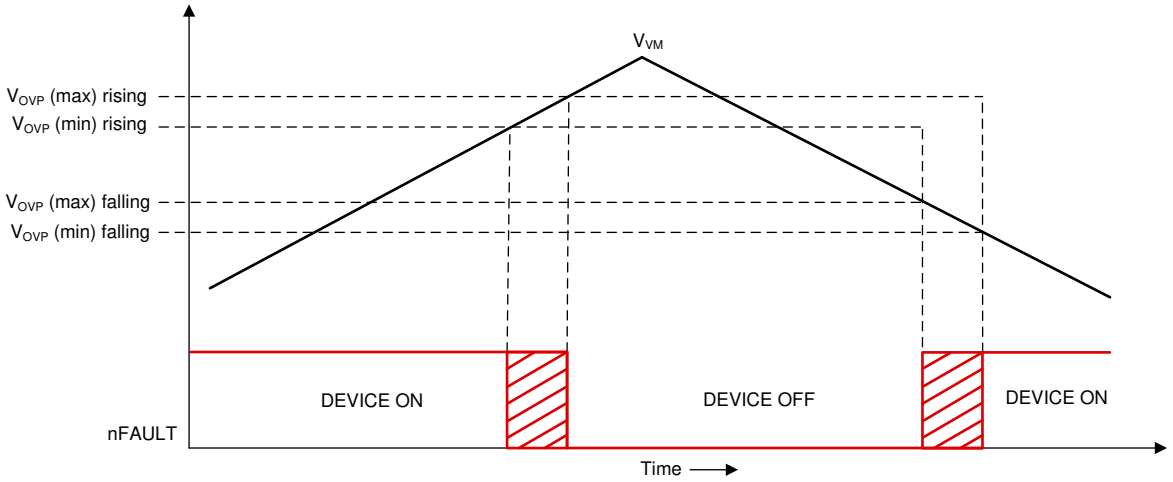



图 7-31. 过压保护

#### 7.3.15.5 过流保护 (OCP)

可以通过监测流经 FET 的电流来检测 MOSFET 过流事件。如果 FET 上的电流超过 $I_{OCP}$ 阈值的时间长于 $t_{OCP}$ 抗尖峰脉冲时间，则会识别出 OCP 事件并根据 OCP_MODE 位执行操作。$I_{OCP}$ 阈值固定为 2.25A 阈值。在硬件接口器件上，$t_{OCP_DEG}$ 固定为 0.6µs，默认 OCP 响应为锁存关断。在 SPI 器件上，可以通过 OCP_DEG SPI 寄存器设置 $t_{OCP_DEG}$，而 OCP_MODE 位可以在四种不同的模式下运行：OCP 锁存关断、OCP 自动重试、OCP 仅报告和 OCP 禁用。

##### *7.3.15.5.1 OCP 锁存关断（OCP_MODE = 00b 或 MCT8314ZH）*

在该模式下发生 OCP 事件后，所有 MOSFET 都被禁用，并且 nFAULT 引脚被驱动至低电平。FAULT、OCP 和相应的 FET OCP 位在 SPI 寄存器中被锁存为高电平。OCP 条件清除并通过 CLR_FLT 位或 nSLEEP 复位脉冲 ($t_{RST}$) 发出清除故障命令后，器件将再次开始正常运行（驱动器运行且释放 nFAULT 引脚）。

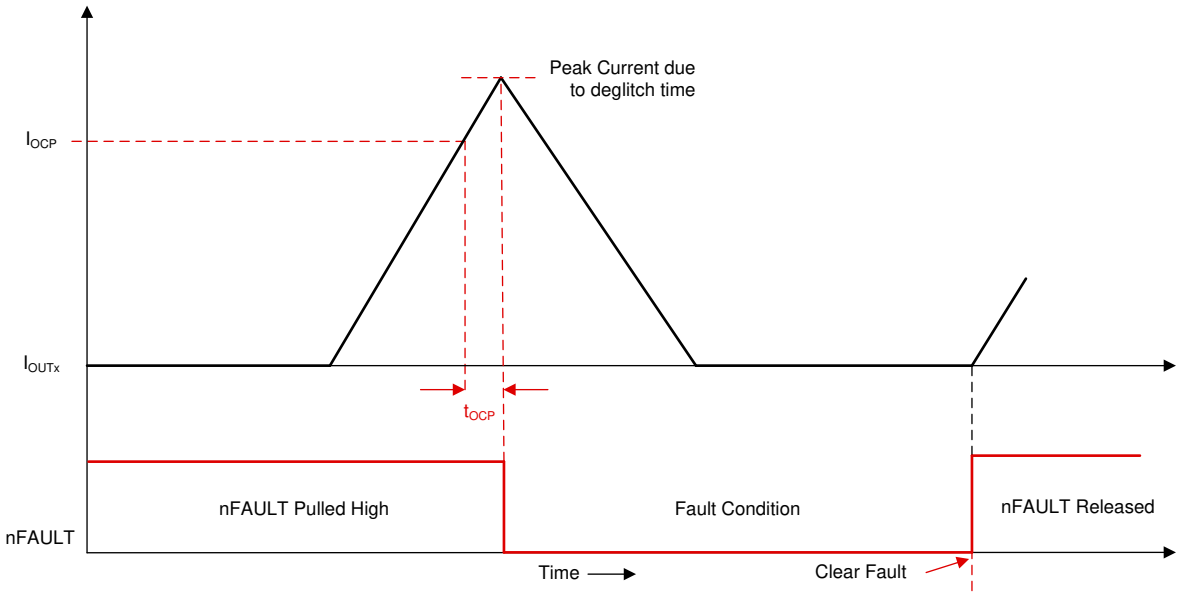



图 7-32. 过流保护 - 锁存关断模式

#### 7.3.15.5.2 OCP 自动重试 (OCP_MODE = 01b)

在该模式下发生 OCP 事件后，所有 FET 都被禁用，并且 nFAULT 引脚被驱动至低电平。FAULT、OCP 和相应的 FET OCP 位在 SPI 寄存器中被锁存为高电平。在 $t_{RETRY}$ 时间过后，器件将自动重新开始正常运行（驱动器运行且释放 nFAULT 引脚）。在 $t_{RETRY}$ 时间过后，FAULT、OCP 和相应 FET 的 OCP 位保持锁存，直到通过 CLR_FLT 位或 nSLEEP 复位脉冲 ($t_{RST}$) 发出清除故障命令为止。

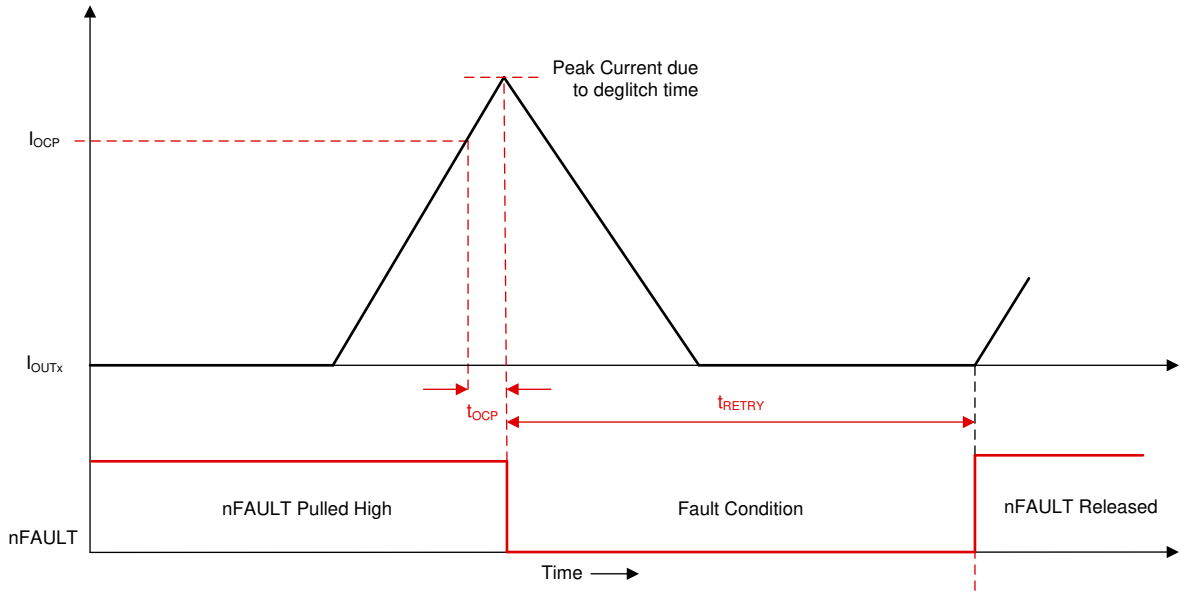



**图 7-33. 过流保护 - 自动重试模式**

#### 7.3.15.5.3 OCP 仅报告 (OCP_MODE = 10b)

在该模式下发生 OCP 事件后不会执行任何保护性操作。可以通过将 nFAULT 引脚驱动至低电平并将 SPI 寄存器中的 FAULT、OCP 和相应的 FET OCP 位锁定为高电平来报告过流事件。MCT8314Z 继续照常运行。外部控制器通过适当的操作来管理过流状况。OCP 条件清除并通过 CLR_FLT 位或 nSLEEP 复位脉冲 ($t_{RST}$) 发出清除故障命令后，报告清除（释放 nFAULT 引脚）。

#### 7.3.15.5.4 OCP 已禁用 (OCP_MODE = 11b)

在该模式下发生 OCP 事件后不会执行任何操作。

### 7.3.15.6 电机锁定 (MTR_LOCK)

在电机处于锁定状态期间，霍尔信号将不可用，因此可通过监控霍尔信号来检测电机锁定事件。如果霍尔信号存在的时间不超过 $t_{MTR_LOCK}$，则 MCT8314Z 会识别 MTR_LCK 事件并根据 MTR_LOCK_MODE 位进行响应。在 MCT8314ZH 上，FGSEL/LOCK_DET_TIME 引脚可配置 $t_{MTR_LOCK}$ 检测时间，该器件在 500ms 后自动恢复。在 SPI 器件上，MTR_LOCK_TDET 寄存器可设置 $t_{MTR_LOCK}$ 阈值，而 MTR_LOCK_MODE 位可设置四种不同的模式：MTR_LOCK 锁存关断、MTR_LOCK 自动重试、仅报告 MTR_LOCK 和禁用 MTR_LOCK。

**备注**

如果 PWM 引脚保持低电平的时间超过 $t_{PWM_LOW}$，则会禁用电机锁定检测。

#### 7.3.15.6.1 MTR_LOCK 锁存关断 (MTR_LOCK_MODE = 00b)

在该模式下发生电机锁定事件后，所有 FET 都被禁用，并且 nFAULT 引脚被驱动至低电平。FAULT 和 MTR_LOCK 位将在 SPI 寄存器中被锁存为高电平。通过 CLR_FLT 位或 nSLEEP 复位脉冲 ($t_{RST}$) 清除故障后，器件将再次开始正常运行（驱动器运行且 nFAULT 引脚被释放）。


Copyright © 2025 Texas Instruments Incorporated

#### 7.3.15.6.2 MTR_LOCK 自动重试（MTR_LOCK_MODE = 01b 或 MCT8314ZH）

在该模式下发生电机锁定事件后，所有外部 MOSFET 都被禁用，并且 nFAULT 引脚被驱动至低电平。FAULT 和 MTR_LOCK 位将在 SPI 寄存器中被锁存为高电平。在 $t_{MTR_LOCK_RETRY}$ 时间过后，器件将自动重新开始正常运行（驱动器运行且释放 nFAULT 引脚）。FAULT 和 MTR_LOCK 位保持锁存，直到 $t_{MTR_LOCK_RETRY}$ 周期结束。

MTR_LOCK 自动重试是硬件接口型号 MCT8314ZH 中可用的唯一电机锁定响应模式。重试周期 $t_{MTR_LOCK_RETRY}$ 设置为 500ms。表 7-8 展示了 MCT8314ZH 硬件型号中 FGSEL/LOCK_DET_TIME 引脚上外部元件可选的 $t_{MTR_LOCK}$ 检测时间选项。

**表 7-8. MCT8314Z 的 LOCK_DET_TIME 选择**

| 设置 | FGSEL/LOCK_DET_TIME 引脚（硬件型号） | FG 输出换向频率 | $t_{MTR_LOCK}$ |
|---|---|---|---|
| 设置 1 | 连接到 AGND | 3x 换向频率 (FGOUT_SEL = 00b) | 300ms |
| 设置 2 | 通过 $R_{MODE1}$ 连接到 AGND | | 500ms |
| 设置 3 | 通过 $R_{MODE2}$ 连接到 AGND | | 1000ms |
| 设置 4 | 高阻态 | | 5000ms |
| 设置 5 | 通过 $R_{MODE2}$ 连接到 AVDD | 1x 换向频率 (FGOUT_SEL = 01b) | 300ms |
| 设置 6 | 通过 $R_{MODE1}$ 连接到 AVDD | | 500ms |
| 设置 7 | 连接到 AVDD | | 1000ms |

#### 7.3.15.6.3 MTR_LOCK 仅报告 (MTR_LOCK_MODE= 10b)

在该模式下发生 MTR_LOCK 事件后不会执行任何保护性操作。可以通过将 nFAULT 引脚驱动至低电平并将 SPI 寄存器中的 FAULT 和 MTR_LOCK 位锁定为高电平来报告电机锁定事件。MCT8314Z 继续照常运行。外部控制器通过适当的操作来管理电机锁定状况。当通过 CLR_FLT 位或 nSLEEP 复位脉冲 ($t_{RST}$) 发出清除故障命令后，报告清除（释放 nFAULT 引脚）。

#### 7.3.15.6.4 MTR_LOCK 已禁用 (MTR_LOCK_MODE = 11b)

在该模式下发生 MTR_LOCK 事件后不会执行任何操作。

### 7.3.15.7 热警告 (OTW)

MCT8314Z 有两个用于热警告的芯片温度传感器，其中一个靠近 FET，另一个靠近 AVDD LDO。如果芯片温度超过热警告 ($T_{OTW}$) 的触发点，则会设置 IC 状态 (IC_STAT) 寄存器中的 OT 位和状态寄存器中的 OTW 位。可以通过设置配置控制寄存器中的过热警告报告 (OTW_REP) 位来启用 nFAULT 引脚上的 OTW 报告。器件不会执行任何其他操作，并且会继续运行。在这种情况下，当芯片温度降至低于热警告的迟滞点 ($T_{OTW_HYS}$) 时，nFAULT 引脚会释放。OTW 位保持置位状态，直到通过 CLR_FLT 位或 nSLEEP 复位脉冲 ($t_{RST}$) 将其清除且芯片温度低于热警告触发点 ($T_{OTW}$)。

**备注**

默认情况下，不会在 nFAULT 引脚上报告过热警告。

### 7.3.15.8 热关断 (OTS)

如果 FET 附近的芯片温度超过热关断限值 ($T_{TSD_FET}$) 的触发点，则会禁用所有 FET 并将 nFAULT 引脚驱动至低电平。AVDD LDO 保持活动状态。此外，还会设置 IC 状态 (IC_STAT) 寄存器中的 FAULT 和 OT 位以及状态寄存器中的 OTS 位。过热条件清除后，器件将重新开始正常运行（驱动器运行且 nFAULT 引脚被释放）。OTS 位保持锁存为高电平，指示发生了热事件，直到通过 CLR_FLT 位或 nSLEEP 复位脉冲 ($t_{RST}$) 发出清除故障命令为止。无法禁用此保护功能。

Copyright © 2025 Texas Instruments Incorporated

## 7.4 器件功能模式

### *7.4.1 功能模式*

#### 7.4.1.1 睡眠模式

nSLEEP 引脚管理 MCT8314Z 系列器件的状态。当 nSLEEP 引脚为低电平时，该器件将进入低功耗睡眠模式。在睡眠模式下，将会禁用所有 FET，禁用检测放大器，禁用电荷泵，禁用 AVDD 稳压器，并禁用 SPI 总线。必须在 nSLEEP 引脚触发下降沿之后再过去 $t_{SLEEP}$ 时间后，器件才能进入睡眠模式。如果 nSLEEP 引脚被拉至高电平，那么该器件会自动退出睡眠模式。必须在经过 $t_{WAKE}$ 时间之后，器件才能针对输入做好准备。

在睡眠模式下，当 $V_{VM} < V_{UVLO}$ 时，所有 MOSFET 都被禁用。

**备注**

在器件通过 nSLEEP 引脚上电和下电期间，nFAULT 引脚保持低电平，因为内部稳压器被启用或禁用。启用或禁用稳压器后，nFAULT 引脚会自动释放。nFAULT 引脚处于低电平的持续时间不超过 $t_{SLEEP}$ 或 $t_{WAKE}$ 时间。

#### 7.4.1.2 工作模式

当 nSLEEP 引脚为高电平且 $V_{VM}$ 电压大于 $V_{UVLO}$ 电压时，器件将进入运行模式。必须在经过 $t_{WAKE}$ 时间之后，器件才能针对输入做好准备。在此模式下，电荷泵、AVDD 稳压器和 SPI 总线处于活动状态。

#### 7.4.1.3 故障复位（CLR_FLT 或 nSLEEP 复位脉冲）

在器件存在锁存故障的情况下，MCT8314Z 系列器件会进入部分关断状态，以帮助保护功率 MOSFET 和系统。

清除故障条件后，器件可以通过设置 SPI 器件上的 CLR_FLT SPI 位或向任一接口型号上的 nSLEEP 引脚发出复位脉冲来重新进入运行状态。nSLEEP 复位脉冲 ($t_{RST}$) 由 nSLEEP 引脚上的从高到低到高的转换组成。序列的低电平周期应在 $t_{RST}$ 时间窗口内下降，否则器件将启动完整的关断序列。复位脉冲对任何稳压器、器件设置或其他功能块都没有影响。


Copyright © 2025 Texas Instruments Incorporated

## 7.5 SPI 通信

### *7.5.1 编程*

在 MCT8314Z SPI 器件上，SPI 总线用于设置器件配置、运行参数和读取诊断信息。SPI 采用辅助模式工作并连接到控制器。SPI 输入数据 (SDI) 字中包含一个 16 位的字（包括一条 6 位地址和 8 位数据）。SPI 输出包含 16 位字，以及 8 位状态信息（STAT 寄存器）和 8 位寄存器数据。

有效帧必须满足以下条件：

- 当 nSCS 引脚从高电平转换为低电平，以及从低电平转换为高电平时，SCLK 引脚应该为低电平。
- nSCS 引脚在两个字之间被拉为高电平的时间至少应为 400ns。
- 当 nSCS 引脚被拉为高电平时，SCLK 和 SDI 引脚上的任何信号都将被忽略，并且 SDO 引脚处于高阻态。
- 数据会在 SCLK 引脚的下降沿被捕捉，并在 SCLK 引脚的上升沿被传输。
- 最高有效位 (MSB) 最先移入和移出。
- 必须历经完整的 16 个 SCLK 周期，事务才有效。
- 如果发送到 SDI 引脚的数据字少于 16 位或多于 16 位，则会发生帧错误并且数据字会被忽略。
- 对于写命令，寄存器中要写入的现有数据会在 8 位状态数据之后在 SDO 引脚上移出。

SPI 寄存器在上电时以及器件进入睡眠模式时复位为默认设置

#### 7.5.1.1 SPI 格式

SDI 输入数据的字长为 16 位，包含以下格式：

- 1 个读取或写入位，W（位 B15）
- 6 个地址位，A（位 B14 至 B9）
- 奇偶校验位 P（位 B8）。设置奇偶校验位，使得 SDI 输入数据字具有偶数个 1 和 0
- 8 个数据位，D（位 B7 到 B0）

SDO 输出数据字的长度是 16 位，前 8 位是状态位。数据字是所访问的寄存器的内容。

对于写命令 (W0 = 0)，SDO 引脚上的响应字是当前被写入的寄存器中的数据。

对于读命令 (W0 = 1)，响应字是当前被读取的寄存器中的数据。

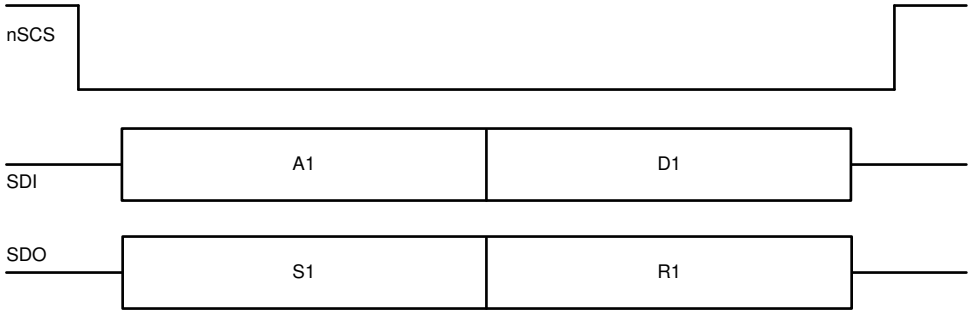



**图 7-34.**

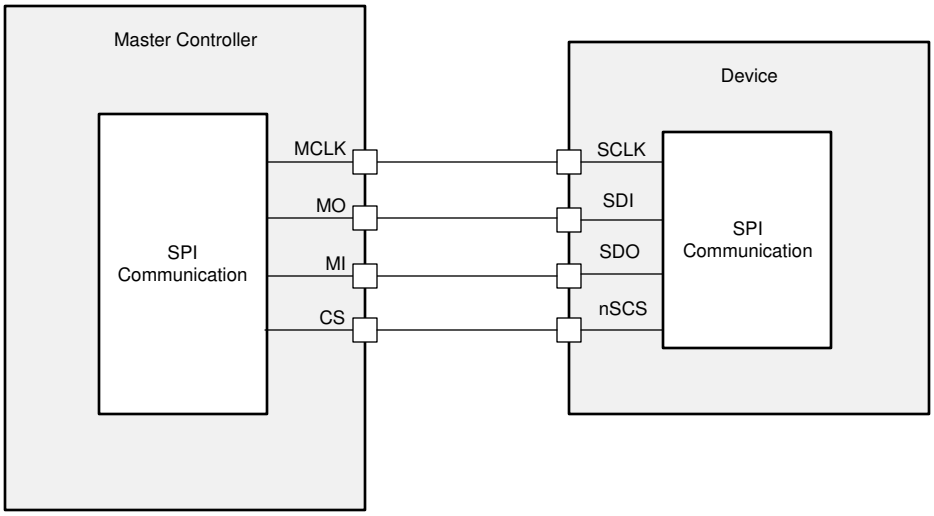



图 7-35.

表 7-9. SDI 输入数据字格式

| R/W | 地址 | | | | | | | 奇偶校验 | 数据 | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| B15 | B14 | B13 | B12 | B11 | B10 | B9 | B8 | B7 | B6 | B5 | B4 | B3 | B2 | B1 | B0 |
| W0 | A5 | A4 | A3 | A2 | A1 | A0 | P | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |

表 7-10. SDO 输出数据字格式

| 状态 | | | | | | | | 数据 | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| B15 | B14 | B13 | B12 | B11 | B10 | B9 | B8 | B7 | B6 | B5 | B4 | B3 | B2 | B1 | B0 |
| S7 | S6 | S5 | S4 | S3 | S2 | S1 | S0 | D7 | D6 | D5 | D4 | D3 | D2 | D1 | D0 |

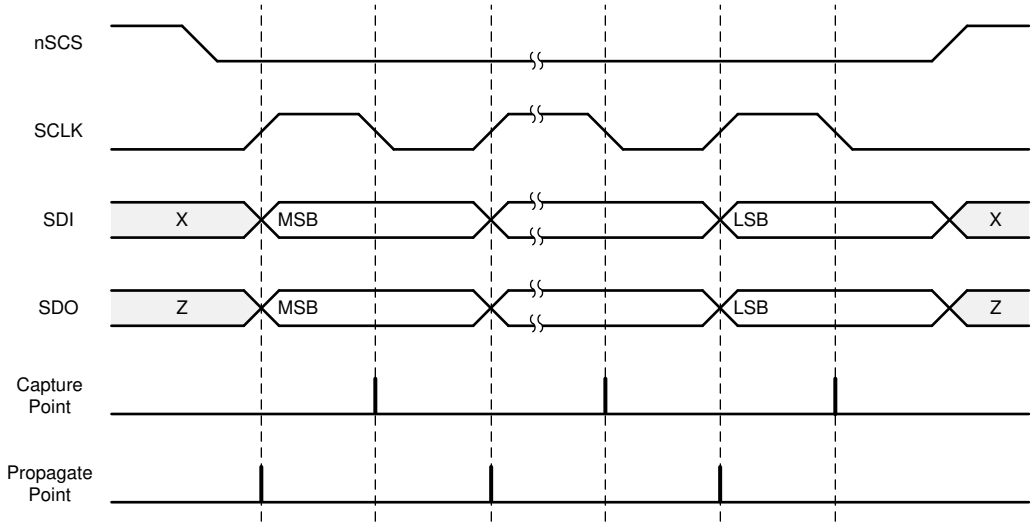



图 7-36. SPI 辅助时序图

### SPI 错误处理

**SPI 帧错误 (SPI_SCLK_FLT)**：如果 nSCS 在 16 位帧结束之前被置为无效，则会检测到 SPI 帧错误并且在 STAT2 中设置 SPI_SCLK_FLT 位。SPI_SCLK_FLT 状态位被锁存，当通过 CLR_FLT 位或 nSLEEP 复位脉冲发出清除故障命令后，可以清除该状态位。


Copyright © 2025 Texas Instruments Incorporated

**SPI 地址错误 (SPI_ADDR_FLT)**：如果在 SDI 上输入 SPI 数据的 ADDR 字段中提供了无效地址，则会检测到 SPI 地址错误并设置 STAT2 中的 SPI_ADDR_FLT 位。无效地址是未在寄存器映射 中定义的任何地址，即地址不在地址 0x0 到 0xC 范围内。SPI_ADDR_FLT 状态位被锁存，当通过 CLR_FLT 位或 nSLEEP 复位脉冲发出清除故障命令后，可以清除该状态位。

# 8 寄存器映射

Copyright © 2025 Texas Instruments Incorporated

## 8.1 状态寄存器

表 8-1 列出了状态寄存器的存储器映射寄存器。表 8-1 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

**表 8-1. 状态寄存器**

| 地址 | 首字母缩写词 | 寄存器名称 | 部分 |
|---|---|---|---|
| 0h | IC 状态寄存器 | IC 状态寄存器 | 节 8.1.1 |
| 1h | 状态寄存器 1 | 状态寄存器 1 | 节 8.1.2 |
| 2h | 状态寄存器 2 | 状态寄存器 2 | 节 8.1.3 |

复杂的位访问类型经过编码可适应小型表单元。表 8-2 展示了适用于此部分中访问类型的代码。

**表 8-2. STATUS 访问类型代码**

| 访问类型 | 代码 | 说明 |
|---|---|---|
| 读取类型 | | |
| R | R | 读取 |
| R-0 | R<br>-0 | 读取<br>返回 0 |
| 复位或默认值 | | |
| *-n* | | 复位后的值或默认值 |


Copyright © 2025 Texas Instruments Incorporated

### 8.1.1 IC 状态寄存器（地址 = 0h）[复位 = 00h]

图 8-1 中显示了 IC 状态寄存器，表 8-3 中对此进行了介绍。

返回到汇总表。

**图 8-1. IC 状态寄存器**

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| MTR_LOCK | RESERVED | SPI_FLT | OCP | NPOR | OVP | OT | FAULT |
| R-0h | R-0h | R-0h | R-0h | R-0h | R-0h | R-0h | R-0h |

**表 8-3. IC 状态寄存器字段说明**

| 位 | 字段 | 类型 | 复位 | 说明 |
|---|---|---|---|---|
| 7 | MTR_LOCK | R | 0h | 电机锁定状态位<br>0h = 未检测到电机锁定<br>1h = 检测到电机锁定 |
| 6 | RESERVED | R | 0h | 保留 |
| 5 | SPI_FLT | R | 0h | SPI 故障位<br>0h = 未检测到 SPI 故障情况<br>1h = 检测到 SPI 故障情况 |
| 4 | OCP | R | 0h | 过流保护状态位<br>0h = 未检测到过流情况<br>1h = 检测到过流情况 |
| 3 | NPOR | R | 0h | 电源上电复位位<br>0h = 在 VM 上检测到上电复位情况<br>1h = 未在 VM 上检测到上电复位情况 |
| 2 | OVP | R | 0h | 电源过压保护状态位<br>0h = 未在 VM 上检测到过压情况<br>1h = 在 VM 上检测到过压情况 |
| 1 | OT | R | 0h | 过热故障状态位<br>0h = 未检测到过热警告/关断<br>1h = 检测到过热警告/关断 |
| 0 | FAULT | R | 0h | 器件故障位<br>0h = 未检测到故障情况<br>1h = 检测到故障情况 |

Copyright © 2025 Texas Instruments Incorporated

### 8.1.2 状态寄存器（地址 = 1h）[复位 = 00h]

图 8-2 中显示了状态寄存器 1，表 8-4 中对此进行了介绍。

返回到汇总表。

**图 8-2. 状态寄存器 1**

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| OTW | OTS | OCP_HC | OCL_LC | OCP_HB | OCP_LB | OCP_HA | OCP_LA |
| R-0h | R-0h | R-0h | R-0h | R-0h | R-0h | R-0h | R-0h |

**表 8-4. 状态寄存器 1 字段说明**

| 位 | 字段 | 类型 | 复位 | 说明 |
|---|---|---|---|---|
| 7 | OTW | R | 0h | 过热警告状态位<br>0h = 未检测到过热警告<br>1h = 检测到过热警告 |
| 6 | OTS | R | 0h | 过热关断状态位<br>0h = 未检测到过热关断<br>1h = 检测到过热关断 |
| 5 | OCP_HC | R | 0h | OUTC 高侧开关上的过流状态<br>0h = 在 OUTC 的高侧开关上未检测到过流<br>1h = 在 OUTC 的高侧开关上检测到过流 |
| 4 | OCL_LC | R | 0h | OUTC 的低侧开关上的过流状态<br>0h = 未在 OUTC 的低侧开关上检测到过流<br>1h = 在 OUTC 的低侧开关上检测到过流 |
| 3 | OCP_HB | R | 0h | OUTB 高侧开关上的过流状态<br>0h = 在 OUTB 的高侧开关上未检测到过流<br>1h = 在 OUTB 的高侧开关上检测到过流 |
| 2 | OCP_LB | R | 0h | OUTB 的低侧开关上的过流状态<br>0h = 未在 OUTB 的低侧开关上检测到过流<br>1h = 在 OUTB 的低侧开关上检测到过流 |
| 1 | OCP_HA | R | 0h | OUTA 高侧开关上的过流状态<br>0h = 在 OUTA 的高侧开关上未检测到过流<br>1h = 在 OUTA 的高侧开关上检测到过流 |
| 0 | OCP_LA | R | 0h | OUTA 的低侧开关上的过流状态<br>0h = 未在 OUTA 的低侧开关上检测到过流<br>1h = 在 OUTA 的低侧开关上检测到过流 |


Copyright © 2025 Texas Instruments Incorporated

### 8.1.3 状态寄存器 2（地址 = 2h）[复位 = 00h]

图 8-3 中显示了状态寄存器 2，表 8-5 中对此进行了介绍。

返回到汇总表。

**图 8-3. 状态寄存器 2**

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| PWR_READY | OTP_ERR | RESERVED | | VCP_UV | SPI_PARITY | SPI_SCLK_FLT | SPI_ADDR_FLT |
| R-0h | R-0h | R-0h | | R-0h | R-0-0h | R-0h | R-0h |

**表 8-5. 状态寄存器 2 字段说明**

| 位 | 字段 | 类型 | 复位 | 说明 |
|---|---|---|---|---|
| 7 | PWR_READY | R | 0h | 电源就绪状态<br>0h = 上电未完成<br>1h = 上电完成。已准备好旋转电机 |
| 6 | OTP_ERR | R | 0h | 一次性可编程错误<br>0h = 未检测到 OTP 错误<br>1h = 检测到 OTP 错误 |
| 5-4 | RESERVED | R | 0h | 保留 |
| 3 | VCP_UV | R | 0h | 电荷泵欠压状态位<br>0h = 未检测到电荷泵欠压<br>1h = 检测到电荷泵欠压 |
| 2 | SPI_PARITY | R-0 | 0h | SPI 奇偶校验错误位<br>0h = 未检测到 SPI 奇偶校验错误<br>1h = 检测到 SPI 奇偶校验错误 |
| 1 | SPI_SCLK_FLT | R | 0h | SPI 时钟组帧错误位<br>0h = 未检测到 SPI 时钟组帧错误<br>1h = 检测到 SPI 时钟组帧错误 |
| 0 | SPI_ADDR_FLT | R | 0h | SPI 地址错误位<br>0h = 未检测到 SPI 地址故障（由于访问非用户寄存器）<br>1h = 检测到 SPI 地址故障 |

Copyright © 2025 Texas Instruments Incorporated

## 8.2 控制寄存器

表 8-6 列出了控制寄存器的存储器映射寄存器。表 8-6 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

**表 8-6. 控制寄存器**

| 地址 | 首字母缩写词 | 寄存器名称 | 部分 |
|---|---|---|---|
| 3h | 控制寄存器 1 | 控制寄存器 1 | 节 8.2.1 |
| 4h | 控制寄存器 2 | 控制寄存器 2 | 节 8.2.2 |
| 5h | 控制寄存器 3 | 控制寄存器 3 | 节 8.2.3 |
| 6h | 控制寄存器 4 | 控制寄存器 4 | 节 8.2.4 |
| 7h | 控制寄存器 5 | 控制寄存器 5 | 节 8.2.5 |
| 8h | 控制寄存器 6 | 控制寄存器 6 | 节 8.2.6 |
| 9h | 控制寄存器 7 | 控制寄存器 7 | 节 8.2.7 |
| Ah | 控制寄存器 8 | 控制寄存器 8 | 节 8.2.8 |
| Bh | 控制寄存器 9 | 控制寄存器 9 | 节 8.2.9 |
| Ch | 控制寄存器 10 | 控制寄存器 10 | 节 8.2.10 |

复杂的位访问类型经过编码可适应小型表单元。表 8-7 展示了适用于此部分中访问类型的代码。

**表 8-7. 控制访问类型代码**

| 访问类型 | 代码 | 说明 |
|---|---|---|
| 读取类型 | | |
| R | R | 读取 |
| R-0 | R<br>-0 | 读取<br>返回 0 |
| 写入类型 | | |
| W | W | 写入 |
| W1C | W<br>1C | 写入<br>1 以清零 |
| WAPU | W<br>APU | 写入<br>具有密码解锁功能的原子写入 |
| 复位或默认值 | | |
| *-n* | | 复位后的值或默认值 |


Copyright © 2025 Texas Instruments Incorporated

### 8.2.1 控制寄存器 1（地址 = 3h）[复位 = 03h]

图 8-4 展示了控制寄存器 1，表 8-8 中对此进行了介绍。

返回到汇总表。

**图 8-4. 控制寄存器 1**

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| RESERVED | | | | | REG_LOCK | | |
| R-0h | | | | | R/WAPU-3h | | |

**表 8-8. 控制寄存器 1 字段说明**

| 位 | 字段 | 类型 | 复位 | 说明 |
|---|---|---|---|---|
| 7-3 | RESERVED | R | 0h | 保留 |
| 2-0 | REG_LOCK | R/WAPU | 3h | 寄存器锁定位<br>0h = 除非已锁定或解锁，否则无效<br>1h = 除非已锁定或解锁，否则无效<br>2h = 除非已锁定或解锁，否则无效<br>3h = 向此寄存器写入 011b 可解锁所有寄存器<br>4h = 除非已锁定或解锁，否则无效<br>5h = 除非已锁定或解锁，否则无效<br>6h = 写入 110b 可锁定设置并忽略后续寄存器写入，除非写入这些位和地址 0x03h 位 2-0。<br>7h = 除非已锁定或解锁，否则无效 |

Copyright © 2025 Texas Instruments Incorporated

### 8.2.2 控制寄存器 2（地址 = 4h）[复位 = 20h]

图 8-5 展示了控制寄存器 2，表 8-9 中对此进行了介绍。

返回到汇总表。

**图 8-5. 控制寄存器 2**

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| RESERVED | | SDO_MODE | RESERVED | | PWM_MODE | | CLR_FLT |
| R-0h | | R/W-1h | R-0h | | R/W-0h | | W1C-0h |

**表 8-9. 控制寄存器 2 字段说明**

| 位 | 字段 | 类型 | 复位 | 说明 |
|---|---|---|---|---|
| 7-6 | RESERVED | R | 0h | 保留 |
| 5 | SDO_MODE | R/W | 1h | SDO 模式设置<br>0h = SDO IO 处于开漏模式<br>1h = SDO IO 处于推挽模式 |
| 4-3 | RESERVED | R | 0h | 保留 |
| 2-1 | PWM_MODE | R/W | 0h | 器件模式选择<br>0h = 使用模拟霍尔进行异步整流<br>1h = 使用数字霍尔进行异步整流<br>2h = 使用模拟霍尔进行同步整流<br>3h = 使用数字霍尔进行同步整流 |
| 0 | CLR_FLT | W1C | 0h | 清除故障<br>0h = 未发出清除故障命令<br>1h = 将锁存的故障位清零。 该位会在写入后自动复位。 |


Copyright © 2025 Texas Instruments Incorporated

### 8.2.3 控制寄存器 3（地址 = 5h）[复位 = 46h]

图 8-6 展示了控制寄存器 3，表 8-10 中对此进行了介绍。

返回到汇总表。

**图 8-6. 控制寄存器 3**

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| RESERVED | RESERVED | RESERVED | PWM_100_DUTY_SEL | OVP_SEL | OVP_EN | SPI_FLT_REP | OTW_REP |
| R-0h | R-0h | R-0h | R/W-0h | R/W-0h | R/W-1h | R/W-1h | R/W-0h |

**表 8-10. 控制寄存器 3 字段说明**

| 位 | 字段 | 类型 | 复位 | 说明 |
|---|---|---|---|---|
| 7 | RESERVED | R | 0h | 保留 |
| 6 | RESERVED | R | 0h | 保留 |
| 5 | RESERVED | R | 0h | 保留 |
| 4 | PWM_100_DUTY_SEL | R/W | 0h | 100% 占空比时 PWM 的频率<br>0h = 20KHz<br>1h = 40KHz |
| 3 | OVP_SEL | R/W | 0h | 过压电平设置<br>0h = VM 过压电平为 32V<br>1h = VM 过压电平为 20V |
| 2 | OVP_EN | R/W | 1h | 过压使能位<br>0h = 禁用过压保护<br>1h = 启用过压保护 |
| 1 | SPI_FLT_REP | R/W | 1h | SPI 故障报告禁用位<br>0h = 启用 nFAULT 引脚上的 SPI 故障报告<br>1h = 禁用 nFAULT 引脚上的 SPI 故障报告 |
| 0 | OTW_REP | R/W | 0h | 过热警告报告位<br>0h = 禁用 nFAULT 上的过热报告<br>1h = 启用 nFAULT 上的过热报告 |

Copyright © 2025 Texas Instruments Incorporated

### 8.2.4 控制寄存器 4（地址 = 6h）[复位 = 10h]

图 8-7 展示了控制寄存器 4，表 8-11 中对此进行了介绍。

返回到汇总表。

**图 8-7. 控制寄存器 4**

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| DRV_OFF | OCP_CBC | OCP_DEG | | OCP_RETRY | OCP_LVL | OCP_MODE | |
| R/W-0h | R/W-0h | R/W-1h | | R/W-0h | R/W-0h | R/W-0h | |

**表 8-11. 控制寄存器 4 字段说明**

| 位 | 字段 | 类型 | 复位 | 说明 |
|---|---|---|---|---|
| 7 | DRV_OFF | R/W | 0h | 驱动器关闭位<br>0h = 无操作<br>1h = 驱动器设置为三态 |
| 6 | OCP_CBC | R/W | 0h | OCP PWM 周期操作位<br>0h = PWM 输入周期更改中的 OCP 清除被禁用<br>1h = PWM 输入周期更改中的 OCP 清除被启用 |
| 5-4 | OCP_DEG | R/W | 1h | OCP 抗尖峰脉冲时间设置<br>0h = OCP 抗尖峰脉冲时间为 0.2µs<br>1h = OCP 抗尖峰脉冲时间为 0.6µs<br>2h = OCP 抗尖峰脉冲时间为 1.25µs<br>3h = OCP 抗尖峰脉冲时间为 1.6µs |
| 3 | OCP_RETRY | R/W | 0h | OCP 重试时间设置<br>0h = OCP 重试时间为 5ms<br>1h = OCP 重试时间为 500ms |
| 2 | OCP_LVL | R/W | 0h | 过流电平设置<br>0h = OCP 电平为 3.25A<br>1h = OCP 电平为 1.4A |
| 1-0 | OCP_MODE | R/W | 0h | OCP 故障选项<br>0h = 过流导致锁存故障<br>1h = 过流导致自动重试故障<br>2h = 仅报告过流但不采取任何措施<br>3h = 不报告过流且不采取任何措施 |


Copyright © 2025 Texas Instruments Incorporated

### 8.2.5 控制寄存器 5（地址 = 7h）[复位 = 00h]

图 8-8 展示了控制寄存器 5，表 8-12 中对此进行了介绍。

返回到汇总表。

**图 8-8. 控制寄存器 5**

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| RESERVED | ILIM_RECIR | RESERVED | RESERVED | | EN_ASR | RESERVED | |
| R-0h | R/W-0h | R-0h | R-0h | | R/W-0h | R-0h | |

**表 8-12. 控制寄存器 5 字段说明**

| 位 | 字段 | 类型 | 复位 | 说明 |
|---|---|---|---|---|
| 7 | RESERVED | R | 0h | 保留 |
| 6 | ILIM_RECIR | R/W | 0h | 电流限制再循环设置<br>0h = 通过 FET 的电流再循环（制动模式）<br>1h = 通过二极管的电流再循环（滑行模式） |
| 5 | RESERVED | R | 0h | 保留 |
| 4-3 | RESERVED | R | 0h | 保留 |
| 2 | EN_ASR | R/W | 0h | 有效同步整流使能位<br>0h = 禁用 ASR 模式<br>1h = 启用 ASR 模式 |
| 1-0 | RESERVED | R | 0h | 保留 |

Copyright © 2025 Texas Instruments Incorporated

### 8.2.6 控制寄存器 6（地址 = 8h）[复位 = 00h]

图 8-9 展示了控制寄存器 6，表 8-13 中对此进行了介绍。

返回到汇总表。

**图 8-9. 控制寄存器 6**

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| RESERVED | | | | | | | |
| R-0h | | | | | | | |

**表 8-13. 控制寄存器 6 字段说明**

| 位 | 字段 | 类型 | 复位 | 说明 |
|---|---|---|---|---|
| 7-0 | RESERVED | R | 0h | 保留 |


Copyright © 2025 Texas Instruments Incorporated

### 8.2.7 控制寄存器 7（地址 = 9h）[复位 = 00h]

图 8-10 展示了控制寄存器 7，表 8-14 中对此进行了介绍。

返回到汇总表。

**图 8-10. 控制寄存器 7**

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| RESERVED | | | HALL_HYS | BRAKE_MODE | COAST | RESERVED | DIR |
| R-0h | | | R/W-0h | R/W-0h | R/W-0h | R-0h | R/W-0h |

**表 8-14. 控制寄存器 7 字段说明**

| 位 | 字段 | 类型 | 复位 | 说明 |
|---|---|---|---|---|
| 7-5 | RESERVED | R | 0h | 保留 |
| 4 | HALL_HYS | R/W | 0h | 霍尔比较器迟滞设置<br>0h = 5mV<br>1h = 50mV |
| 3 | BRAKE_MODE | R/W | 0h | 制动模式设置<br>0h = 器件运行在制动模式下制动<br>1h = 器件运行在制动模式下滑行 |
| 2 | COAST | R/W | 0h | 滑行位<br>0h = 禁用器件滑行模式<br>1h = 启用器件滑行模式 |
| 1 | RESERVED | R | 0h | 保留 |
| 0 | DIR | R/W | 0h | 方向位<br>0h = 电机方向设置为顺时针方向<br>1h = 电机方向设置为逆时针方向 |

Copyright © 2025 Texas Instruments Incorporated

### 8.2.8 控制寄存器 8（地址 = Ah）[复位 = 41h]

图 8-11 展示了控制寄存器 8，表 8-15 中对此进行了介绍。

返回到汇总表。

**图 8-11. 控制寄存器 8**

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| FGOUT_SEL | | RESERVED | MTR_LOCK_RETRY | MTR_LOCK_TDET | | MTR_LOCK_MODE | |
| R/W-1h | | R-0h | R/W-0h | R/W-0h | | R/W-1h | |

**表 8-15. 控制寄存器 8 字段说明**

| 位 | 字段 | 类型 | 复位 | 说明 |
|---|---|---|---|---|
| 7-6 | FGOUT_SEL | R/W | 1h | 电气频率生成输出模式位<br>0h = FG 频率为 3 倍换向频率<br>1h = FG 频率为换向频率<br>2h = FG 频率为换向频率的 0.5 倍<br>3h = FG 频率为换向频率的 0.25 倍 |
| 5 | RESERVED | R | 0h | 保留 |
| 4 | MTR_LOCK_RETRY | R/W | 0h | 电机锁定重试时间设置<br>0h = 500ms<br>1h = 5000ms |
| 3-2 | MTR_LOCK_TDET | R/W | 0h | 电机锁定检测时间设置<br>0h = 300ms<br>1h = 500ms<br>2h = 1000ms<br>3h = 5000ms |
| 1-0 | MTR_LOCK_MODE | R/W | 1h | 电机锁定故障选项<br>0h = 电机锁定导致锁存故障<br>1h = 电机锁定导致自动重试故障<br>2h = 仅报告电机锁定但不采取任何措施<br>3h = 不报告电机锁定且不采取任何措施 |


Copyright © 2025 Texas Instruments Incorporated

### 8.2.9 控制寄存器 9（地址 = Bh）[复位 = 00h]

图 8-12 展示了控制寄存器 9，表 8-16 中对此进行了介绍。

返回到汇总表。

**图 8-12. 控制寄存器 9**

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| RESERVED | | | | | ADVANCE_LVL | | |
| R-0h | | | | | R/W-0h | | |

**表 8-16. 控制寄存器 9 字段说明**

| 位 | 字段 | 类型 | 复位 | 说明 |
|---|---|---|---|---|
| 7-3 | RESERVED | R | 0h | 保留 |
| 2-0 | ADVANCE_LVL | R/W | 0h | 相位超前设置<br>0h = 0°<br>1h = 4°<br>2h = 7°<br>3h = 11°<br>4h = 15°<br>5h = 20°<br>6h = 25°<br>7h = 30° |

Copyright © 2025 Texas Instruments Incorporated

### 8.2.10 控制寄存器 10（地址 = Ch）[复位 = 00h]

图 8-13 展示了控制寄存器 10，表 8-17 中对此进行了介绍。

返回到汇总表。

**图 8-13. 控制寄存器 10**

| 7 | 6 | 5 | 4 | 3 | 2 | 1 | 0 |
|---|---|---|---|---|---|---|---|
| RESERVED | | | | | | | |
| R-0h | | | | | | | |

**表 8-17. 控制寄存器 10 字段说明**

| 位 | 字段 | 类型 | 复位 | 说明 |
|---|---|---|---|---|
| 7-0 | RESERVED | R | 0h | 保留 |


Copyright © 2025 Texas Instruments Incorporated

# 9 应用和实施

**备注**

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户负责确定元件是否适合其用途，以及验证和测试其设计实现以确认系统功能。

## 9.1 应用信息

MCT8314Z 可用于驱动无刷直流电机。以下设计过程可用于配置 MCT8314Z。

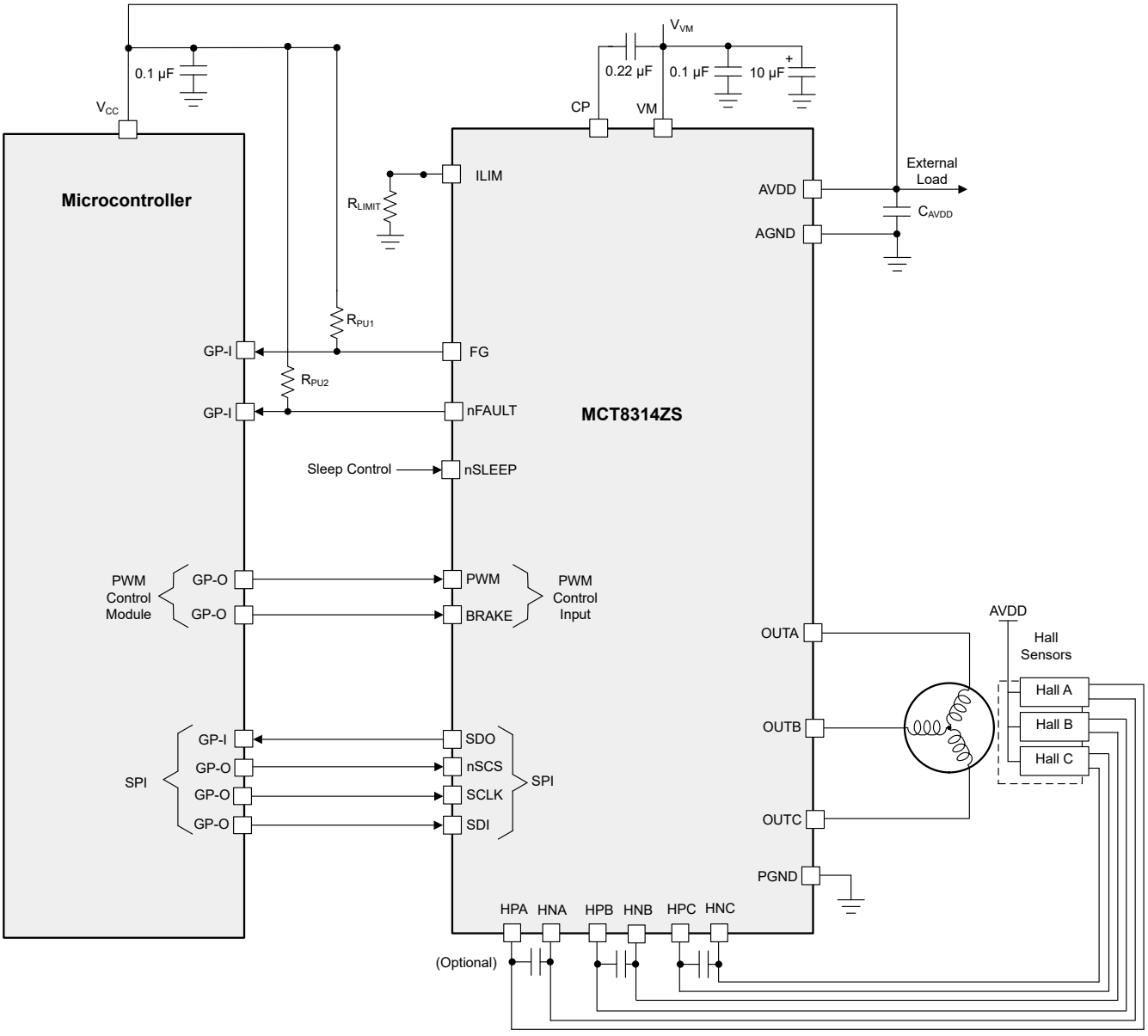



**图 9-1. MCT8314ZS（SPI 型号）的主要应用原理图**

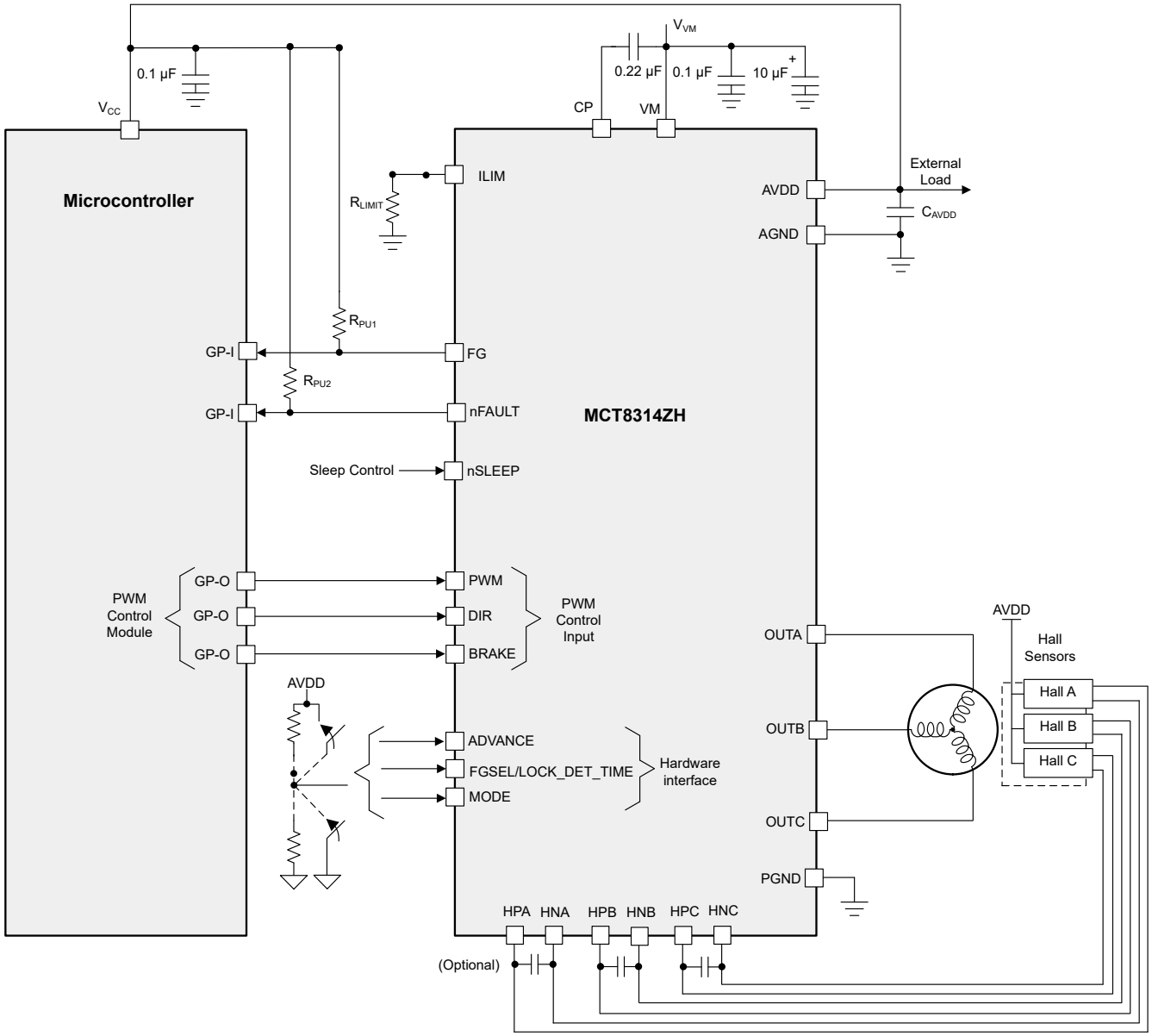



**图 9-2. MCT8314ZH（硬件型号）的主要应用原理图**

## 9.2 霍尔传感器配置和连接

本节中的霍尔传感器连接组合是常见连接。

### *9.2.1 典型配置*

MCT8314Z 器件上的霍尔传感器输入可以与各种霍尔传感器相连接。通常使用霍尔元件，其输出差分信号。若要使用此类传感器，可使用 AVDD 稳压器为霍尔传感器供电。图 9-3 展示了相关连接。


Copyright © 2025 Texas Instruments Incorporated

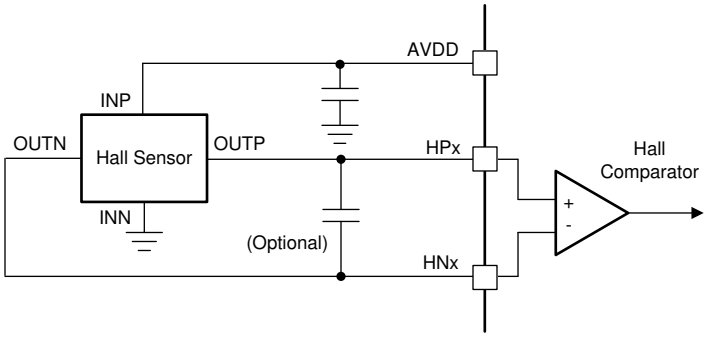



**图 9-3. 典型霍尔传感器配置**

由于霍尔传感器输出信号的振幅非常低，因此通常在霍尔输入端放置电容器，帮助抑制来自电机的耦合噪声。通常使用值为 1nF 至 100nF 的电容器。

### *9.2.2 开漏配置*

一些电机使用具有开漏输出的数字霍尔传感器。这些传感器也可与 MCT8314Z 器件配合使用，但增加了一些电阻器，如图 9-4 中所示。

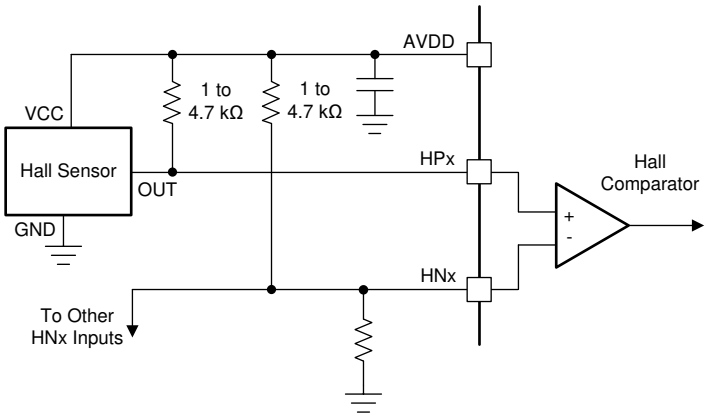



**图 9-4. 开漏霍尔传感器配置**

负 (HNx) 输入通过 AVDD 引脚和地之间的一对电阻器偏置到 AVDD / 2。对于集电极开路霍尔传感器，正 (HPx) 输入上需要一个额外的上拉电阻器连接到 VREG 引脚。同样，AVDD 输出通常可用于为霍尔传感器供电。

### 9.2.3 串联配置

霍尔元件也会串联或并联，具体取决于霍尔传感器的电流/电压要求。图 9-5 展示了通过 MCT8314Z 内部 LDO (AVDD) 供电的霍尔传感器的串联连接。如果每个霍尔传感器的电流要求较高 (>10mA)，则使用此配置

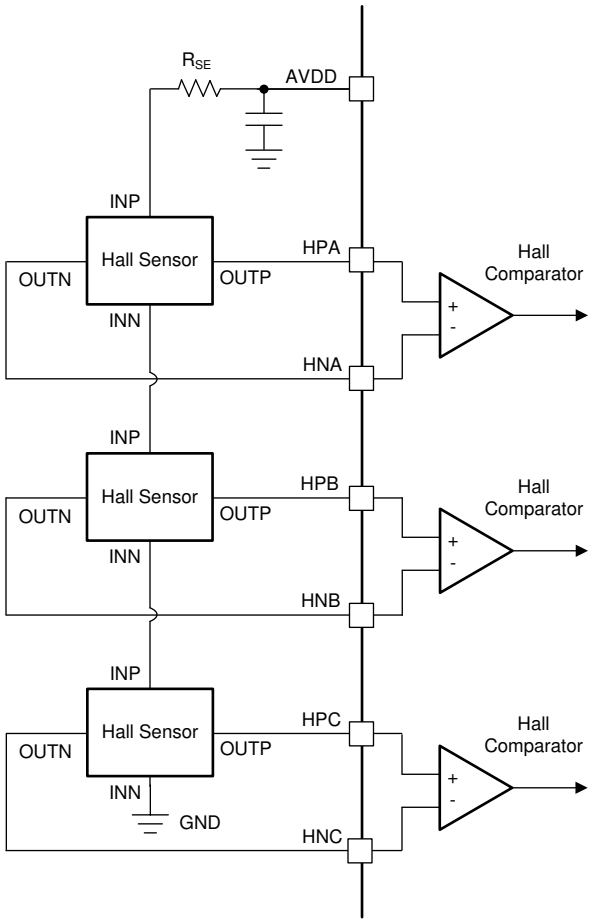



**图 9-5. 以串联配置连接的霍尔传感器**


Copyright © 2025 Texas Instruments Incorporated

### 9.2.4 并行配置

图 9-6 展示了由 AVDD 供电的霍尔传感器的并联连接。如果每个霍尔传感器的电流要求较低 (<10mA)，则可以使用此配置。

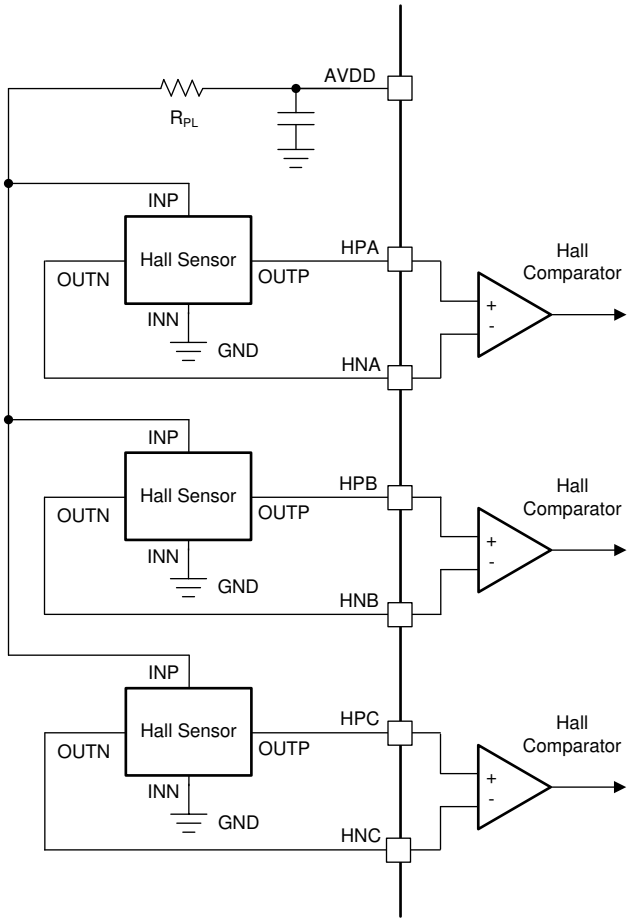



**图 9-6. 以并行配置连接的霍尔传感器**

## 9.3 典型应用

### *9.3.1 具有电流限制的三相无刷直流电机控制*

在此应用中，MCT8314Z 用于驱动电流限制高达 100% 占空比的无刷直流电机。以下设计过程可用于在限流模式下配置 MCT8314Z。

#### 9.3.1.1 详细设计过程

表 9-1 列出了系统设计的示例输入参数。

**表 9-1. 设计参数**

| 设计参数 | 参考值 | 示例值 |
|---|---|---|
| 电源电压 | $V_{VM}$ | 24V |
| 电机峰值电流 | $I_{PEAK}$ | 1.5A |
| PWM 频率 | $f_{PWM}$ | 50kHz |
| 压摆率设置 | SR | 200V/µs |
| AVDD 输出电压 | $V_{AVDD}$ | 5.0V |

##### *9.3.1.1.1 电机电压*

无刷直流电机通常具有特定的额定电压（例如 12V 或 24V）。以较高的电压运行电机意味着获得相同电机功率所需的驱动电流较低。在较低电压下运行通常可以更精确地控制相电流。MCT8314Z 可在低至 5.0V 的电源电压下工作。更高的工作电压也意味着更高的可获得转速。由于最大 VM 额定值为 40V，MCT8314Z 支持各种可能的工作电压。

##### *9.3.1.1.2 使用自动同步整流模式（ASR 模式）*

MCT8314Z 中的自动同步整流 (ASR) 模式可通过减少低侧 MOSFET 中的二极管导通损耗来降低功率损耗和热耗散。有关更多详细信息，请参阅节 7.3.10。


Copyright © 2025 Texas Instruments Incorporated

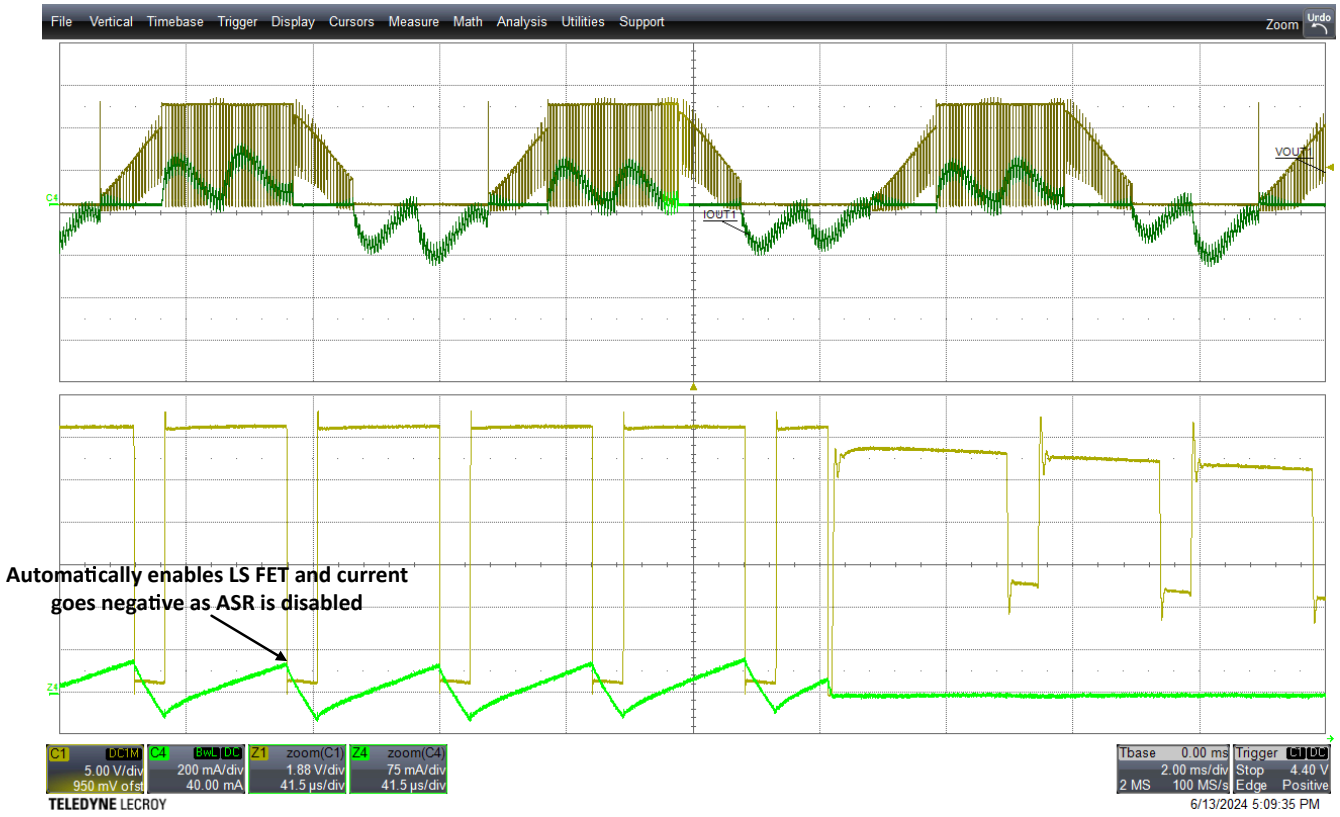



图 9-7. 在同步调制中禁用 ASR

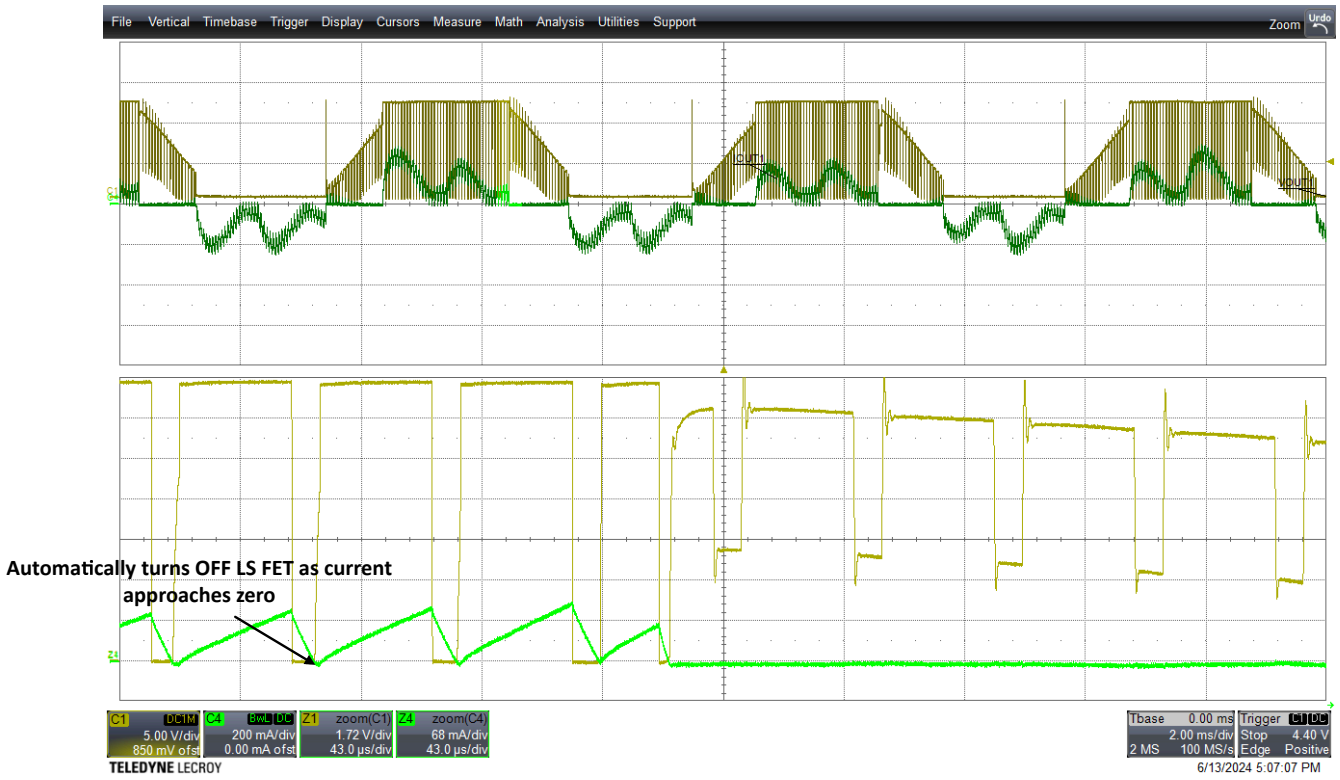



图 9-8. 在同步调制中启用 ASR

Copyright © 2025 Texas Instruments Incorporated

#### *9.3.1.1.3 功率损耗和结温损耗*

要根据功率损耗计算 MCT8314Z 的结温，请使用方程式 4。请注意，热阻 $\theta_{JA}$ 取决于 PCB 配置，例如环境温度、PCB 层数、顶层和底层的铜厚度以及 PCB 面积。

$$T_J[℃] = P_{loss}[W] \times \theta_{JA}\left[\frac{℃}{W}\right] + T_A[℃] \quad (4)$$

### 9.3.1.2 应用曲线

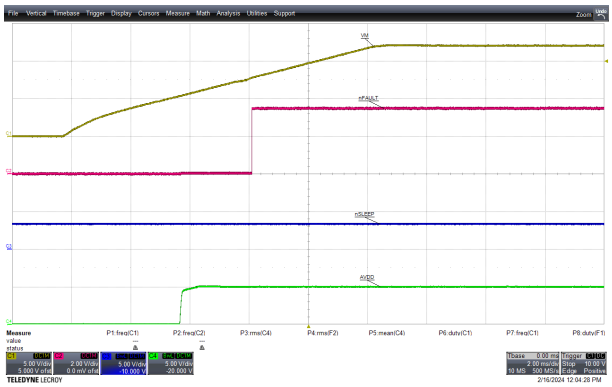


图 9-9. 通过 VM 实现器件上电

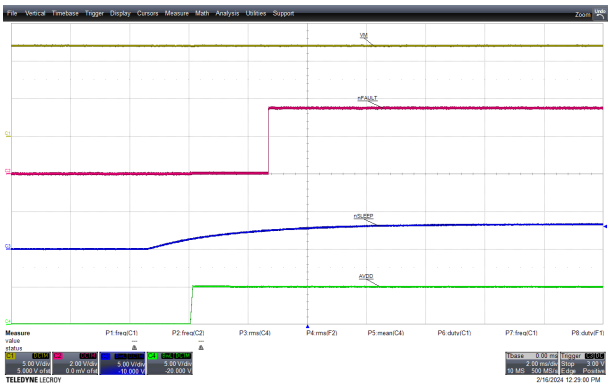


图 9-10. 通过 nSLEEP 实现器件上电

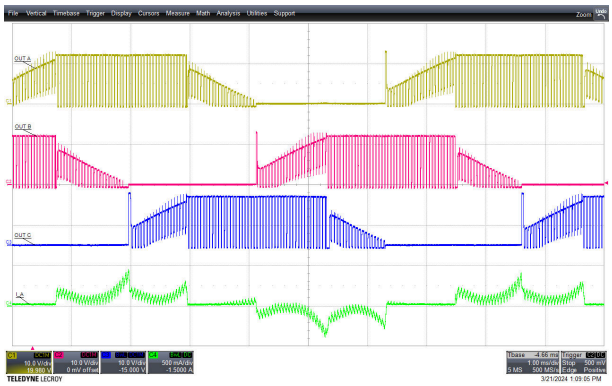


图 9-11. 驱动器 PWM 运行

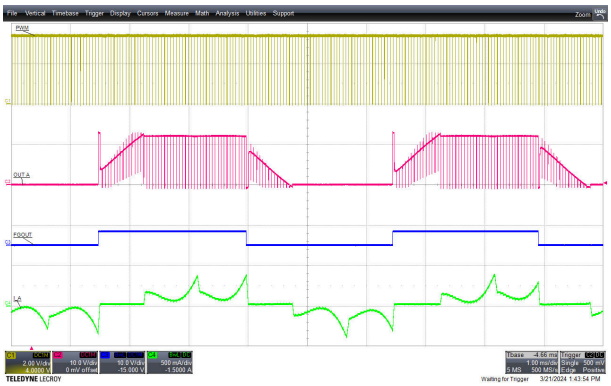


图 9-12. 带 FGOUT 的驱动器 PWM 运行

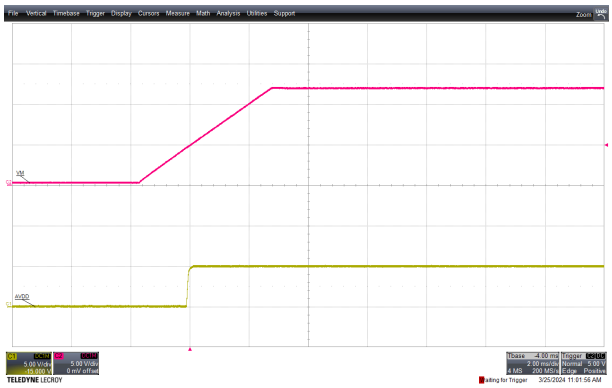


图 9-13. 电源管理

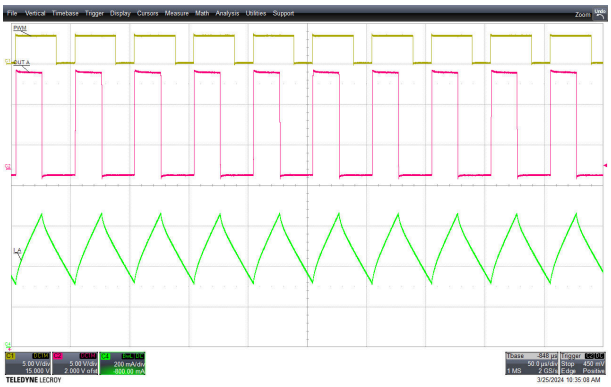


图 9-14. 带电流限制的驱动器 PWM 运行


Copyright © 2025 Texas Instruments Incorporated

## 9.4 电源相关建议

### *9.4.1 大容量电容*

配备合适的局部大容量电容是电机驱动系统设计中的一项重要因素。使用更多的大容量电容通常是有益的，但缺点是增加了成本和物理尺寸。

所需的局部电容数量取决于多种因素，包括：

- 电机系统所需的最高电流
- 电源的电容和电流能力
- 电源和电机系统之间的寄生电感量
- 可接受的电压纹波
- 使用的电机类型（有刷直流、无刷直流、步进电机）
- 电机制动方法

电源与电机驱动系统之间的电感限制了电流随着电源而变化的速率。如果局部大容量电容太小，系统会响应电机电压变化带来的过大的电流需求或转储。当使用足够大的大容量电容时，电机电压保持稳定，并且可以快速提供大电流。

数据表通常会给出建议值，但需要进行系统级测试来确定大小适中的大容量电容。

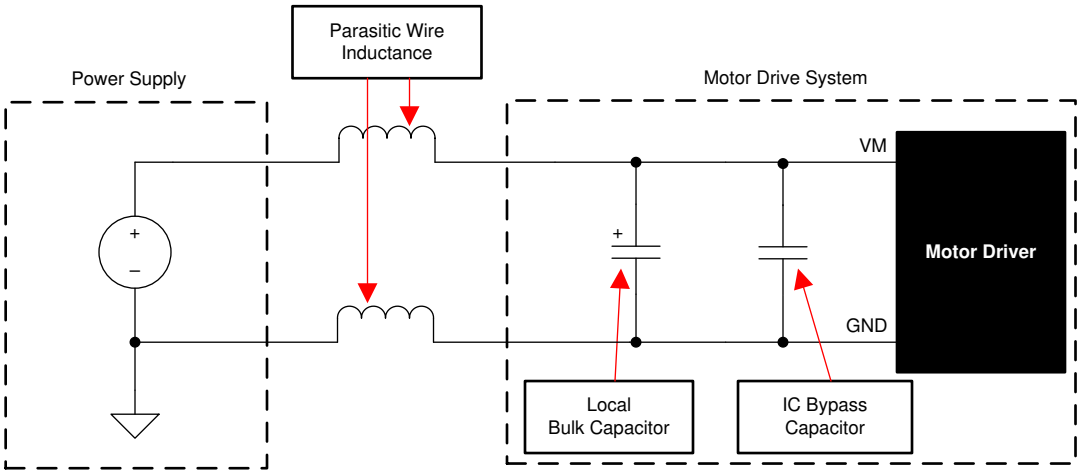



**图 9-15. 带外部电源的电机驱动系统示例设置**

大容量电容的额定电压应高于工作电压，以便在电机向电源传递能量时提供裕度。

## 9.5 布局

### *9.5.1 布局指南*

放置大容量电容器时应尽量缩短通过电机驱动器器件的大电流路径的距离。连接金属布线宽度应尽可能宽，并且在连接 PCB 层时应使用许多过孔。这些做法最大限度地减少了电感并允许大容量电容器提供大电流。

电荷泵和 AVDD 电容器等低容值电容器应为陶瓷电容器，并应靠近器件引脚放置。

大电流器件输出应使用宽金属布线。

为减少大瞬态电流进入小电流信号路径的噪声耦合和 EMI 干扰，应在 PGND 和 AGND 之间分区接地。TI 建议将所有非功率级电路（包括散热焊盘）连接到 AGND，以降低寄生效应并改善器件的功率耗散。确保接地端通过网络连接或宽电阻器连接，减小电压偏移并保持栅极驱动器性能。

器件散热焊盘应焊接到 PCB 顶层地平面。应使用多个过孔连接到较大的底层接地平面。使用大金属平面和多个过孔有助于散发器件中产生的 $I^2 \times R_{DS(on)}$ 热量。

Copyright © 2025 Texas Instruments Incorporated

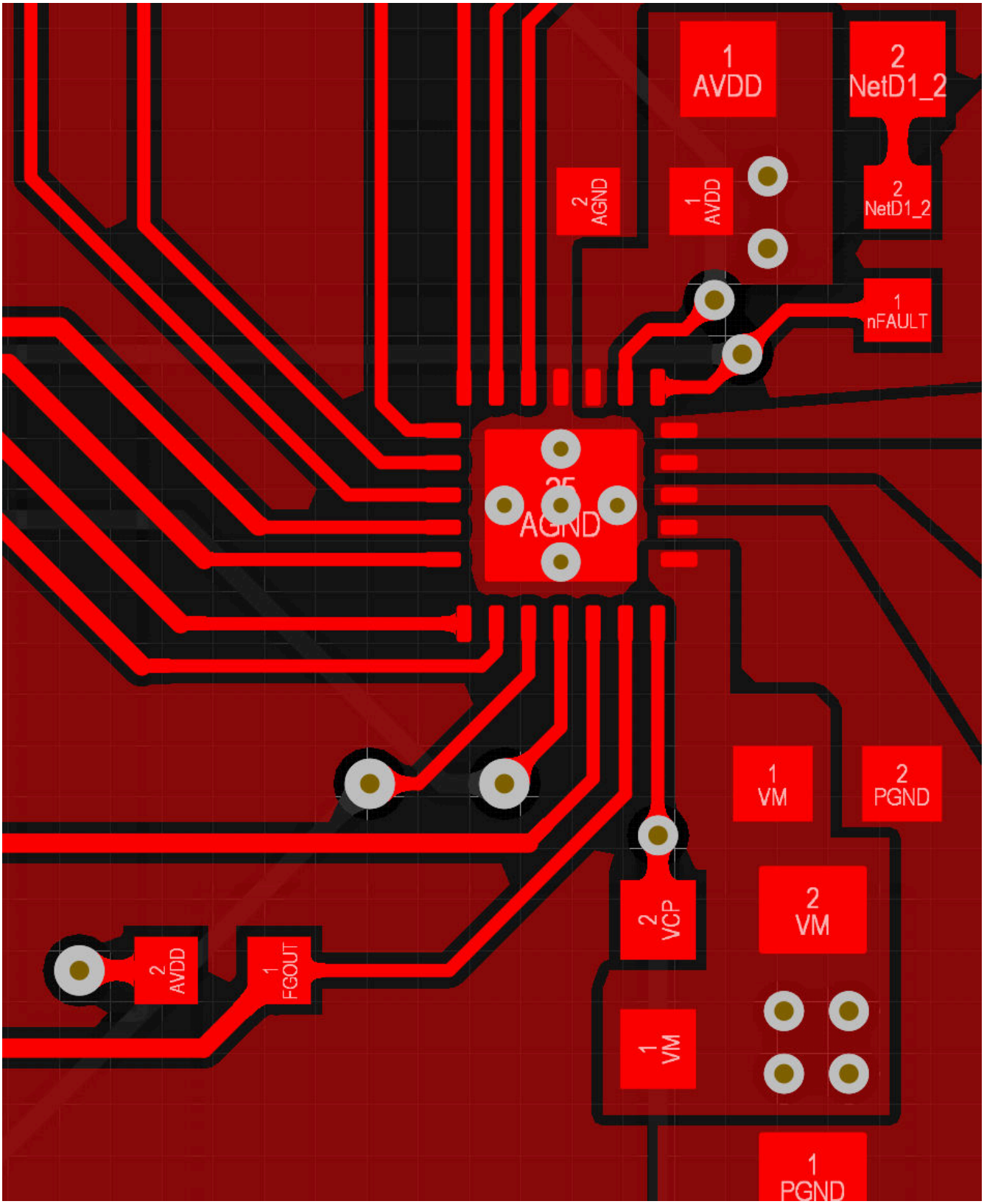
为了提高热性能，请在 PCB 的所有可能层上尽可能地增大连接到散热焊盘接地端的接地面积。使用较厚的覆铜可以降低结至空气热阻并改善芯片表面的散热。

#none##none##none##none##none#VQFN 封装的建议布局示例 展示了 MCT8314Z 的布局示例。


Copyright © 2025 Texas Instruments Incorporated

### 9.5.2 布局示例

**VQFN 封装的建议布局示例**



### *9.5.3 散热注意事项*

MCT8314Z 具有如前所述的热关断功能 (TSD)。如果内核温度超过 150°C（最低），则会禁用器件，直到温度降至安全水平。

如果该器件有任何进入热关断状态的倾向，则说明功耗过大、散热不足或环境温度过高。

#### 9.5.3.1 功率损耗

MCT8314Z 中的功率损耗包括待机功率损耗、LDO 功率损耗、FET 导通和开关损耗以及二极管损耗。FET 导通损耗在 MCT8314Z 的总功率耗散中占主导地位。在启动和故障情况下，输出电流远大于正常电流；务必将这些峰值电流及其持续时间考虑在内。总器件耗散是三个半桥中每个半桥耗散的总功率。器件可耗散的最大功率取决于环境温度和散热。请注意，RDS,ON 随温度升高而增加，因此随着器件发热，功率耗散也会增大。在设计 PCB 和散热时，应考虑这一点。

下面显示了梯形控制的每个损耗计算公式的摘要。

**表 9-2. MCT8314Z 梯形控制的功率损耗**

| 损耗类型 | 梯形波 |
|---|---|
| **待机功耗** | $P_{standby} = VM \times I_{VM_TA}$ |
| **LDO（来自 VM）** | $P_{LDO} = (VM - V_{AVDD}) \times I_{AVDD}$ |
| **FET 导通** | $P_{CON} = 2 \times I_{RMS(trap)} \times R_{ds,on(TA)}$ |
| **FET 开关** | $P_{SW} = I_{PK(trap)} \times V_{PK(trap)} \times t_{rise/fall} \times f_{PWM}$ |
| **Diode** | $P_{diode} = I_{RMS(trap)} \times V_{diode} \times t_{diode} \times f_{PWM}$ |


Copyright © 2025 Texas Instruments Incorporated

# 10 器件和文档支持

## 10.1 文档支持

### *10.1.1 相关文档*

请参阅以下相关文档：

- *访问 MCT8314ZTEVM 工具页面*
- 
- *下载 BLDC Integrated MOSFET Thermal Calculator 工具*
- *计算电机驱动器功率耗散*，SLVA504
- *PowerPAD™ 散热增强型封装*，SLMA002
- *PowerPAD™ 速成*，SLMA004
- *采用 MSP430 且配有传感器的三相 BLDC 电机控制*，SLAA503
- *了解电机驱动器电流额定值*，SLVA505

## 10.2 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

## 10.3 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

## 10.4 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

## 10.5 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

# 11 修订历史记录

| Changes from Revision * (December 2023) to Revision A (June 2024) | Page |
|---|---|
| • 将器件状态更新为“量产数据” | 1 |

# 12 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是适用于指定器件的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。如需获取此数据表的浏览器版本，请查看左侧的导航面板。

Copyright © 2025 Texas Instruments Incorporated

## 12.1 封装选项附录

### 封装信息

| 可订购器件 | 状态(1) | 封装类型 | 封装图 | 引脚 | 包装数量 | 环保计划(2) | 铅/焊球镀层(6) | MSL 峰值温度(3) | 工作温度 (°C) | 器件标识(4) (5) |
|---|---|---|---|---|---|---|---|---|---|---|
| MCT8314Z0HRRWR | 运行 | WQFN | RRW | 24 | 5000 | RoHS 和绿色环保 | NIPDAU | Level-1-260C-UNLIM | -40 至 125 | 8314XP |

(1) 销售状态值定义如下：
**正在供货：**建议用于新设计的产品器件。
**限期购买：**TI 已宣布器件即将停产，但仍在购买期限内。
**NRND：**不推荐用于新设计。为支持现有客户，器件仍在生产，但 TI 不建议在新设计中使用此器件。
**PRE_PROD**：器件未发布，尚未量产，未向大众市场供货，也未在网络上供应，未提供样片。
**预发布：**器件已发布，但未量产。可能提供样片，也可能无法提供样片。
**已停产：**TI 已停止生产该器件。

(2) 环保计划 - 规划的环保分级包括：无铅 (RoHS)，无铅（RoHS 豁免）或绿色（RoHS，无锑/溴）- 如需了解最新供货信息及更多产品内容详情，请访问 www.ti.com.cn/productcontent。
**待定：**无铅/绿色环保转换计划尚未确定。
**无铅 (RoHS)：**TI 所说的“无铅”或“无 Pb”是指半导体产品符合针对所有 6 种物质的现行 RoHS 要求，包括要求铅的重量不超过同质材料总重量的 0.1%。因在设计时就考虑到了高温焊接要求，因此 TI 的无铅产品适用于指定的无铅作业。
**无铅（RoHS 豁免）：**该元件在以下两种情况下可享受 RoHS 豁免：1) 芯片和封装之间使用铅基倒装芯片焊接凸点；2) 芯片和引线框之间使用铅基芯片粘合剂。否则，元件将根据上述规定视为无铅（符合 RoHS）。
绿色环保（RoHS，无锑/溴）：TI 定义的“绿色环保”表示无铅（符合 RoHS 标准）、无溴 (Br) 和无锑 (Sb) 系阻燃剂（均质材料中 Br 或 Sb 的质量不超过总质量的 0.1%）。

(3) MSL，峰值温度-- 湿敏等级额定值（符合 JEDEC 工业标准分级）和峰值焊接温度。

(4) 器件上可能还有与标识、批次跟踪代码信息或环境分类相关的其他标志。

(5) 如有多个器件标识，将用括号括起来。不过，器件上仅显示括号中以“~”隔开的其中一个器件标识。如果某一行缩进，说明该行续接上一行，这两行合在一起表示该器件的完整器件标识。

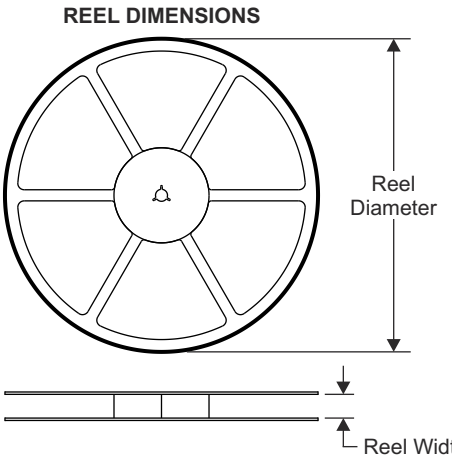
(6) 铅/焊球镀层 - 可订购器件可能有多种镀层材料选项。各镀层选项用垂直线隔开。如果铅/焊球镀层值超出最大列宽，则会折为两行。

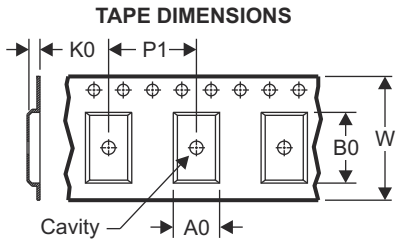
**重要信息和免责声明：**本页面上提供的信息代表 TI 在提供该信息之日的认知和观点。TI 的认知和观点基于第三方提供的信息，TI 不对此类信息的正确性做任何声明或保证。TI 正在致力于更好地整合第三方信息。TI 已经并将继续采取合理的措施来提供有代表性且准确的信息，但是可能尚未对引入的原料和化学制品进行破坏性测试或化学分析。TI 和 TI 供应商认为某些信息属于专有信息，因此可能不会公布其 CAS 编号及其他受限制的信息。

在任何情况下，TI 因此类信息产生的责任决不超过 TI 每年向客户销售的本文档所述 TI 器件的总购买价。

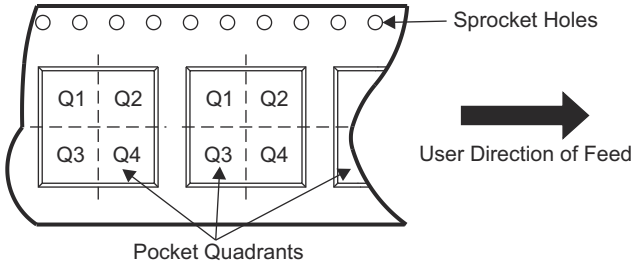

Copyright © 2025 Texas Instruments Incorporated

## 12.2 卷带包装信息



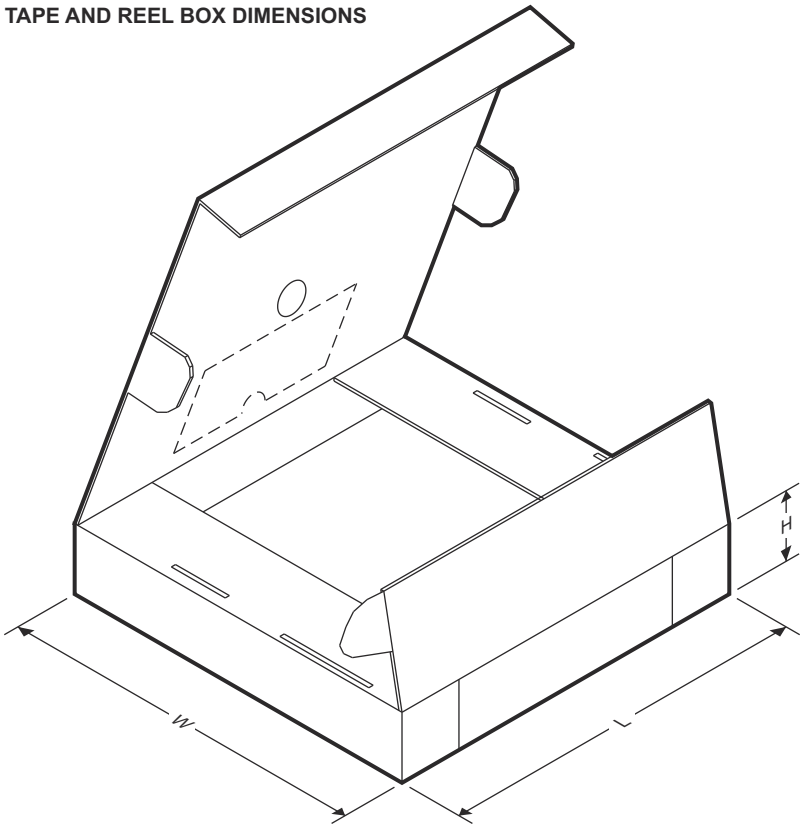

| | |
|---|---|
| A0 | Dimension designed to accommodate the component width |
| B0 | Dimension designed to accommodate the component length |
| K0 | Dimension designed to accommodate the component thickness |
| W | Overall width of the carrier tape |
| P1 | Pitch between successive cavity centers |




| 器件 | 封装类型 | 封装图 | 引脚 | SPQ | 卷带直径 (mm) | 卷带宽度 W1 (mm) | A0 (mm) | B0 (mm) | K0 (mm) | P1 (mm) | W (mm) | Pin1象限 |
|---|---|---|---|---|---|---|---|---|---|---|---|---|
| MCT8314Z0HRRWR | WQFN | RRW | 24 | 5000 | 330.0 | 12.4 | 3.3 | 3.3 | 1.1 | 8.0 | 12.0 | Q2 |

Copyright © 2025 Texas Instruments Incorporated

TAPE AND REEL BOX DIMENSIONS

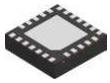



| 器件 | 封装类型 | 封装图 | 引脚 | SPQ | 长度 (mm) | 宽度 (mm) | 高度 (mm) |
|---|---|---|---|---|---|---|---|
| MCT8314Z0HRRWR | WQFN | RRW | 24 | 5000 | 367.0 | 367.0 | 35.0 |


Copyright © 2025 Texas Instruments Incorporated

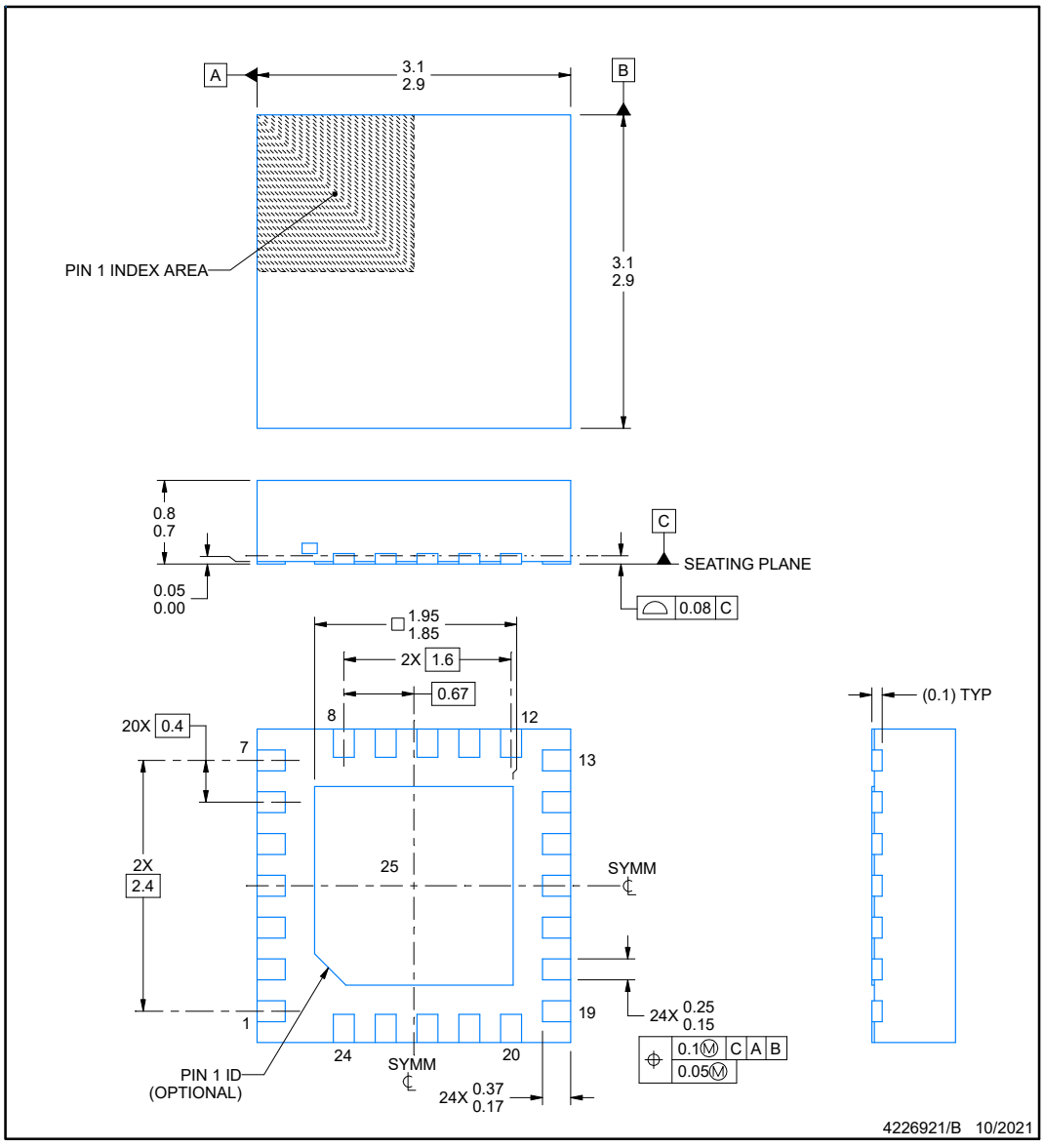
## PACKAGE OUTLINE

**RRW0024A**



**WQFN - 0.8 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD




NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.

www.ti.com

## EXAMPLE BOARD LAYOUT

**RRW0024A**

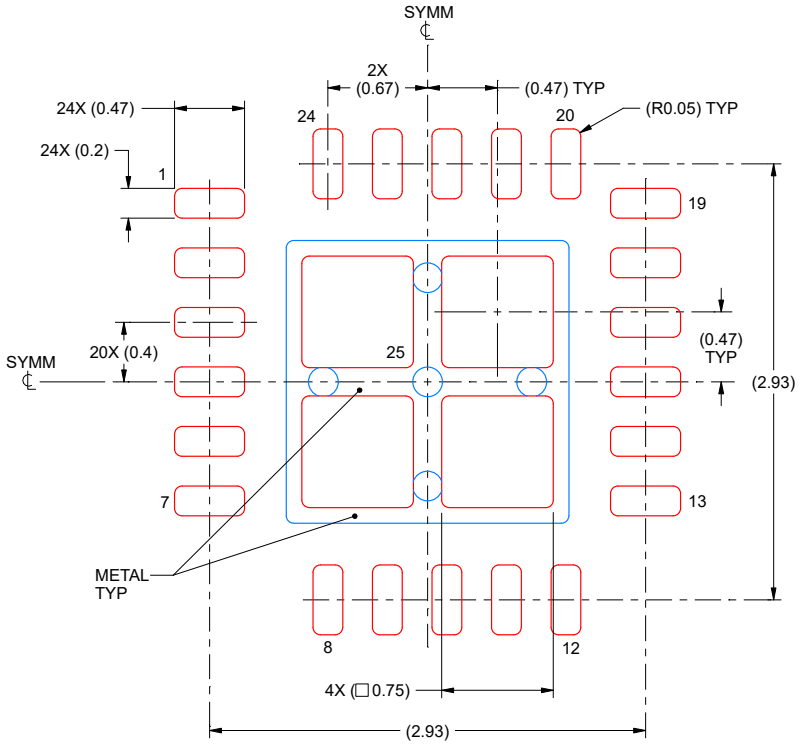
**WQFN - 0.8 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD

## EXAMPLE STENCIL DESIGN

**RRW0024A** — **WQFN - 0.8 mm max height**

PLASTIC QUAD FLATPACK - NO LEAD




SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 25:
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4226921/B 10/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.


Copyright © 2025 Texas Instruments Incorporated

## PACKAGING INFORMATION

| Orderable part number | Status (1) | Material type (2) | Package \| Pins | Package qty \| Carrier | RoHS (3) | Lead finish/ Ball material (4) | MSL rating/ Peak reflow (5) | Op temp (°C) | Part marking (6) |
|---|---|---|---|---|---|---|---|---|---|
| MCT8314Z0HRRWR | Active | Production | WQFN (RRW) \| 24 | 5000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | 8314ZH |
| MCT8314Z0HRRWR.A | Active | Production | WQFN (RRW) \| 24 | 5000 \| LARGE T&R | Yes | NIPDAU | Level-1-260C-UNLIM | -40 to 125 | 8314ZH |

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

**Important Information and Disclaimer:**The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

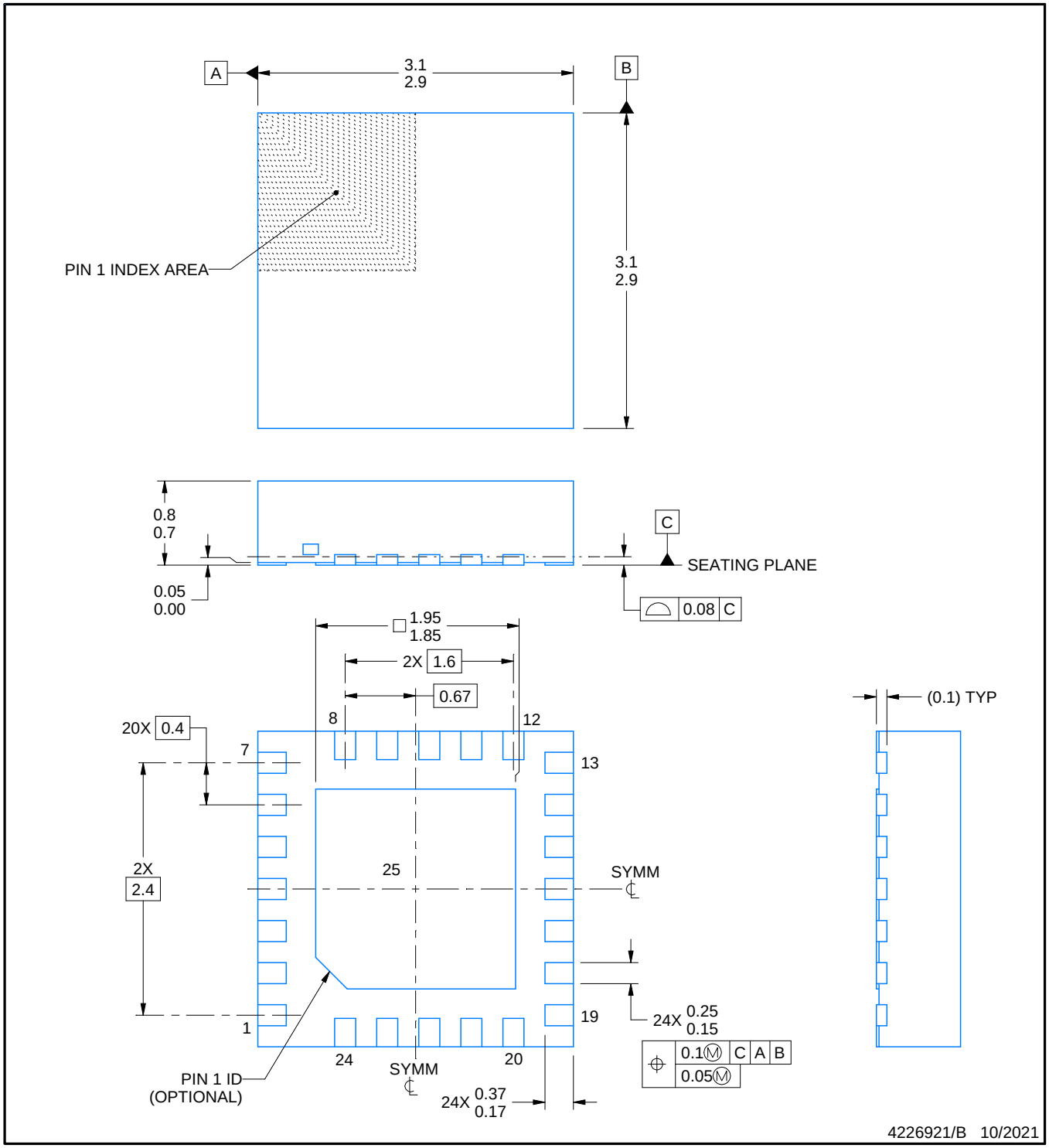
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

# PACKAGE OUTLINE

## RRW0024A

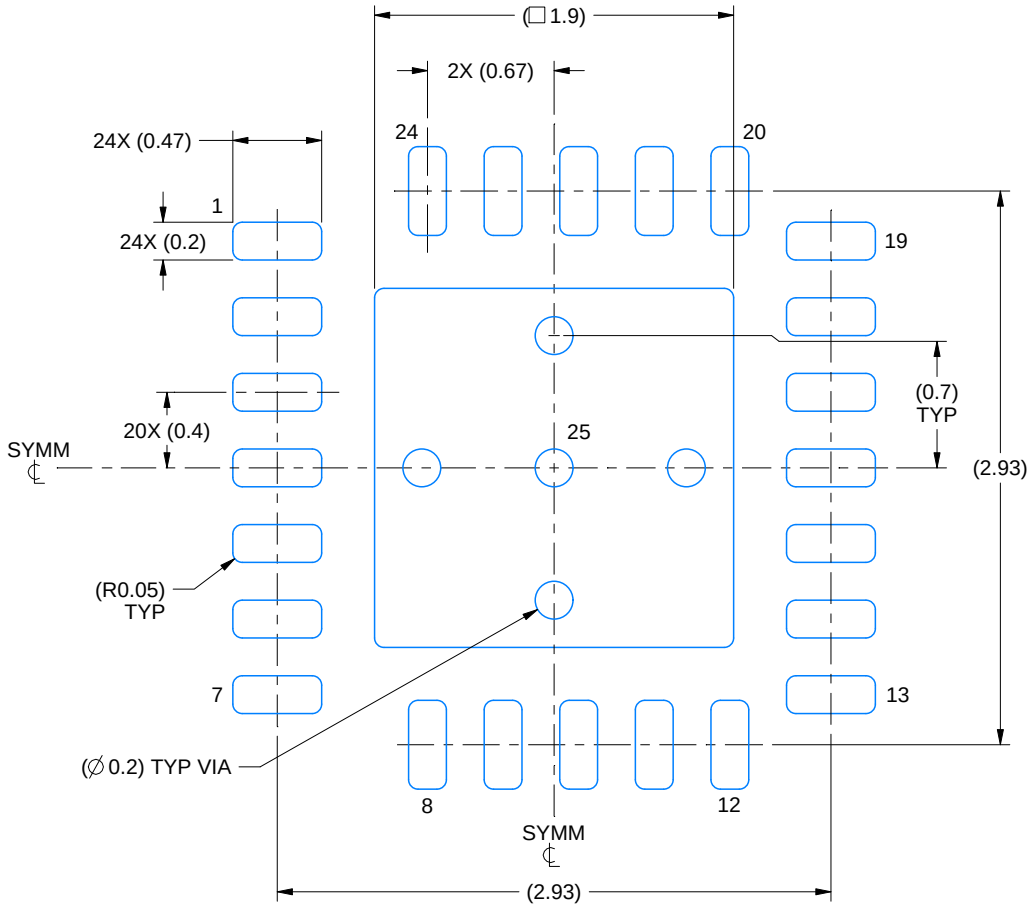
## WQFN - 0.8 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

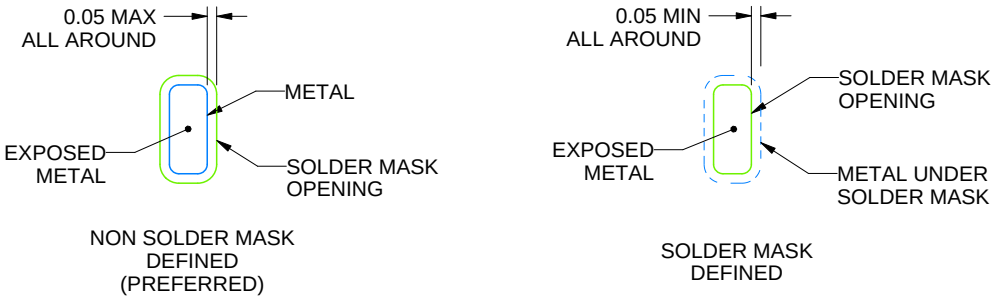



NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.




LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:25X

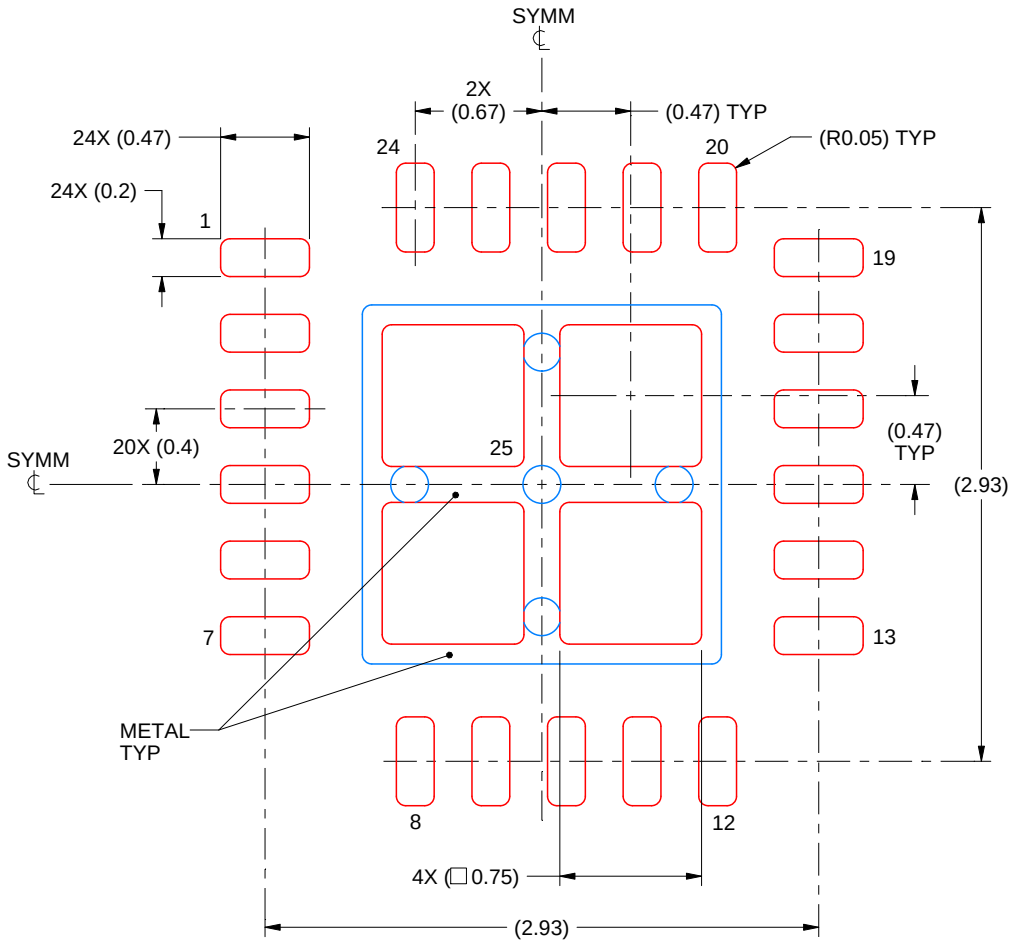



SOLDER MASK DETAILS

4226921/B 10/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.




SOLDER PASTE EXAMPLE
BASED ON 0.1 mm THICK STENCIL

EXPOSED PAD 25:
78% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE
SCALE:25X

4226921/B 10/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

# 重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月