ISO644x 通用、基础型和增强型、四-通道数字隔离器

1 特性

- 提供功能安全（计划）
  - 有助于进行 IEC 61508 系统设计的文档
- 高达 150Mbps 的数据速率
- 稳健可靠的 SiO_2 隔离栅：
  - 在 1061V_{RMS} 和 1500V_{DC} 工作电压下具有长工作寿命
  - 隔离等级高达 5000V_{RMS}
  - 浪涌抗扰度高达 10.4kV
  - 最高 最小值为 ±200kV/μs CMTI
  - 宽温度范围：环境工作温度为 –40°C 至 125°C
- 电源电压范围：2.25V 至 5.5V
- 过压容限输入
- 默认输出*高电平*（ISO644x）和*低电平*（ISO644xF）选项
- 低传播延迟：5V 时最大值为 10ns、3.3V 时最大值为 12ns
- 支持 SPI 的最高值：5V 时为 25MHz、3.3V 时为 20.8MHz
- 低脉冲宽度失真：5V 时最大值为 1.8ns、3.3V 时最大值为 2.2ns
- 优异的电磁兼容性 (EMC)
  - 系统级 ESD、EFT 和浪涌抗扰性
  - 低辐射
- 宽体 SOIC (DW-16) 封装
- 宽体 SSOP (DFP-16) 封装
- SSOP (DBQ-16) 封装
- 安全相关认证（计划）：
  - DIN EN IEC 60747-17 (VDE 0884-17)
  - UL 1577 组件认证计划
  - IEC 62368-1、IEC 61010-1、IEC 60601-1 和 GB 4943.1 认证

2 应用

- 电源
- 电网、电表
- 电机驱动器
- 工厂自动化
- 楼宇自动化
- 照明
- 电器

3 说明

ISO644x 器件是通用数字隔离器，专为符合 UL 1577 的需要最高 5000V_{RMS} 的隔离额定值的应用而设计。器件还通过了 VDE、TUV、CSA 和 CQC 认证。

ISO644x 器件提供高 EMC 性能，同时隔离 CMOS 或 LVCMOS 数字 I/O。ISO644x 使用 SiO_2 作为隔离栅。每条隔离通道的逻辑输入和输出缓冲器均由绝缘栅相隔离。这些器件配有使能引脚，可用于将相应的输出置于高阻抗状态。

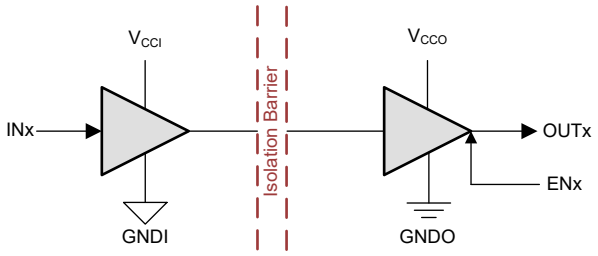
ISO6440 和 ISO6440F 器件的所有通道均为正向。ISO6441 和 ISO6441F 器件有一个反向通道。ISO6442 和 ISO6442F 器件有两个反向通道。

如果输入功率或信号出现损失，不带后缀 F 的器件默认输出*高电平*，带后缀 F 的器件默认输出*低电平*。有关更多详细信息，请参阅*器件功能模式*部分。

封装信息

器件型号(1)	封装	封装尺寸(2)
ISO6440、ISO6440F ISO6441、ISO6441F ISO6442、ISO6442F	宽体 SOIC (DW-16) (3)	10.3mm × 10.3mm
	宽体 SSOP (DFP-16) (3)	10.3mm × 4.6mm
	SSOP (DBQ-16) (3)	6mm × 4.9mm

(1) 有关更多信息，请参阅 节 12。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。
(3) 有关特定设备和包装的生产或预生产状态，请参阅“机械、封装和可订购信息”部分中的“封装选项附录”页面上的“封装信息”表。



V_{CCI} = 输入电源，V_{CCO} = 输出电源
GNDI = 输入地，GNDO = 输出接

简化版原理图

内容

1 特性 ... 1
2 应用 ... 1
3 说明 ... 1
4 器件比较 ... 3
5 引脚配置和功能 ... 4
6 规格 ... 6
6.1 绝对最大额定值 ... 6
6.2 ESD 等级 ... 6
6.3 建议运行条件 ... 7
6.4 热性能信息 ... 7
6.5 功率等级 ... 8
6.6 绝缘规格 ... 8
6.7 安全相关认证 ... 10
6.8 安全限值 ... 10
6.9 电气特性 - 5V 电源 ... 11
6.10 电源电流特性 - 5V 电源 ... 12
6.11 电气特性 - 3.3V 电源 ... 13
6.12 电源电流特性 - 3.3V 电源 ... 14
6.13 电气特性 - 2.5V 电源 ... 15
6.14 电源电流特性 - 2.5V 电源 ... 16
6.15 开关特性 - 5V 电源 ... 17
6.16 开关特性 - 3.3V 电源 ... 18
6.17 开关特性 - 2.5V 电源 ... 19
6.18 绝缘特性曲线 ... 20
6.19 典型特性 ... 22
7 参数测量信息 ... 24
8 详细说明 ... 26
8.1 概述 ... 26
8.2 功能方框图 ... 26
8.3 特性说明 ... 27
8.4 器件功能模式 ... 27
8.5 器件 I/O 原理图 ... 28
8.6 过压容限输入 ... 28
9 应用和实施 ... 29
9.1 应用信息 ... 29
9.2 典型应用 ... 29
9.3 电源相关建议 ... 32
9.4 布局 ... 32
10 器件和文档支持 ... 34
10.1 文档支持 ... 34
10.2 接收文档更新通知 ... 34
10.3 支持资源 ... 34
10.4 器件命名规则 ... 34
10.5 商标 ... 34
10.6 静电放电警告 ... 35
10.7 术语表 ... 35
11 修订历史记录 ... 35
12 机械、封装和可订购信息 ... 35

Copyright © 2025 Texas Instruments Incorporated

4 器件比较

表 4-1. 器件比较表

器件名称	总通道数	反向通道	默认输出	封装	爬电距离/间隙	VDE 额定值	UL V_{ISO}	CMTI
ISO6440DWR	4	0	高电平	宽体 SOIC (DW-16)	>8.15mm	增强型	5000V_{RMS}	最小值为 ±200kV/ μ s
ISO6440FDWR			低电平					
ISO6441DWR		1	高电平					
ISO6441FDWR			低电平					
ISO6442DWR		2	高电平					
ISO6442FDWR			低电平					
ISO6440DFPR	4	0	高电平	宽体 SSOP (DFP-16)	>8mm	增强型	5000V_{RMS}	最小值为 ±200kV/ μ s
ISO6440FDFPR			低电平					
ISO6441DFPR		1	高电平					
ISO6441FDFPR			低电平					
ISO6442DFPR		2	高电平					
ISO6442FDFPR			低电平					
ISO6440DBQR	4	0	高电平	SSOP (DBQ-16)	>3.7mm	基础型	3000V_{RMS}	最小值为 ±100kV/ μ s
ISO6440FDBQR			低电平					
ISO6441DBQR		1	高电平					
ISO6441FDBQR			低电平					
ISO6442DBQR		2	高电平					
ISO6442FDBQR			低电平					

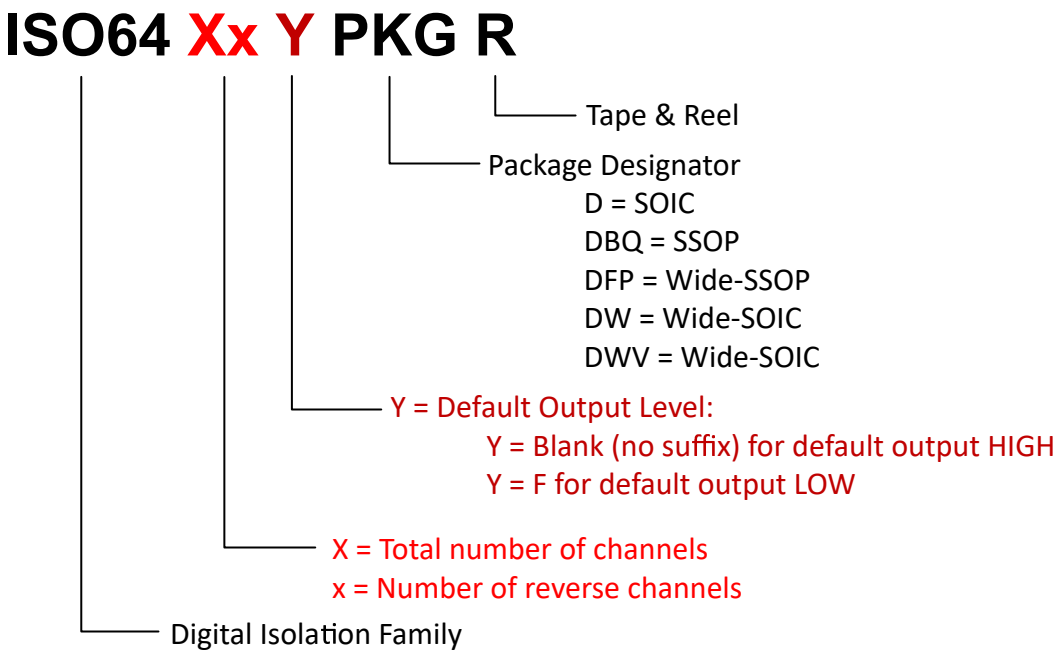


图 4-1. 器件命名规则

5 引脚配置和功能

宽体 SOIC (DW-16)、宽体 SSOP (DFP-16) 和 SSOP (DBQ-16) 的引脚配置

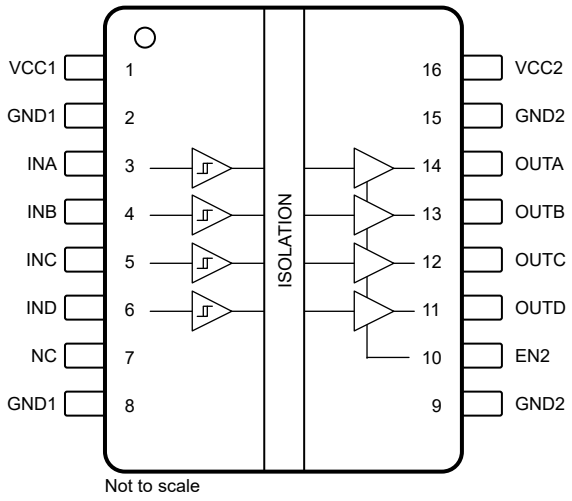


图 5-1. ISO6440 和 ISO6440F 顶视图

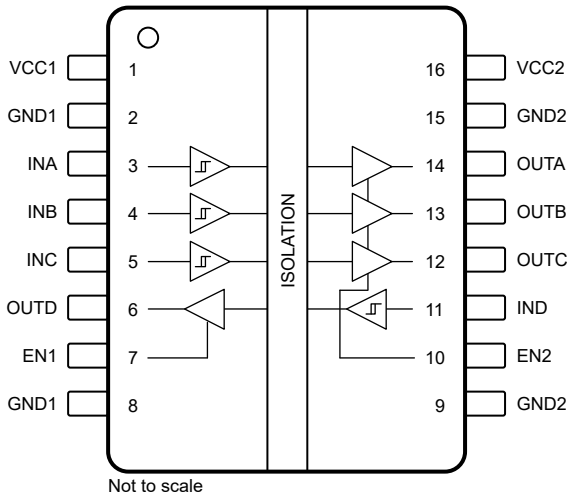


图 5-2. ISO6441 和 ISO6441F 顶视图

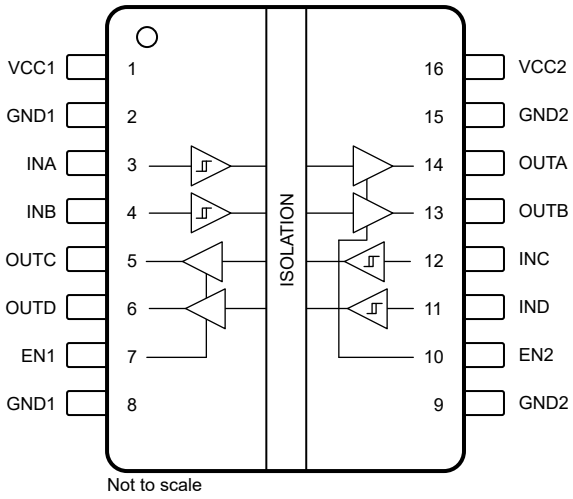


图 5-3. ISO6442 和 ISO6442F 顶视图

Copyright © 2025 Texas Instruments Incorporated

表 5-1. 引脚功能

引脚		类型(1)	说明
名称	ISO6441，ISO6441F		
EN1	7	I	输出使能 1。EN1 为高电平或开路时，启用侧 1 的输出引脚，EN1 为低电平时，处于高阻抗状态。
EN2	10	I	输出使能 2。EN2 为高电平或开路时，启用侧 2 的输出引脚，EN2 为低电平时，处于高阻抗状态。
GND1	2.8	—	V_{CC1} 的接地连接
GND2	9.15	—	V_{CC2} 的接地连接
INA	3	I	输入，通道 A
INB	4	I	输入，通道 B
INC	5	I	输入，通道 C
IND	11	I	输入，通道 D
OUTA	14	O	输出，通道 A
OUTB	13	O	输出，通道 B
OUTC	12	O	输出，通道 C
OUTD	6	O	输出，通道 D
V_{CC1}	1	—	电源，侧 1
V_{CC2}	16	—	电源，侧 2

(1) I = 输入，O = 输出

Copyright © 2025 Texas Instruments Incorporated

6 规格

6.1 绝对最大额定值

请参阅(1)

		最小值	最大值	单位
电源电压(2)	V_{CC1} 至 GND1	-0.5	6	V
	V_{CC2} 至 GND2	-0.5	6	
数字输入电压	INx 至 GNDx	-0.5	6	V
数字输入电压	ENx 至 GNDx	-0.5	6	V
数字输出电压	OUTx 至 GNDx	-0.5	V_{CCX} + 0.5 (3)	V
数字输出电流	I_O	-15	15	mA
温度	工作结温，T_J		150	°C
	贮存温度，T_{stg}	-65	150	°C

(1) 超出“绝对最大额定值”运行可能会对器件造成永久损坏。“绝对最大额定值”并不表示器件在这些条件下或在“建议运行条件”以外的任何其他条件下能够正常运行。如果超出“建议运行条件”但在“绝对最大额定值”范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 差分 I/O 总线电压以外的所有电压值均为相对于本地接地端子（GND1 或 GND2）的峰值电压值
(3) 最大电压不得超过 6V。

6.2 ESD 等级

			值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 标准，所有引脚(1)	±2000	V
		充电器件模型 (CDM)，符合 JEDEC 规范 JESD22-C101，所有引脚(2)	±1500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文档 JEP157 指出：250V CDM 时能够在标准 ESD 控制流程下安全生产。

Copyright © 2025 Texas Instruments Incorporated

6.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

			最小值	标称值	最大值	单位
V_{CC_RO} (1)	电源电压侧 1（建议工作范围）	V_{CC1} = 2.5V 至 5V (3)	2.25		5.5	V
	电源电压侧 2（建议工作范围）	V_{CC2} = 2.5V 至 5V (3)	2.25		5.5	V
V_{CC_UVLO+}	电源电压上升时的 V_{CC} UVLO 阈值				2.24	V
V_{CC_UVLO-}	电源电压下降时的 V_{CC} UVLO 阈值		1.6			V
$V_{CC_UVLO_HYS}$	V_{CC} 电源电压 UVLO 迟滞		0.1			V
$V_{IH(ENx)}$	使能：高电平输入电压	使能：高电平输入电压	0.7 × V_{CCI} (2)		V_{CCI}	V
$V_{IL(ENx)}$	使能：低电平输入电压	使能：低电平输入电压	0		0.3 × V_{CCI}	V
$V_{IH(INx)}$	输入：高电平输入电压		0.7 × V_{CCI} (2)		V_{CCI}	V
$V_{IL(INx)}$	输入：低电平输入电压		0		0.3 × V_{CCI}	V
I_{OH}	输出：高电平输出电流	V_{CCO} = 5V (2)	-4			mA
		V_{CCO} = 3.3V (2)	-2			mA
		V_{CCO} = 2.5V (2)	-1			mA
I_{OL}	输出：低电平输出电流	V_{CCO} = 5V (2)			4	mA
		V_{CCO} = 3.3V (2)			2	mA
		V_{CCO} = 2.5V (2)			1	mA
DR	数据速率	3.0V ≤ V_{CCx} ≤ 5.5V 且 C_L ≤ 15pF (4)	0		150	Mbps
		2.25V ≤ V_{CCx} < 3V 且 C_L ≤ 10pF (4)	0		150	Mbps
		2.25V ≤ V_{CCx} < 3V 且 10pF < C_L ≤ 15pF (4)	0		100	Mbps
T_A	环境温度		-40	25	125	°C

(1) V_{CC1} 和 V_{CC2} 可彼此独立设置
(2) V_{CCI} = 输入侧 V_{CC}；V_{CCO} = 输出侧 V_{CC}
(3) 当 V_{CC_UVLO-} ≤ V_{CC1}、V_{CC2} < $V_{CC_RO(MIN)}$ 时，通道输出为不确定状态。
(4) 参阅 节 7。

6.4 热性能信息

		热指标(1)						单位
封装	引脚	$R_{\theta JA}$	$R_{\theta JC(top)}$	$R_{\theta JB}$	Ψ_{JT}	Ψ_{JB}	$R_{\theta JC(bot)}$	
DW（宽体 SOIC）	16	83	48.5	49	28	48.4	不适用	°C/W
DFP（宽体 SSOP）	16	113.3	63.6	75.6	32.5	74.4	不适用	°C/W
DBQ (SSOP)	16	117.8	60	69.8	29.9	69	不适用	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用手册。

Copyright © 2025 Texas Instruments Incorporated

6.5 功率等级

参数		测试条件	最小值	典型值	最大值	单位
ISO6440（默认高电平）和 ISO6440F（默认低电平，带有 F 后缀）						
P_D	最大功耗（两侧）	V_{CC1} = V_{CC2} = 5.5V，T_J = 150°C，C_L = 15pF，输入 75MHz 50% 占空比方波			268.2	mW
P_{D1}	最大功耗（1 侧）				58.1	mW
P_{D2}	最大功耗（2 侧）				210.1	mW
ISO6441（默认高电平）和 ISO6441F（默认低电平，带有 F 后缀）						
P_D	最大功耗（两侧）	V_{CC1} = V_{CC2} = 5.5V，T_J = 150°C，C_L = 15pF，输入 75MHz 50% 占空比方波			262.2	mW
P_{D1}	最大功耗（1 侧）				94.1	mW
P_{D2}	最大功耗（2 侧）				168.1	mW
ISO6442（默认高电平）和 ISO6442F（默认低电平，带有 F 后缀）						
P_D	最大功耗（两侧）	V_{CC1} = V_{CC2} = 5.5V，T_J = 150°C，C_L = 15pF，输入 75MHz 50% 占空比方波			268	mW
P_{D1}	最大功耗（1 侧）				134	mW
P_{D2}	最大功耗（2 侧）				134	mW

6.6 绝缘规格

参数		测试条件	封装	单位
			16-DW	
IEC 60664-1				
CLR	外部间隙(1)	1 侧到 2 侧的空间距离	>8.15	mm
CPG	外部爬电距离(1)	1 侧到 2 侧的封装表面距离	>8.15	mm
DTI	绝缘穿透距离	最小内部间隙	>17	μm
CTI	相对漏电起痕指数	IEC 60112	>600	V
	材料组	符合 IEC 60664-1	I	
	过压类别	额定市电电压 ≤ 150V_{RMS}	I-IV	
		额定市电电压 ≤ 300V_{RMS}	I-IV	
		额定市电电压 ≤ 600V_{RMS}	I-IV	
		额定市电电压 ≤ 1000V_{RMS}	I-III	
DIN EN IEC 60747-17 (VDE 0884-17)(2)				
V_{IORM}	最大重复峰值隔离电压	交流电压（双极）	1500	V_{PK}
V_{IOWM}	最大隔离工作电压	交流电压（正弦波）；时间依赖型电介质击穿 (TDDB) 测试。	1061	V_{RMS}
		直流电压	1500	V_{DC}
V_{IOTM}	最大瞬态隔离电压	V_{TEST} = V_{IOTM}，t = 60s（鉴定测试）； V_{TEST} = 1.2 ≤ V_{IOTM}，t = 1s（100% 生产测试）	7071	V_{PK}
V_{IMP}	最大脉冲电压(3)	在空气中测试，符合 IEC 62368-1 标准的 1.2/50μs 波形	8000	V_{PK}
V_{IOSM}	最大浪涌隔离电压(4)	V_{IOSM} ≤ 1.3 ≤ V_{IMP}；在油中测试（鉴定测试）， 1.2/50μs 波形，符合 IEC 62368-1 标准	10400	V_{PK}
q_{pd}	视在电荷(5)	方法 a，输入-输出安全测试子组 2/3 后，V_{ini} = V_{IOTM}，t_{ini} = 60s；$V_{pd(m)}$ = 1.2 ≤ V_{IORM}，t_m = 10s	≤5	pC
		方法 a，环境测试子组 1 后，V_{ini} = V_{IOTM}，t_{ini} = 60s； $V_{pd(m)}$ = 1.6 ≤ V_{IORM}，t_m = 10s	≤5	
		方法 b：常规测试（100% 生产测试）；V_{ini} = 1.2 ≤ V_{IOTM}，t_{ini} = 1s；$V_{pd(m)}$ = 1.875 ≤ V_{IORM}，t_m = 1s（方法 b1）或 $V_{pd(m)}$ = V_{ini}，t_m = t_{ini}（方法 b2）	≤5	
C_{IO}	势垒电容，输入至输出(6)	V_{IO} = 0.4 ≤ sin (2 π ft)，f = 1MHz	≅1.6	pF

Copyright © 2025 Texas Instruments Incorporated

参数		测试条件	封装	单位
			16-DW	
R_{IO}	隔离电阻，输入至输出(6)	V_{IO} = 500V，T_A = 25°C	$>10^{12}$	Ω
		V_{IO} = 500V，100°C ≤ T_A ≤ 125°C	$>10^{11}$	
		V_{IO} = 500V，T_S = 150°C	$>10^{9}$	
	污染等级		2	
	气候类别		40/125/21	
UL 1577				
V_{ISO}	可承受的隔离电压	V_{TEST} = V_{ISO}，t = 60s（鉴定测试）；V_{TEST} = 1.2 × V_{ISO}，t = 1s（100% 生产测试）	5000	V_{RMS}

(1) 爬电距离和间隙应满足应用的特定设备隔离标准中的要求。请注意保持电路板设计的爬电距离和间隙，从而确保印刷电路板上隔离器的安装焊盘不会导致此距离缩短。在特定的情况下，印刷电路板上的爬电距离和间隙变得相等。在印刷电路板上插入坡口或肋或同时应用这两项技术可帮助提高这些规格。
(2) 此数字隔离器仅适用于安全额定值范围内的*安全电气绝缘*。应借助合适的保护电路来确保符合安全等级。
(3) 在空气中进行测试，以确定封装的浪涌抗扰度。
(4) 在油中进行测试，以确定隔离栅的固有浪涌抗扰度。
(5) 视在电荷是局部放电 (pd) 引起的电气放电。
(6) 将隔离层每一侧的所有引脚都连在一起，构成一个双引脚器件。

Copyright © 2025 Texas Instruments Incorporated

6.7 安全相关认证

VDE	CSA	UL	CQC	TUV
计划根据 DIN EN IEC 60747-17 (VDE 0884-17) 进行认证	计划根据 IEC 62368-1、IEC 61010-1 和 IEC 60601 进行认证	计划根据 UL 1577 组件认证计划进行认证	计划根据 GB4943.1 进行认证	计划根据 EN 61010-1 和 EN 62368-1 进行认证
已计划获得证书	已计划获得证书	已计划获得证书	已计划获得证书	已计划获得证书

6.8 安全限值

安全限值(1)旨在更大限度地减小在发生输入或输出电路故障时对隔离栅的潜在损害。

参数		测试条件	最小值	典型值	最大值	单位
DW-16 封装						
I_S	安全输入、输出或电源电流	$R_{\theta JA}$ = 83°C/W，V_I = 5.5V，T_J = 150°C，T_A = 25°C			273.8	mA
		$R_{\theta JA}$ = 83°C/W，V_I = 3.6V，T_J = 150°C，T_A = 25°C			418.3	mA
		$R_{\theta JA}$ = 83°C/W，V_I = 2.75V，T_J = 150°C，T_A = 25°C			547.6	
P_S	安全输入、输出或总功率	$R_{\theta JA}$ = 83°C/W，T_J = 150°C，T_A = 25°C			1506	mW
T_S	最高安全温度				150	°C
DFP-16 封装						
I_S	安全输入、输出或电源电流	$R_{\theta JA}$ = 113.3°C/W，V_I = 5.5V，T_J = 150°C，T_A = 25°C			200.6	mA
I_S	安全输入、输出或电源电流	$R_{\theta JA}$ = 113.3°C/W，V_I = 3.6V，T_J = 150°C，T_A = 25°C			306.5	mA
I_S	安全输入、输出或电源电流	$R_{\theta JA}$ = 113.3°C/W，V_I = 2.75V，T_J = 150°C，T_A = 25°C			401.2	mA
P_S	安全输入、输出或总功率	$R_{\theta JA}$ = 113.3°C/W，T_J = 150°C，T_A = 25°C			1103.3	mW
T_S	最高安全温度				150	°C
DBQ-16 封装						
I_S	安全输入、输出或电源电流	$R_{\theta JA}$ = 117.8°C/W，V_I = 5.5V，T_J = 150°C，T_A = 25°C			192.9	mA
I_S	安全输入、输出或电源电流	$R_{\theta JA}$ = 117.8°C/W，V_I = 3.6V，T_J = 150°C，T_A = 25°C			294.8	mA
I_S	安全输入、输出或电源电流	$R_{\theta JA}$ = 117.8°C/W，V_I = 2.75V，T_J = 150°C，T_A = 25°C			385.9	mA
P_S	安全输入、输出或总功率	$R_{\theta JA}$ = 117.8°C/W，T_J = 150°C，T_A = 25°C			1061.1	mW
T_S	最高安全温度				150	°C

(1) 最高安全温度 T_S 与器件指定的最大结温 T_J 的值相同。I_S 和 P_S 参数分别表示安全电流和安全功率。请勿超出 I_S 和 P_S 的最大限值。这些限值随环境温度 T_A 的变化而变化。
表中的结至空气热阻 $R_{\theta JA}$ 所属器件安装在引线式表面贴装封装对应的高 K 测试板上。可使用以下公式计算各参数值：
$T_J = T_A + R_{\theta JA} \times P$，其中，P 为器件所耗功率。
$T_{J(max)} = T_S = T_A + R_{\theta JA} \times P_S$，其中，$T_{J(max)}$ 为允许的最大结温。
$P_S = I_S \times V_I$，其中，V_I 为最大输入电压。

Copyright © 2025 Texas Instruments Incorporated

6.9 电气特性 - 5V 电源

V_{CC1} = V_{CC2} = 5V ±10%（在建议运行条件下测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$V_{OH(OUTx)}$	OUTx（输出）高电平输出电压	I_{OH} = -4mA；请参阅节 7	V_{CCO} - 0.4 (1)			V
$V_{OL(OUTx)}$	OUTx（输出）低电平输出电压	I_{OL} = 4mA；请参阅节 7			0.4	
$V_{IT+(INx)}$	INx（输入）开关阈值电压，上升				0.7 x V_{CCI} (1)	
$V_{IT-(INx)}$	INx（输入）开关阈值电压，下降		0.3 x V_{CCI}			
$V_{I_HYS(INx)}$	INx（输入）开关阈值电压迟滞		0.1 x V_{CCI}			
$I_{I(INx)}$	INx（输入）输入电流（默认为高电平器件）	高输入电流： 在 INx 时（泄露电流），V_{IH} = V_{CCI} (1)			1	μA
		低输入电流： 在 INx 时（漏电流和通过默认高上拉电阻的电流），V_{IL} = 0V	-10			
	INx（输入）输入电流（默认为低电平器件，带 F 后缀）	高输入电流：在 INx 时（漏电流和通过默认低电平上拉电阻的电流），V_{IH} = V_{CCI} (1)			10	
		低输入电流：在 INx 时（泄露电流），V_{IL} = 0V	-1			
$V_{IH(ENx)}$	ENx（使能）阈值电压，上升				0.7 x V_{CCI} (1)	V
$V_{IL(ENx)}$	ENx（使能）阈值电压，下降		0.3 x V_{CCI}			
$V_{I_HYS(ENx)}$	ENx（使能）阈值电压迟滞		0.1 x V_{CCI}			
$I_{I(ENx)}$	ENx（使能）输入电流（集成上拉电阻）	高输入电流： 在 ENx 时（泄露电流），V_{IH} = V_{CCI} (1)			1	μA
		低输入电流： 在 ENx 时（漏电流和通过默认高上拉电阻的电流），V_{IL} = 0V	-10			
CMTI_R	共模瞬态抗扰度、增强型隔离器件（DW 封装、DFP 封装）	V_I = V_{CC} 或 0V，V_{CM} = 1200V，V_{ENx} = V_{CC} ；请参阅节 7	200	250		kV/μs
CMTI_B	共模瞬态抗扰度、基础隔离器件（DBQ 封装）	V_I = V_{CC} 或 0V，V_{CM} = 500V，V_{ENx} = V_{CC} ；请参阅节 7	100	125		kV/μs
C_i	输入电容 (2)	V_I = V_{CC}/2 + 0.4×sin(2πft)，f = 2MHz，V_{CC} = 5V		1.5		pF

(1) V_{CCI} = 输入侧 V_{CC}；V_{CCO} = 输出侧 V_{CC}
(2) 输入引脚到同侧接地端的测量结果。

Copyright © 2025 Texas Instruments Incorporated

6.10 电源电流特性 - 5V 电源

V_{CC1} = V_{CC2} = 5V ±10%（在建议运行条件下测得，除非另有说明）

参数	测试条件		电源电流	最小值	典型值	最大值	单位
ISO6440（默认高电平）和 ISO6440F（默认低电平，带有 F 后缀）							
电源电流 - 直流信号 (2)	V_I = V_{CC1} (1)（默认高电平）；V_I = 0V（默认低电平，带 F 后缀）		I_{CC1}		3.4	4.7	mA
			I_{CC2}		1.3	1.5	
	V_I = 0V（默认高电平）；V_I = V_{CC1}（默认低电平，带 F 后缀）		I_{CC1}		11.3	13.1	
			I_{CC2}		1.1	1.3	
电源电流 - 交流信号 (3)	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}		7.25	8.9	
			I_{CC2}		1.4	1.6	
		10Mbps	I_{CC1}		7.35	8.9	
			I_{CC2}		3.2	3.9	
		100Mbps	I_{CC1}		7.8	10.0	
			I_{CC2}		22	26	
ISO6441（默认高电平）和 ISO6441F（默认低电平，带有 F 后缀）							
电源电流 - 直流信号 (2)	V_I = V_{CC1} (1)（默认高电平）；V_I = 0V（默认低电平，带 F 后缀）		I_{CC1}		3.2	4.6	mA
			I_{CC2}		2.2	3	
	V_I = 0V（默认高电平）；V_I = V_{CC1}（默认低电平，带 F 后缀）		I_{CC1}		8.5	10.5	
			I_{CC2}		3.9	4.8	
电源电流 - 交流信号 (3)	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}		5.9	7.5	
			I_{CC2}		3.2	4	
		10Mbps	I_{CC1}		6.5	8.1	
			I_{CC2}		4.7	5.6	
		100Mbps	I_{CC1}		11.5	13.9	
			I_{CC2}		18.4	21.7	
ISO6442（默认高电平）和 ISO6442F（默认低电平，带有 F 后缀）							
电源电流 - 直流信号 (2)	V_I = V_{CC1} (1)（默认高电平）；V_I = 0V（默认低电平，带 F 后缀）		I_{CC1}、I_{CC2}		2.2	3.15	mA
	V_I = 0V（默认高电平）；V_I = V_{CC1}（默认低电平，带 F 后缀）		I_{CC1}、I_{CC2}		5.6	7.4	
电源电流 - 交流信号 (3)	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		4.5	5.3	
		10Mbps	I_{CC1}、I_{CC2}		5.5	6.5	
		100Mbps	I_{CC1}、I_{CC2}		15.2	18.0	

(1) V_{CCI} = 输入侧 V_{CC}
(2) ENx = V_{CCx} 时，电源电流有效
(3) ENx = V_{CCx} 时，电源电流有效

Copyright © 2025 Texas Instruments Incorporated

6.11 电气特性 - 3.3V 电源

V_{CC1} = V_{CC2} = 3.3V ±10%（在建议运行条件下测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$V_{OH(OUTx)}$	OUTx（输出）高电平输出电压	I_{OH} = -2mA；请参阅节 7	V_{CCO} - 0.2 (1)			V
$V_{OL(OUTx)}$	OUTx（输出）低电平输出电压	I_{OL} = 2mA；请参阅节 7			0.2	
$V_{IT+(INx)}$	INx（输入）开关阈值电压，上升				0.7 x V_{CCI} (1)	
$V_{IT-(INx)}$	INx（输入）开关阈值电压，下降		0.3 x V_{CCI}			
$V_{I_HYS(INx)}$	INx（输入）开关阈值电压迟滞		0.1 x V_{CCI}			
$I_{I(INx)}$	INx（输入）输入电流（默认为高电平器件）	高输入电流： 在 INx 时（泄露电流），V_{IH} = V_{CCI} (1)			1	μA
		低输入电流： 在 INx 时（漏电流和通过默认高上拉电阻的电流），V_{IL} = 0V	-10			
	INx（输入）输入电流（默认为低电平器件，带 F 后缀）	高输入电流：在 INx 时（漏电流和通过默认低电平上拉电阻的电流），V_{IH} = V_{CCI} (1)			10	
		低输入电流：在 INx 时（泄露电流），V_{IL} = 0V	-1			
$V_{IH(ENx)}$	ENx（使能）阈值电压，上升				0.7 x V_{CCI} (1)	V
$V_{IL(ENx)}$	ENx（使能）阈值电压，下降		0.3 x V_{CCI}			
$V_{I_HYS(ENx)}$	ENx（使能）阈值电压迟滞		0.1 x V_{CCI}			
$I_{I(ENx)}$	ENx（使能）输入电流（集成上拉电阻）	高输入电流： 在 ENx 时（泄露电流），V_{IH} = V_{CCI} (1)			1	μA
		低输入电流： 在 ENx 时（漏电流和通过默认高上拉电阻的电流），V_{IL} = 0V	-10			
CMTI_R	共模瞬态抗扰度、增强型隔离器件（DW 封装 、DFP 封装）	V_I = V_{CC} 或 0V，V_{CM} = 1200V，V_{ENx} = V_{CC} ；请参阅节 7	200	250		kV/μs
CMTI_B	共模瞬态抗扰度、基础隔离器件（DBQ 封装 ）	V_I = V_{CC} 或 0V，V_{CM} = 500V，V_{ENx} = V_{CC} ；请参阅节 7	100	125		kV/μs
C_i	输入电容 (2)	V_I = V_{CC}/2 + 0.4×sin(2πft)，f = 2MHz，V_{CC} = 3.3V		1.5		pF

(1) V_{CCI} = 输入侧 V_{CC}；V_{CCO} = 输出侧 V_{CC}
(2) 输入引脚到同侧接地端的测量结果。

Copyright © 2025 Texas Instruments Incorporated

6.12 电源电流特性 - 3.3V 电源

V_{CC1} = V_{CC2} = 3.3V ±10%（在建议运行条件下测得，除非另有说明）

参数	测试条件		电源电流	最小值	典型值	最大值	单位
ISO6440（默认高电平）和 ISO6440F（默认低电平，带有 F 后缀）							
电源电流 - 直流信号 (2)	V_I = V_{CC1} (1)（默认高电平）；V_I = 0V（默认低电平，带 F 后缀）		I_{CC1}		3.3	4.7	mA
			I_{CC2}		1.2	1.5	
	V_I = 0V（默认高电平）；V_I = V_{CC1}（默认低电平，带 F 后缀）		I_{CC1}		10.3	13.1	
			I_{CC2}		1.1	1.3	
电源电流 - 交流信号 (3)	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}		7.5	8.8	
			I_{CC2}		1.3	1.5	
		10Mbps	I_{CC1}		7.5	8.9	
			I_{CC2}		2.5	2.9	
		100Mbps	I_{CC1}		8.0	9.5	
			I_{CC2}		14.9	17.0	
ISO6441（默认高电平）和 ISO6441F（默认低电平，带有 F 后缀）							
电源电流 - 直流信号 (2)	V_I = V_{CC1} (1)（默认高电平）；V_I = 0V（默认低电平，带 F 后缀）		I_{CC1}		3.2	4.5	mA
			I_{CC2}		2.2	2.9	
	V_I = 0V（默认高电平）；V_I = V_{CC1}（默认低电平，带 F 后缀）		I_{CC1}		8.5	10.4	
			I_{CC2}		3.8	4.8	
电源电流 - 交流信号 (3)	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}		5.9	7.4	
			I_{CC2}		3.1	3.9	
		10Mbps	I_{CC1}		6.2	7.8	
			I_{CC2}		4.1	5	
		100Mbps	I_{CC1}		9.5	11.6	
			I_{CC2}		13.2	15.5	
ISO6442（默认高电平）和 ISO6442F（默认低电平，带有 F 后缀）							
电源电流 - 直流信号 (2)	V_I = V_{CC1} (1)（默认高电平）；V_I = 0V（默认低电平，带 F 后缀）		I_{CC1}、I_{CC2}		2.4	3.1	mA
	V_I = V_{CC1} (1)（默认高电平）；V_I = 0V（默认低电平，带 F 后缀）		I_{CC1}、I_{CC2}		5.6	7.3	
电源电流 - 交流信号 (3)	V_I = 0V（默认高电平）；V_I = V_{CC1}（默认低电平，带 F 后缀）	1Mbps	I_{CC1}、I_{CC2}		4.4	5.2	
		10Mbps	I_{CC1}、I_{CC2}		5.1	6.0	
		100Mbps	I_{CC1}、I_{CC2}		11.5	13.1	

(1) V_{CCI} = 输入侧 V_{CC}
(2) ENx = V_{CCx} 时，电源电流有效
(3) ENx = V_{CCx} 时，电源电流有效

Copyright © 2025 Texas Instruments Incorporated

6.13 电气特性 - 2.5V 电源

V_{CC1} = V_{CC2} = 2.5V ±10%（在建议运行条件下测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
$V_{OH(OUTx)}$	OUTx（输出）高电平输出电压	I_{OH} = -1mA；请参阅节 7	V_{CCO} - 0.1 (1)			V
$V_{OL(OUTx)}$	OUTx（输出）低电平输出电压	I_{OL} = 1mA；请参阅节 7			0.1	
$V_{IT+(INx)}$	INx（输入）开关阈值电压，上升				0.7 x V_{CCI} (1)	
$V_{IT-(INx)}$	INx（输入）开关阈值电压，下降		0.3 x V_{CCI}			
$V_{I_HYS(INx)}$	INx（输入）开关阈值电压迟滞		0.1 x V_{CCI}			
$I_{I(INx)}$	INx（输入）输入电流（默认为高电平器件）	高输入电流： 在 INx 时（泄露电流），V_{IH} = V_{CCI} (1)			1	μA
		低输入电流： 在 INx 时（漏电流和通过默认高上拉电阻的电流），V_{IL} = 0V	-10			
	INx（输入）输入电流（默认为低电平器件，带 F 后缀）	高输入电流：在 INx 时（漏电流和通过默认低电平上拉电阻的电流），V_{IH} = V_{CCI} (1)			10	
		低输入电流：在 INx 时（泄露电流），V_{IL} = 0V	-1			
$V_{IH(ENx)}$	ENx（使能）阈值电压，上升				0.7 x V_{CCI} (1)	V
$V_{IL(ENx)}$	ENx（使能）阈值电压，下降		0.3 x V_{CCI}			
$V_{I_HYS(ENx)}$	ENx（使能）阈值电压迟滞		0.1 x V_{CCI}			
$I_{I(ENx)}$	ENx（使能）输入电流（集成上拉电阻）	高输入电流： 在 ENx 时（泄露电流），V_{IH} = V_{CCI} (1)			1	μA
		低输入电流： 在 ENx 时（漏电流和通过默认高上拉电阻的电流），V_{IL} = 0V	-10			
CMTI_R	共模瞬态抗扰度、增强型隔离器件（DW 封装 、DFP 封装）	V_I = V_{CC} 或 0V，V_{CM} = 1200V，V_{ENx} = V_{CC} ；请参阅节 7	200	250		kV/μs
CMTI_B	共模瞬态抗扰度、基础隔离器件（DBQ 封装 ）	V_I = V_{CC} 或 0V，V_{CM} = 500V，V_{ENx} = V_{CC} ；请参阅节 7	100	125		kV/μs
C_i	输入电容 (2)	V_I = V_{CC}/2 + 0.4×sin(2πft)，f = 2MHz，V_{CC} = 2.5V		1.5		pF

(1) V_{CCI} = 输入侧 V_{CC}；V_{CCO} = 输出侧 V_{CC}
(2) 输入引脚到同侧接地端的测量结果。

Copyright © 2025 Texas Instruments Incorporated

6.14 电源电流特性 - 2.5V 电源

V_{CC1} = V_{CC2} = 2.5V ±10%（在建议运行条件下测得，除非另有说明）

参数	测试条件		电源电流	最小值	典型值	最大值	单位
ISO6440（默认高电平）和 ISO6440F（默认低电平，带有 F 后缀）							
电源电流 - 直流信号 (2)	V_I = V_{CC1} (1)（默认高电平）；V_I = 0V（默认低电平，带 F 后缀）		I_{CC1}		3.3	4.6	mA
			I_{CC2}		1.2	1.4	
	V_I = 0V（默认高电平）；V_I = V_{CC1}（默认低电平，带 F 后缀）		I_{CC1}		11.2	13.0	
			I_{CC2}		1.0	1.21	
电源电流 - 交流信号 (3)	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}		7.3	8.8	
			I_{CC2}		1.2	1.5	
		10Mbps	I_{CC1}		7.4	8.8	
			I_{CC2}		2.2	2.5	
		100Mbps	I_{CC1}		7.6	9.3	
			I_{CC2}		11.5	13.3	
ISO6441（默认高电平）和 ISO6441F（默认低电平，带有 F 后缀）							
电源电流 - 直流信号 (2)	V_I = V_{CC1} (1)（默认高电平）；V_I = 0V（默认低电平，带 F 后缀）		I_{CC1}		3.1	4.5	mA
			I_{CC2}		2.1	2.9	
	V_I = 0V（默认高电平）；V_I = V_{CC1}（默认低电平，带 F 后缀）		I_{CC1}		8.5	10.4	
			I_{CC2}		3.8	4.7	
电源电流 - 交流信号 (3)	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}		5.8	7.4	
			I_{CC2}		3.1	3.9	
		10Mbps	I_{CC1}		6.1	7.7	
			I_{CC2}		3.8	4.7	
		100Mbps	I_{CC1}		8.6	10.6	
			I_{CC2}		10.7	12.7	
ISO6442（默认高电平）和 ISO6442F（默认低电平，带有 F 后缀）							
电源电流 - 直流信号 (2)	V_I = V_{CC1} (1)（默认高电平）；V_I = 0V（默认低电平，带 F 后缀）		I_{CC1}、I_{CC2}		2.1	3.1	mA
	V_I = 0V（默认高电平）；V_I = V_{CC1}（默认低电平，带 F 后缀）		I_{CC1}、I_{CC2}		5.6	7.2	
电源电流 - 交流信号 (3)	所有通道均通过方波时钟输入实现开关；C_L = 15pF	1Mbps	I_{CC1}、I_{CC2}		3.9	5.2	
		10Mbps	I_{CC1}、I_{CC2}		4.6	5.8	
		100Mbps	I_{CC1}、I_{CC2}		9.3	11.5	

(1) V_{CCI} = 输入侧 V_{CC}
(2) ENx = V_{CCx} 时，电源电流有效
(3) ENx = V_{CCx} 时，电源电流有效

Copyright © 2025 Texas Instruments Incorporated

6.15 开关特性 - 5V 电源

V_{CC1} = V_{CC2} = 5V ±10%（在建议运行条件下测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{PLH}、t_{PHL}	传播延迟时间	100kbps 时 请参阅 节 7	3.85	6.2	10	ns
PWD	脉宽失真(1) $\lvert t_{PHL} - t_{PLH} \rvert$			0.07	1.8	
$t_{sk(o)}$	通道间输出偏斜时间(2)	同向通道			1.5	ns
$t_{sk(pp)}$	器件间偏斜时间(3)				3	
t_r	输出信号上升时间	请参阅 节 7			3	ns
t_f	输出信号下降时间				3	
t_{PHZ}	禁用传播延时，高电平至高阻抗输出	请参阅 节 7			9	ns
t_{PLZ}	禁用传播延时，低电平至高阻抗输出				8	
t_{PZH}	启用带 EN 引脚的器件的传播延时、高阻抗至高电平输出	请参阅 节 7			7	ns
t_{PZL}	启用带 EN 引脚的器件的传播延时、高阻抗至低电平输出				8	
t_{PU}	从 V_{CC} UVLO 至有效输出数据的时间	V_{CC} 斜坡 < 1µs			90	µs
t_{DO}	输入功率损耗的默认输出延时时间	从 VCC 降至低于 $V_{CC_UVLO-(MIN)}$ 之时开始测量。请参阅 节 7		0.045	0.1	µs
t_{ie}	时间间隔误差	100Mbps 时的 PRBS 数据为 2^{16} – 1		0.23		ns

(1) 也称为脉冲偏斜。
(2) $t_{sk(o)}$ 是以下单个器件的输出之间的偏斜：所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。
(3) $t_{sk(pp)}$ 是以下不同器件的任意端子之间的传播延迟时间差幅度：在相同电源电压、温度、输入信号和负载下工作，同时在相同方向上开关。

Copyright © 2025 Texas Instruments Incorporated

6.16 开关特性 - 3.3V 电源

V_{CC1} = V_{CC2} = 3.3V ±10%（在建议运行条件下测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{PLH}、t_{PHL}	传播延迟时间	100kbps 时 请参阅 节 7	4	7	12	ns
PWD	脉宽失真(1) $\lvert t_{PHL} - t_{PLH} \rvert$			0.35	2.2	
$t_{sk(o)}$	通道间输出偏斜时间(2)	同向通道			1.5	ns
$t_{sk(pp)}$	器件间偏斜时间(3)				3	
t_r	输出信号上升时间	请参阅 节 7			4	ns
t_f	输出信号下降时间				4	
t_{PHZ}	禁用传播延时，高电平至高阻抗输出	请参阅 节 7			14	ns
t_{PLZ}	禁用传播延时，低电平至高阻抗输出				12	
t_{PZH}	启用带 EN 引脚的器件的传播延时、高阻抗至高电平输出	请参阅 节 7			11	ns
t_{PZL}	启用带 EN 引脚的器件的传播延时、高阻抗至低电平输出				10	
t_{PU}	从 V_{CC} UVLO 至有效输出数据的时间	V_{CC} 斜坡 < 1µs			70	µs
t_{DO}	输入功率损耗的默认输出延时时间	从 VCC 降至低于 $V_{CC_UVLO-(MIN)}$ 之时开始测量。请参阅 节 7		0.045	0.1	µs
t_{ie}	时间间隔误差	100Mbps 时的 PRBS 数据为 2^{16} – 1		0.2		ns

(1) 也称为脉冲偏斜。
(2) $t_{sk(o)}$ 是以下单个器件的输出之间的偏斜：所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。
(3) $t_{sk(pp)}$ 是以下不同器件的任意端子之间的传播延迟时间差幅度：在相同电源电压、温度、输入信号和负载下工作，同时在相同方向上开关。

Copyright © 2025 Texas Instruments Incorporated

6.17 开关特性 - 2.5V 电源

V_{CC1} = V_{CC2} = 2.5V ±10%（在建议运行条件下测得，除非另有说明）

参数		测试条件	最小值	典型值	最大值	单位
t_{PLH}、t_{PHL}	传播延迟时间	（100kbps 下）请参阅 节 7	4.75	8.4	14.5	ns
PWD	脉宽失真(1) $\lvert t_{PHL} - t_{PLH} \rvert$			0.55	2.6	
$t_{sk(o)}$	通道间输出偏斜时间(2)	同向通道			1.5	ns
$t_{sk(pp)}$	器件间偏斜时间(3)				3	
t_r	输出信号上升时间	请参阅 节 7			5	ns
t_f	输出信号下降时间				5	
t_{PHZ}	禁用传播延时，高电平至高阻抗输出	请参阅 节 7			19	ns
t_{PLZ}	禁用传播延时，低电平至高阻抗输出				17	
t_{PZH}	启用带 EN 引脚的器件的传播延时、高阻抗至高电平输出	请参阅 节 7			17	ns
t_{PZL}	启用带 EN 引脚的器件的传播延时、高阻抗至低电平输出				12	
t_{PU}	从 V_{CC} UVLO 至有效输出数据的时间	V_{CC} 斜坡 < 1µs			80	µs
t_{DO}	输入功率损耗的默认输出延时时间	从 VCC 降至低于 $V_{CC_UVLO-(MIN)}$ 之时开始测量。请参阅 节 7		0.047	0.1	µs
t_{ie}	时间间隔误差	100Mbps 时的 PRBS 数据为 2^{16} – 1		0.22		ns

(1) 也称为脉冲偏斜。
(2) $t_{sk(o)}$ 是以下单个器件的输出之间的偏斜：所有驱动输入均连在一起且在驱动相同负载时输出在相同方向上开关。
(3) $t_{sk(pp)}$ 是以下不同器件的任意端子之间的传播延迟时间差幅度：在相同电源电压、温度、输入信号和负载下工作，同时在相同方向上开关。

Copyright © 2025 Texas Instruments Incorporated

6.18 绝缘特性曲线

宽体 SOIC (DW-16) 封装的绝缘特性曲线

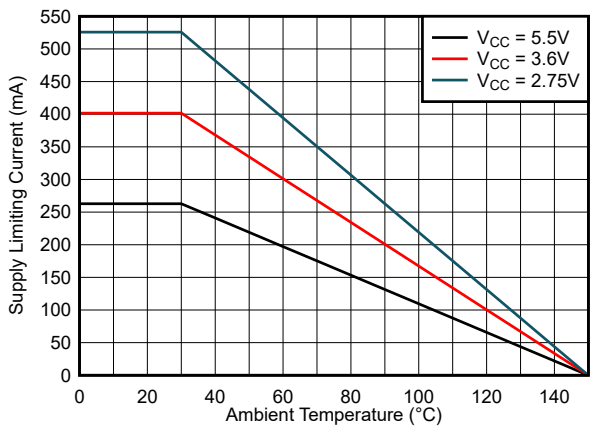


图 6-1. 宽体 SOIC (DW-16) 封装安全限制电流的热降额曲线

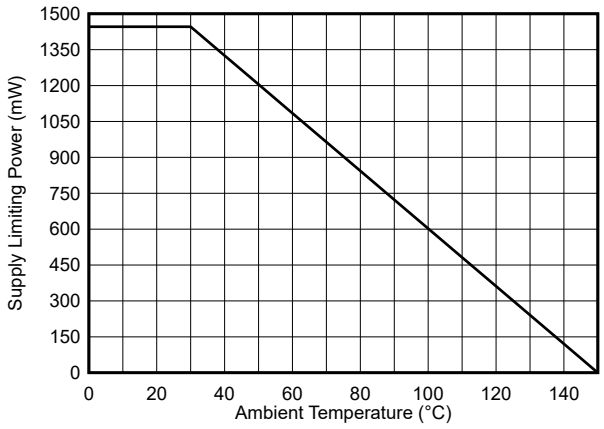


图 6-2. 宽体 SOIC (DW-16) 封装安全限制功率的热降额曲线

宽体 SSOP (DFP-16) 封装的绝缘特性曲线

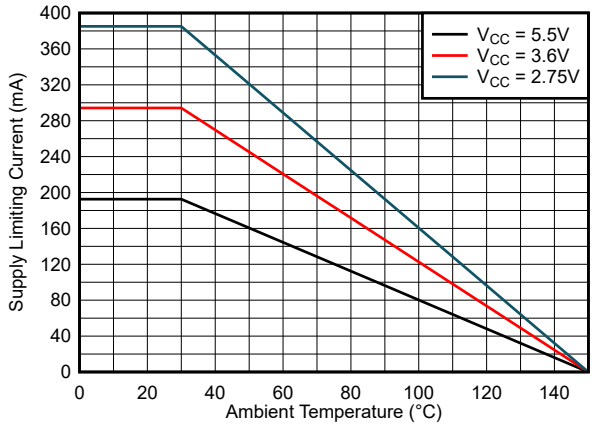


图 6-3. 宽体 SSOP (DFP-16) 封装安全限制电流的热降额曲线

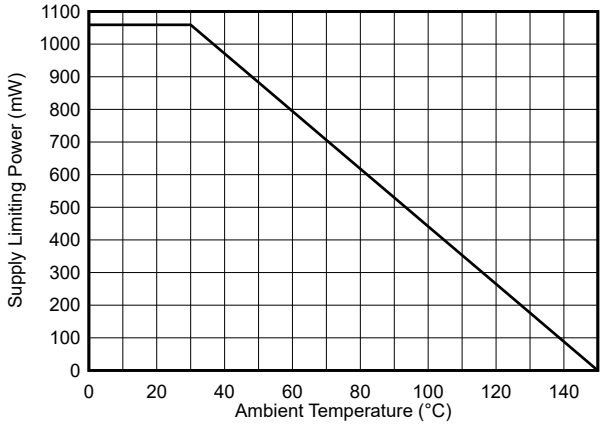


图 6-4. 宽体 SSOP (DFP-16) 封装安全限制功率的热降额曲线

Copyright © 2025 Texas Instruments Incorporated

SSOP (DBQ-16) 封装的绝缘特性曲线

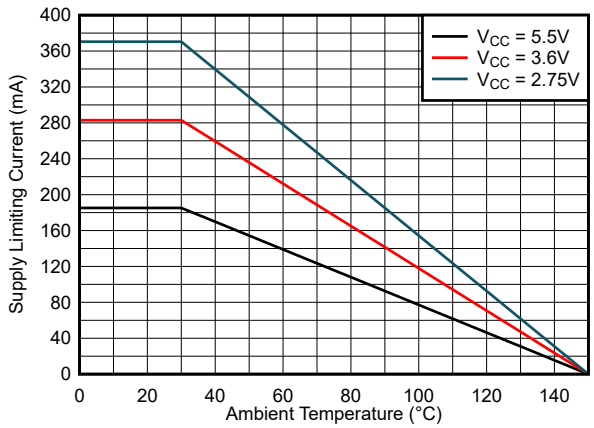


图 6-5. SSOP (DBQ-16) 封装安全限制电流的热降额曲线

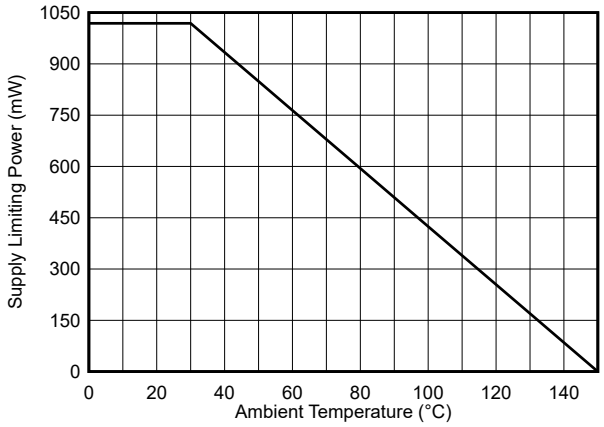


图 6-6. SSOP (DBQ-16) 封装安全限制功率的热降额曲线

Copyright © 2025 Texas Instruments Incorporated

6.19 典型特性

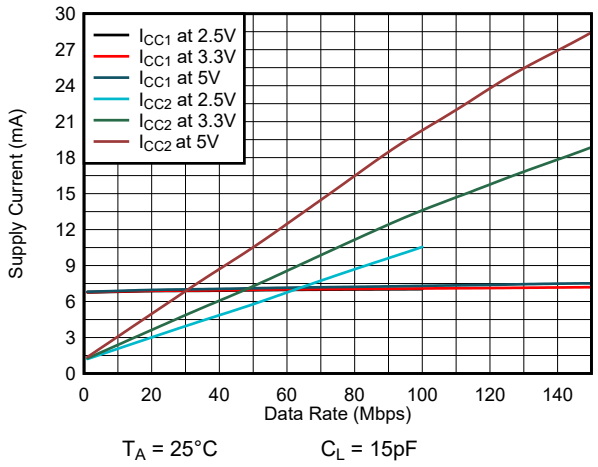


图 6-7. ISO6440 或 ISO6440F 电源电流与数据速率间的关系（15pF 负载）

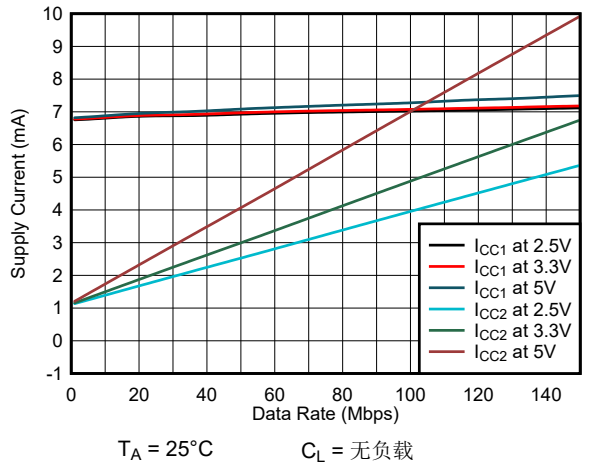


图 6-8. ISO6440 或 ISO6440F 电源电流与数据速率间的关系（无负载）

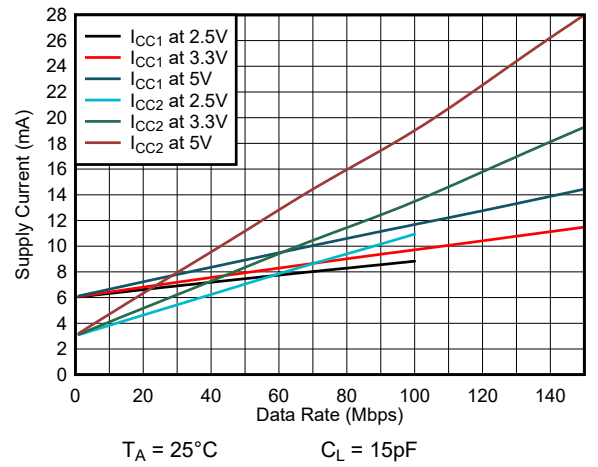


图 6-9. ISO6441 或 ISO6441F 电源电流与数据速率间的关系（15pF 负载）

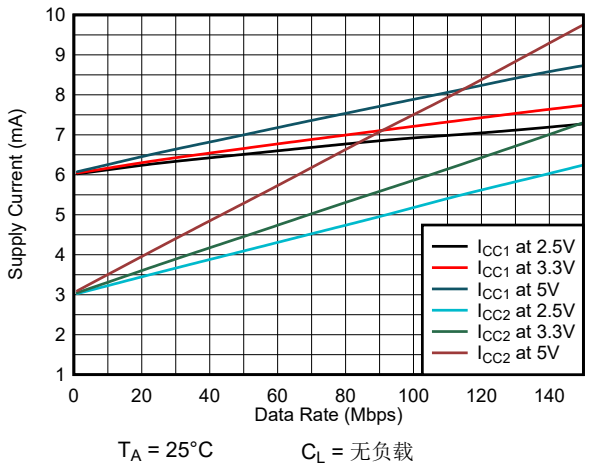


图 6-10. ISO6441 或 ISO6441F 电源电流与数据速率间的关系（无负载）

Copyright © 2025 Texas Instruments Incorporated

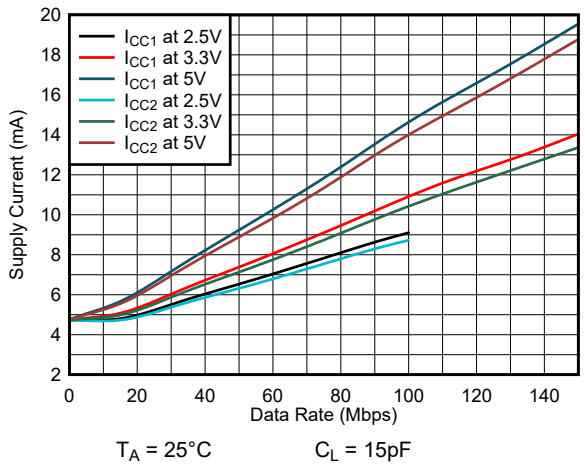


图 6-11. ISO6442 或 ISO6442F 电源电流与数据速率间的关系（15pF 负载）

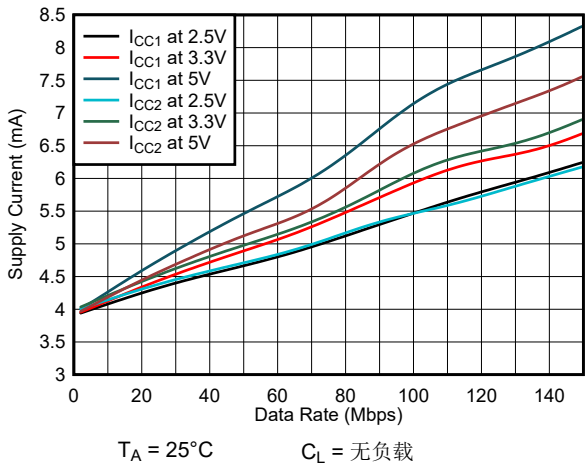


图 6-12. ISO6442 或 ISO6442F 电源电流与数据速率间的关系（无负载）

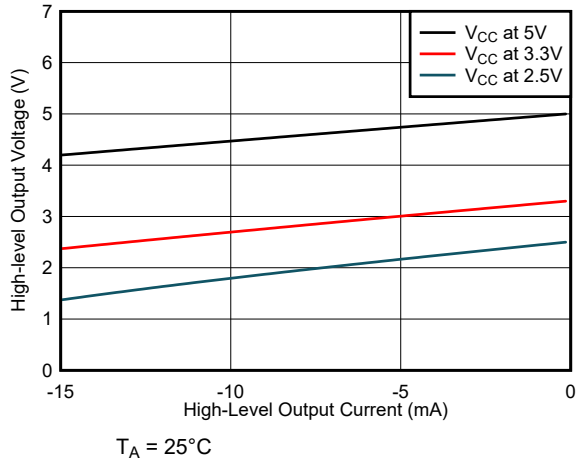


图 6-13. 高电平输出电压与高电平输出电流间的关系

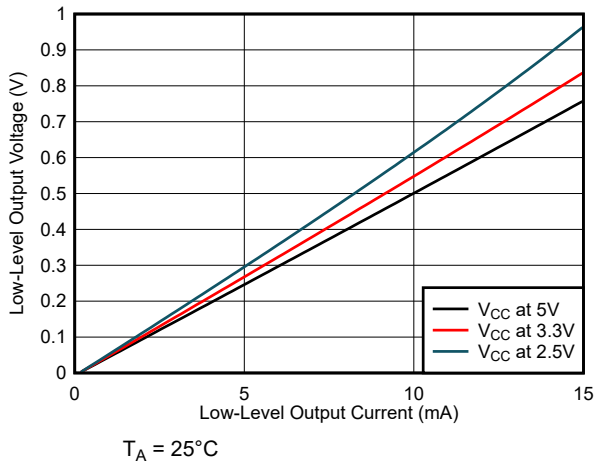


图 6-14. 低电平输出电压与低电平输出电流间的关系

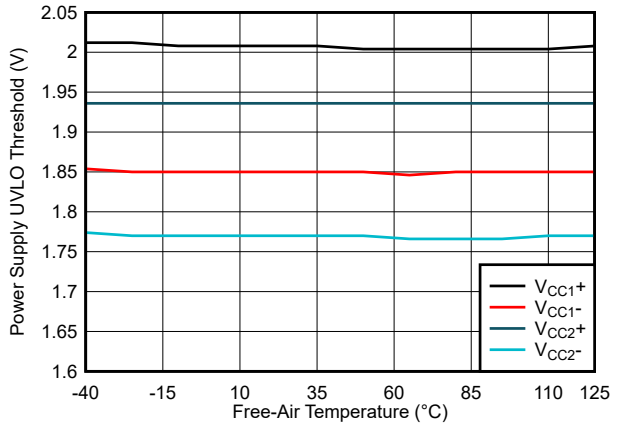


图 6-15. 电源欠压阈值与自然通风条件下的温度间的关系

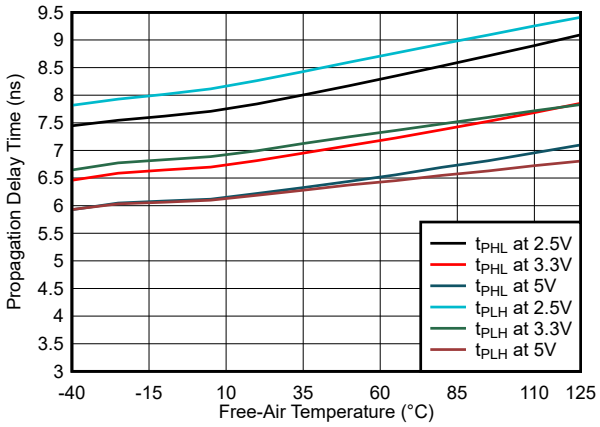
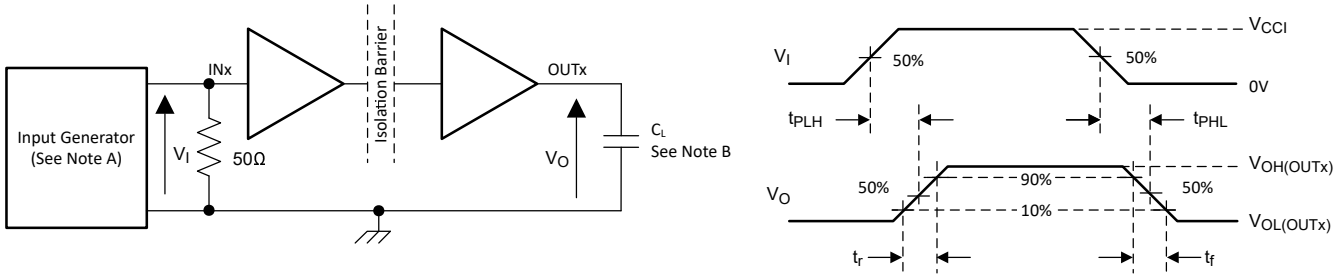


图 6-16. 传播延迟时间与自然通风条件下的温度间的关系

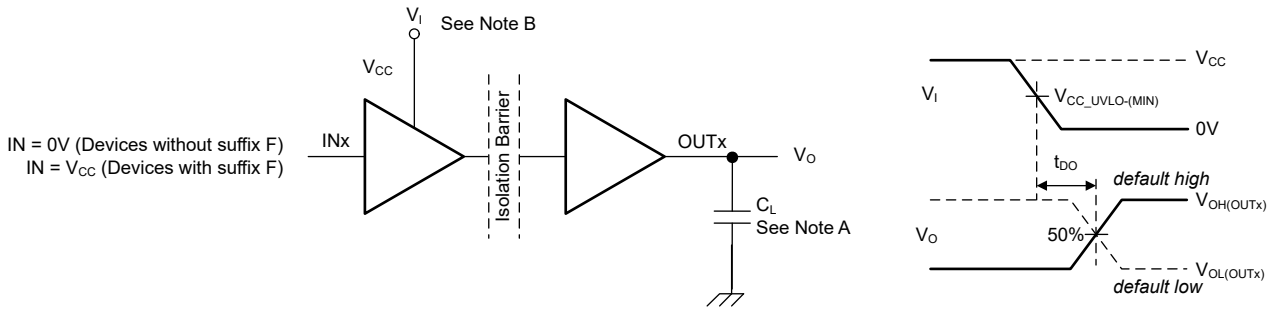
7 参数测量信息



A. 输入脉冲由具有以下特性的发生器提供：PRR ≤ 50kHz，50% 占空比，t_r ≤ 1ns，t_f ≤ 1ns，Z_O = 50 Ω。输入端需要 50 Ω 电阻器来端接 INx (输入) 发生器信号。实际应用中并不需要 50 Ω 电阻器。

B. C_L = 15pF 并包含 ±20% 范围内的仪表和设备电容。

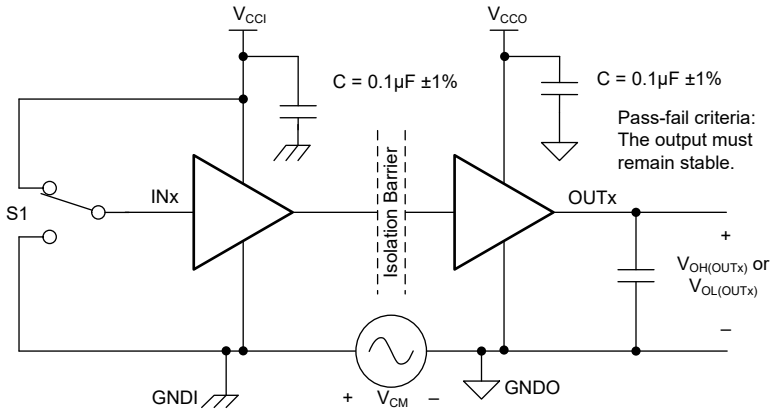
图 7-1. 开关特性测试电路和电压波形



A. C_L = 15pF 并包含 ±20% 范围内的仪表和设备电容。

B. 电源电压斜升速率 = 10mV/ns

图 7-2. 默认输出延时时间测试电路和电压波形

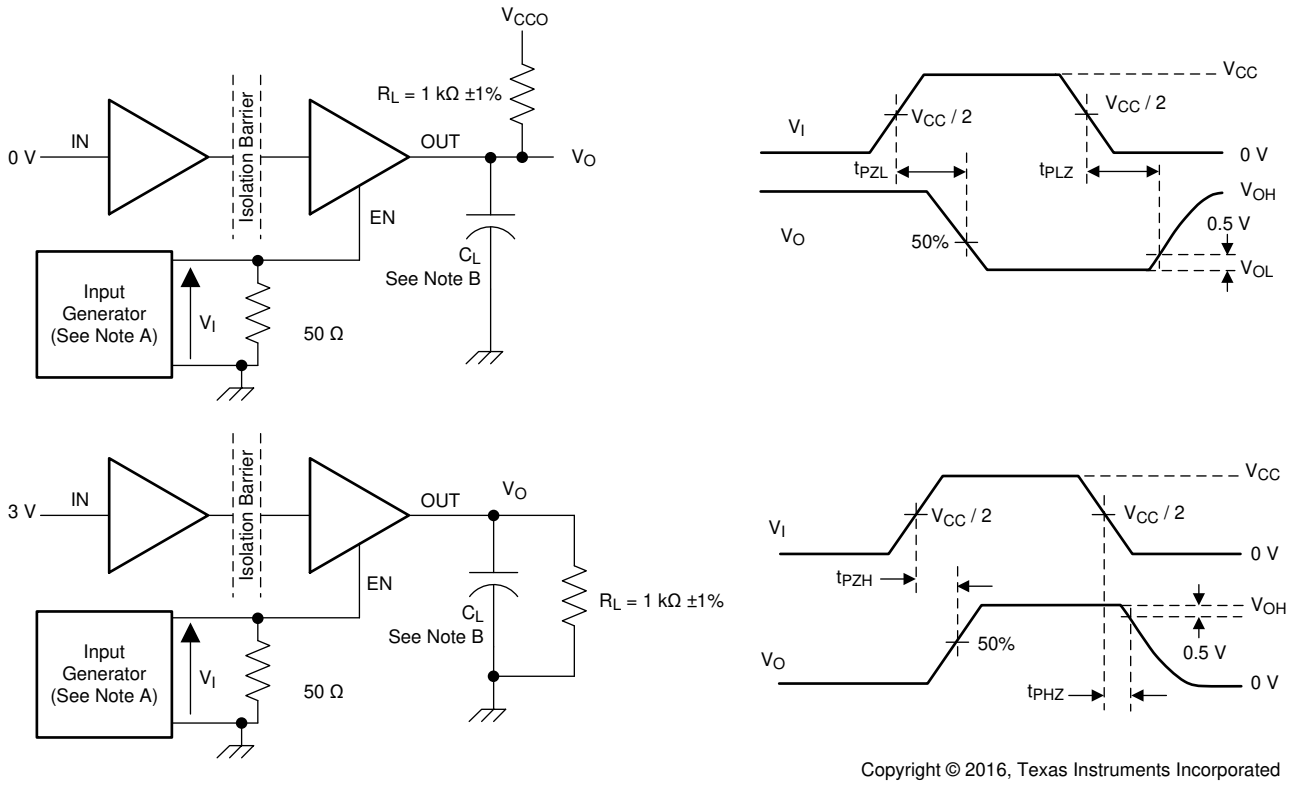


A. C_L = 15pF 并包含 ±20% 范围内的仪表和设备电容。

B. ENx = V_{CC}，在 CMTI 测试期间启用通道。

图 7-3. 共模瞬态抗扰度测试电路

Copyright © 2025 Texas Instruments Incorporated



Copyright © 2016, Texas Instruments Incorporated

A. 输入脉冲由具有以下特性的发生器提供：PRR ≤ 10kHz，50% 占空比，t_r ≤ 3ns，t_f ≤ 3ns，Z_O = 50 Ω。

B. C_L = 15pF 并包含 ±20% 范围内的仪表和设备电容。

图 7-4. 启用传播延迟时间测试电路和波形

8 详细说明

8.1 概述

ISO644x 系列器件采用开关键控 (OOK) 调制方案，可通过基于二氧化硅的隔离栅传输数字数据。

发送器通过隔离栅发送高频载波来表示一种数字状态，而不发送信号则表示另一种数字状态。接收器在高级信号调节后对信号进行解调并通过缓冲器级产生输出。 ISO644x 器件还采用了先进的电路技术，可充分提高 CMTI 性能，并有效减少高频载波和 IO 缓冲器开关产生的辐射。

8.2 功能方框图

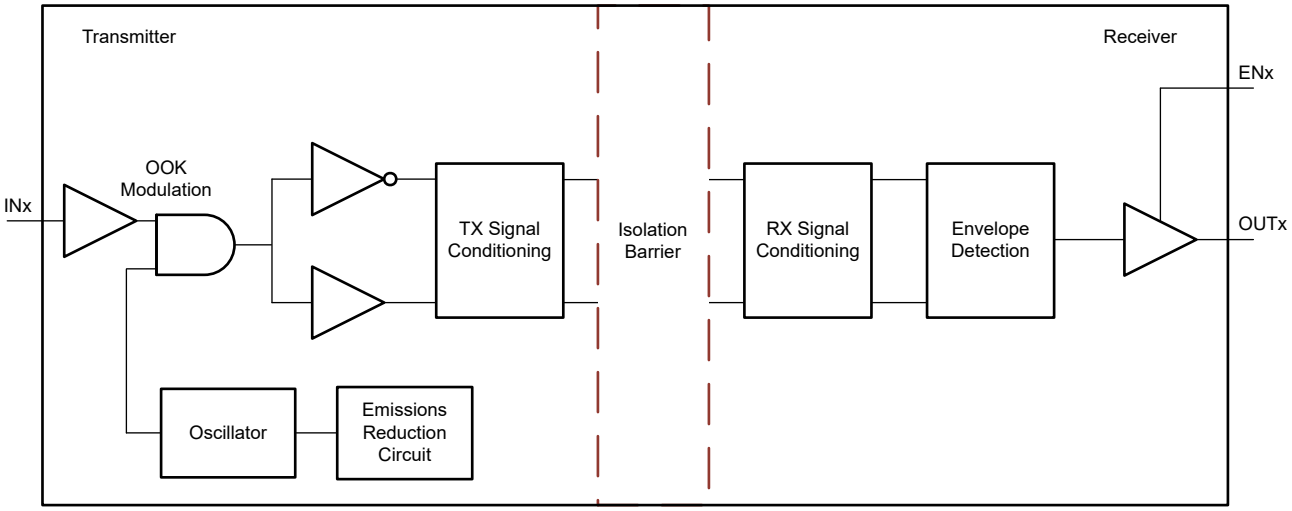


图 8-1. 基于 OOK 的数字隔离器的概念方框图

图 8-2 所示为开关键控方案工作原理的概念细节。

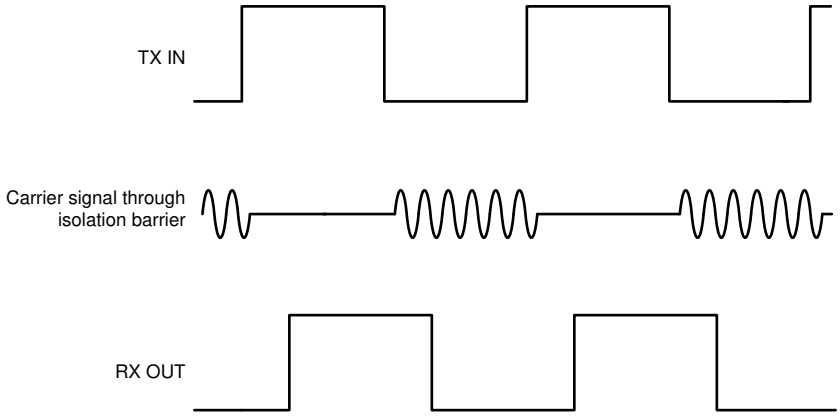


图 8-2. 基于开关键控 (OOK) 的调制方案

Copyright © 2025 Texas Instruments Incorporated

8.3 特性说明

表 8-1 汇总了器件特性。

表 8-1. 器件特性

器件型号	通道方向	最大数据速率	默认输出	封装
ISO6440	4 个正向 0 个反向	150Mbps	高	DW-16 、DFP-16 、DBQ-16
ISO6440F	4 个正向 0 个反向	150Mbps	低	DW-16 、DFP-16 、DBQ-16
ISO6441	3 个正向 1 个反向	150Mbps	高	DW-16 、DFP-16 、DBQ-16
ISO6441F	3 个正向 1 个反向	150Mbps	低	DW-16 、DFP-16 、DBQ-16
ISO6442	2 个正向 2 个反向	150Mbps	高	DW-16 、DFP-16 、DBQ-16
ISO6442F	2 个正向 2 个反向	150Mbps	低	DW-16 、DFP-16 、DBQ-16

8.3.1 电磁兼容性 (EMC) 注意事项

恶劣工业环境中的很多应用都对静电放电 (ESD)、电气快速瞬变 (EFT)、浪涌和电磁辐射等干扰非常敏感。IEC 61000-4-x 和 CISPR 32 等国际标准对这些电磁干扰进行了规定和测试。尽管系统级性能和可靠性在很大程度上取决于应用电路板设计和布局，但 ISO644x 系列器件采用很多芯片级设计技术，有助于增强整体系统稳健性。

8.4 器件功能模式

下表列出了 ISO644x 器件的功能模式。

表 8-2. 功能表

V_{CCI}(1)	V_{CCO}	输入 (INx)	输出使能 (ENx)	输出 (OUTx)	注释
PU	PU	H	H 或开路	H	正常运行：通道输出假定输入的逻辑状态。
		L	H 或开路	L	
		开路	H 或开路	默认值	默认模式：INx 断开时，相应通道输出进入默认逻辑状态。 ISO644x 默认为*高电平*，而 ISO644xF （带 F 后缀）则默认为*低电平*。
X	PU	X	L	Z	输出使能值偏低，会导致输出为高阻抗。
PD	PU	X	H 或开路	默认值	默认模式：V_{CCI} 未上电时，通道输出根据所选默认选项假定逻辑状态。 ISO644x 默认为*高电平*，而 ISO644xF （带 F 后缀）则默认为*低电平*。 V_{CCI} 从未上电转换为上电时，通道输出根据输入的逻辑状态而变化。 V_{CCI} 从上电转换为未上电时，通道输出假定所选默认状态。
X	PD	X	X	不确定	V_{CCO} 未上电时，通道输出不确定(2).V_{CCO} 从未上电转换为上电时，通道输出根据输入的逻辑状态而变化。

(1) V_{CCI} = 输入侧 V_{CC}；V_{CCO} = 输出侧 V_{CC}；PU = 上电 ($V_{CC} \geq V_{CC_RO(MIN)}$)；PD = 断电 ($V_{CC} \leq V_{CC_UVLO-}$)；X = 不相关；H = 高电平；L = 低电平；Z = 高阻抗

(2) 当 $V_{CC_UVLO-} \leq V_{CCI}$ 或 $V_{CCO} < V_{CC} \geq V_{CC_RO(MIN)}$ 时，输出为不确定状态。

Copyright © 2025 Texas Instruments Incorporated

8.5 器件 I/O 原理图

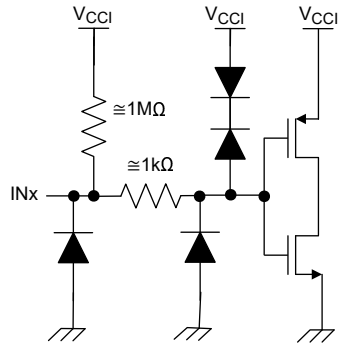


图 8-3. 输入 (INx) 默认高电平（不带 F 后缀的器件）原理图

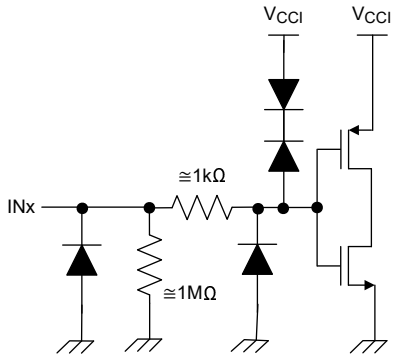


图 8-4. 输入 (INx) 默认低电平（带 F 后缀的器件）原理图

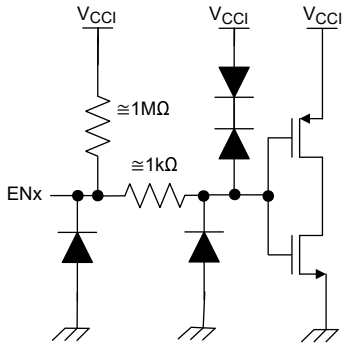


图 8-5. 使能 (ENx) 原理图

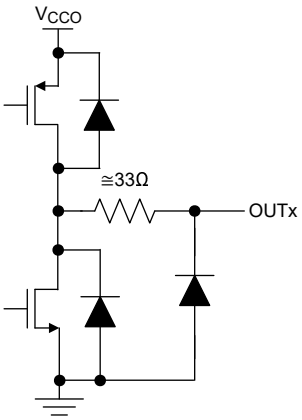


图 8-6. 输出 (OUTx) 原理图

8.6 过压容限输入

该器件的输入引脚 INx 和 ENx 支持输入信号电压超过器件输入端的电源电压 (V_{CCI})，前提是输入端的电压保持低于 节 6.3 和 绝对最大额定值 中列出的电压。

这使得在输入电源 V_{CCI} 未上电时，器件仍能够支持输入端的输入信号电压。在此用例中，当输入侧不再有有效电源时，输出转换为默认输出状态。

这些输入可以将输入端的输入信号电压向下转换至最高为 节 6.3 中的 V_{IMAX}。例如，可以在 V_{CCI} 以 3.3V 运行时使用 5V 高电平输入信号。

Copyright © 2025 Texas Instruments Incorporated

9 应用和实施

备注

以下应用部分中的信息不属于 TI 元件规格，TI 不担保其准确性和完整性。TI 的客户应负责确定各元件是否适用于其应用。客户应验证并测试其设计是否能够实现，以确保系统功能。

9.1 应用信息

ISO644x 器件是高性能、低功耗的四通道数字隔离器。这些器件每侧均配有使能引脚，可在并行（多个）驱动器应用中用于将相应输出置于高阻抗状态。 ISO644x 器件采用单端 CMOS 逻辑开关技术。

V_{CC1} 和 V_{CC2} 这两个电源的电源电压范围均为 2.25V 至 5.5V。隔离栅将两侧分开，因此，可使用 节 6.3 内的任何电压单独为每一侧供电。例如，可为 ISO644x V_{CC1} 提供 3.3V 电压（在 2.25V 至 5.5V 范围内），为 V_{CC2} 提供 5V 电压（也在 2.25V 至 5.5V 范围内）。除实现隔离之外，数字隔离器还可用作逻辑电平转换器。使用数字隔离器进行设计时，请注意由于采用的是单端设计结构，数字隔离器不符合任何特定的接口标准，并仅用于隔离单端 CMOS 或 TTL 数字信号线。不管接口类型或标准如何，隔离器通常都位于数据控制器（即 MCU 或 FPGA）和数据转换器或数据线收发器之间。

9.2 典型应用

图 9-1 显示了隔离式串行外设接口 (SPI)。

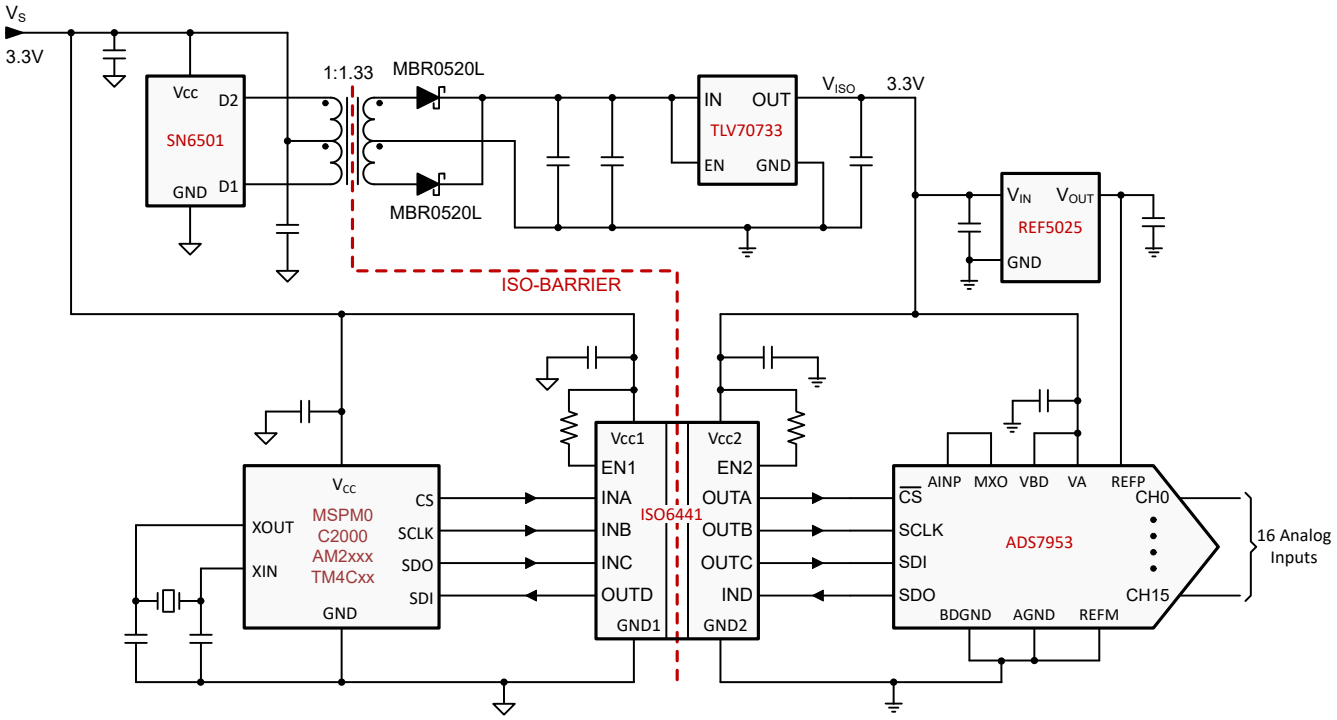


图 9-1. 用于具有 16 个输入的模拟输入模块的隔离式 SPI

9.2.1 设计要求

若要使用这些器件进行设计，请使用表 9-1 中所列参数。

表 9-1. 设计参数

参数	值
电源电压：V_{CC1} 和 V_{CC2}	2.25V 至 5.5V
V_{CC1} 和 GND1 之间的去耦电容器	0.1µF
V_{CC2} 和 GND2 之间的去耦电容器	0.1µF

9.2.2 详细设计过程

不同于需要外部元件来提高性能、提供偏置或限制电流的光耦合器，ISO644x 系列器件仅需两个外部旁路电容器即可工作。

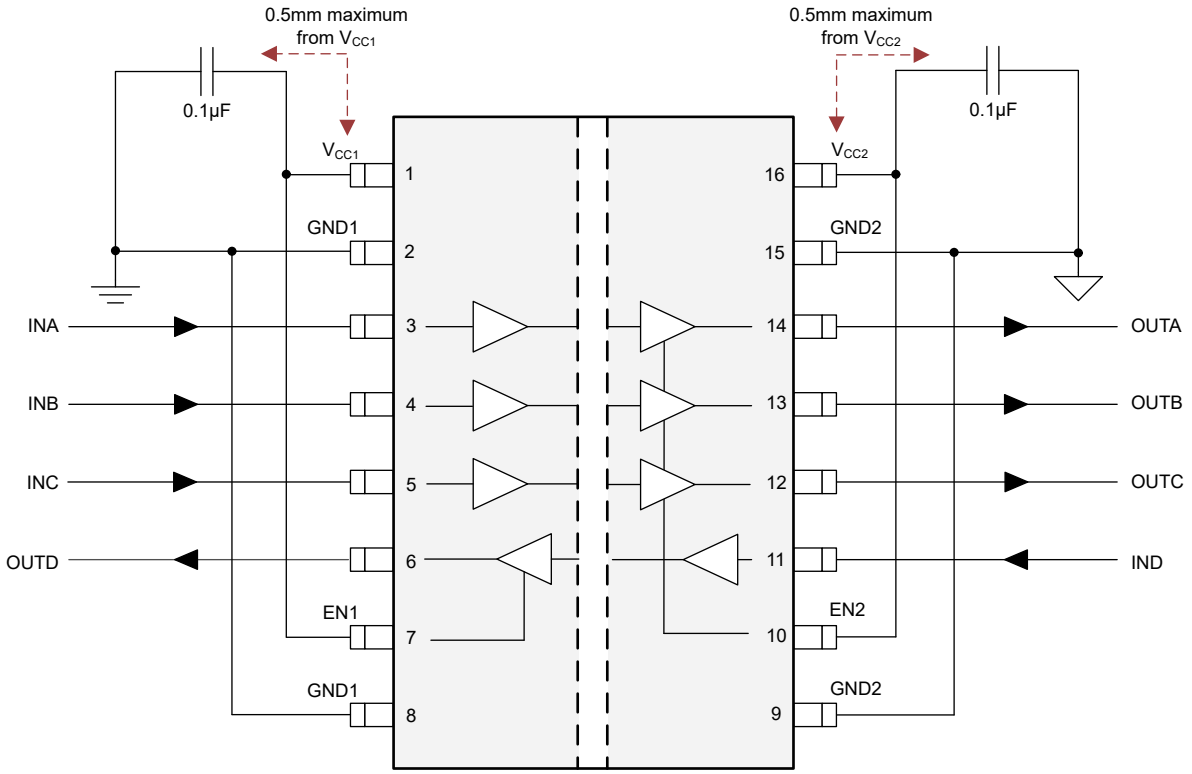
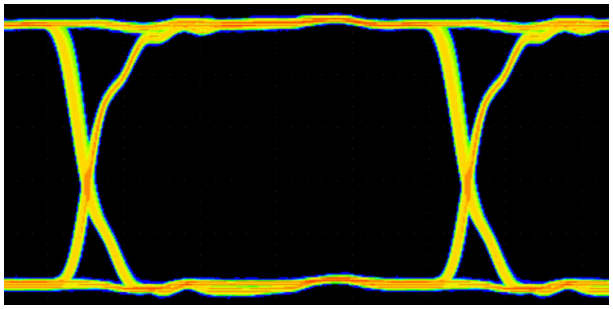


图 9-2. 典型 ISO644x 电路

Copyright © 2025 Texas Instruments Incorporated

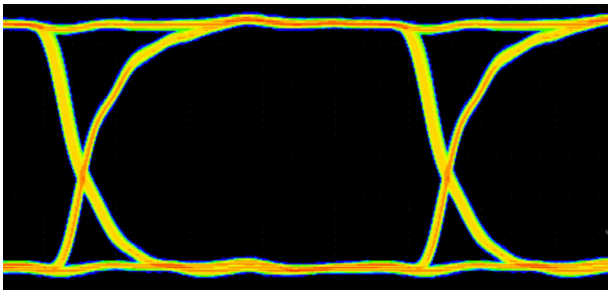
9.2.3 应用曲线

下面展示了 ISO644x 系列器件在 100Mbps 下的低抖动和大张开度的典型眼图。



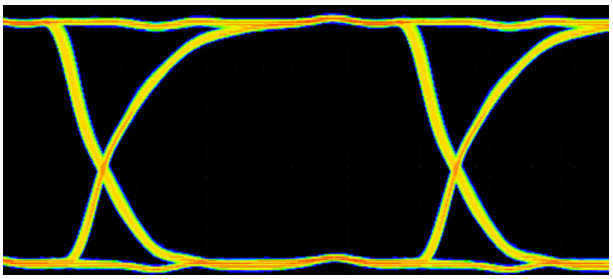
水平 2ns/div，垂直 1V/div。

图 9-3. 100Mbps PRBS 2^{16} – 1、5V 和 25°C 下的 ISO644x 眼图



水平 2ns/div，垂直 500mV/div。

图 9-4. 100Mbps PRBS 2^{16} – 1、3.3V 和 25°C 下的 ISO644x 眼图



水平 2ns/div，垂直 500mV/div。

图 9-5. 100Mbps PRBS 2^{16} – 1、2.5V 和 25°C 下的 ISO644x 眼图

Copyright © 2025 Texas Instruments Incorporated

9.3 电源相关建议

为了在各种数据速率和电源电压条件下可靠运行，建议将 0.1 µF 旁路电容器放置在输入和输出电源引脚（V_{CC1} 和 V_{CC2}）处。该电容必须尽量靠近电源引脚放置。如果应用中只有单个初级侧电源，则可借助变压器驱动器为次级侧生成隔离式电源。在工业应用中，请使用德州仪器 (TI) 的 SN6501 或 SN6505B。对于这类应用，有关详细的电源设计和变压器选择建议，请参阅 *SN6501 隔离式电源用变压器驱动器* 或 *SN6505B 隔离式电源用低噪声 1A 变压器驱动器* 。

9.4 布局

9.4.1 布局指南

至少需要两层才能实现成本优化和低 EMI PCB 设计。为进一步改善 EMI，可使用四层板（请参阅 原理图布局示例 ）。四层板的层堆叠必须符合以下顺序（从上到下）：高速信号层、接地层、电源层和低频信号层。

- 在顶层布置高速走线可避免使用过孔（及其引入的电感），并在隔离器与数据链路的发送器和接收器电路之间实现可靠互连。
- 通过在高速信号层旁边放置一个实心接地层，可以为传输线互连建立受控阻抗，并为返回电流提供出色的低电感路径。
- 靠近接地层放置电源层，会额外产生大约 100pF/inch^2 的高频旁路电容。
- 在底层路由速度较慢的控制信号可实现更高的灵活性，因为这些信号链路通常具有裕量来承受过孔等导致的不连续性。

如果需要额外的电源电压层或信号层，请在堆叠中添加另一个电源层或接地层系统，以使这些层保持对称。此设计可使堆叠保持机械稳定并防止其翘曲。此外，每个电源系统的电源和接地层可以放置得更靠近彼此，从而显著增大高频旁路电容。

有关详细的布局建议，请参阅*数字隔离器设计指南* 应用手册。

Copyright © 2025 Texas Instruments Incorporated

9.4.2 布局示例

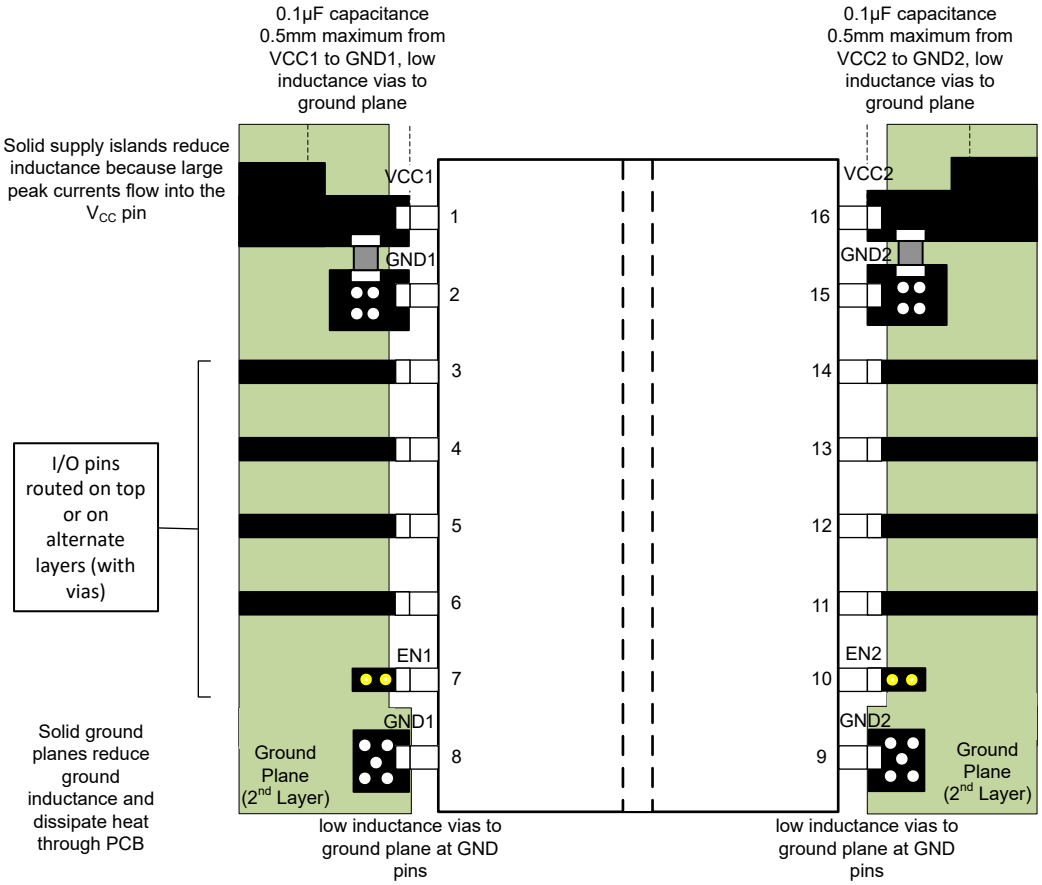


图 9-6. 布局示例

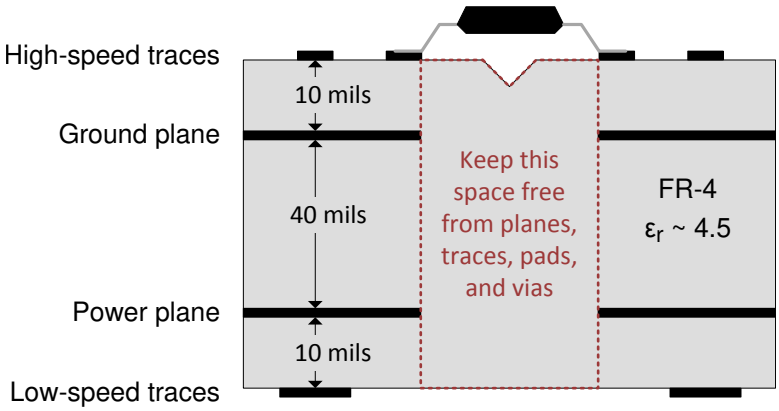


图 9-7. 布局示例 PCB 横截面

10 器件和文档支持

10.1 文档支持

10.1.1 相关文档

如要查看相关文件，请参阅以下内容：

- 德州仪器 (TI)，*ISO6440 技术文档*
- 德州仪器 (TI)，*ISO6441 技术文档*
- 德州仪器 (TI)，*ISO6442 技术文档*
- 德州仪器 (TI)，*SN6501 用于隔离式电源的变压器驱动器* 数据表

10.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

10.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

10.4 器件命名规则

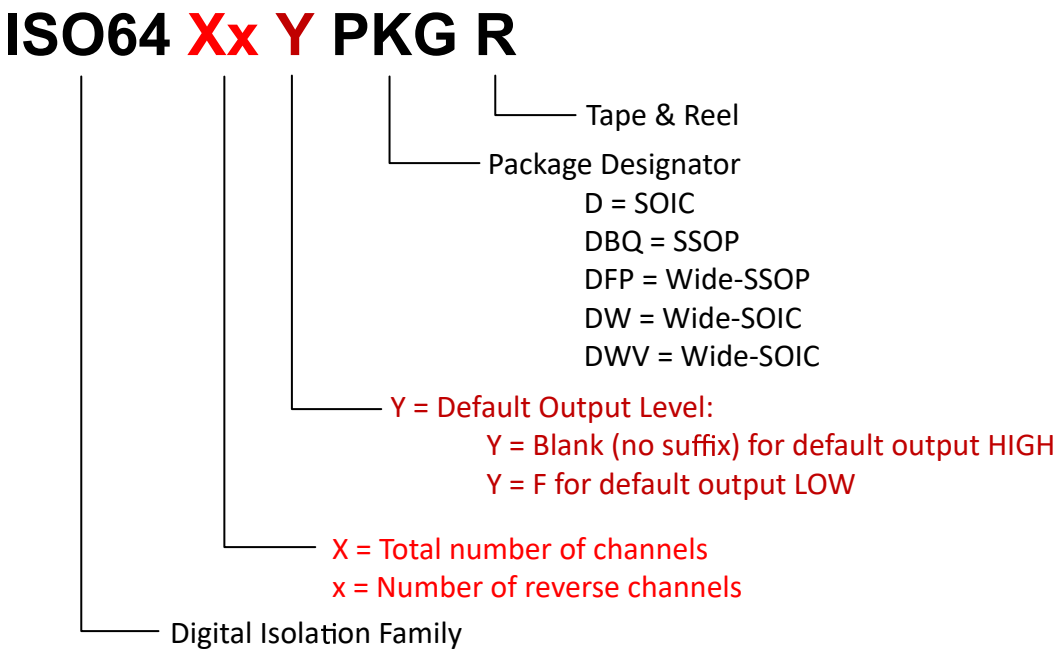


图 10-1. 器件命名规则

10.5 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

Copyright © 2025 Texas Instruments Incorporated

10.6 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

10.7 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

11 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

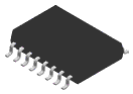
Changes from Revision A (October 2024) to Revision B (November 2025)	Page
• 将量产和高级信息器件的数据表状态更新为混合状态。向数据表添加了 ISO6440、ISO6440F、ISO6441F、ISO6442 和 ISO6442F 器件。向数据表中添加了宽体 SSOP (DFP-16) 和 SSOP (DBQ-16) 封装。	1
• 向数据表添加了“器件比较”部分。	3
• 在数据表中添加了 ISO6440 和 ISO6442 器件后，更新了 规格 章节 (涵盖整个器件系列) 中“5V 开关特性”和“2.5V 开关特性”小节的最小传播延迟时间 t_{PLH} 和 t_{PHL}。	6
• 在 节 7 中新增了启用传播延迟时间测试电路和波形。	23

Changes from Revision * (September 2024) to Revision A (October 2024)	Page
• 从"前沿信息"版本删除了 ISO6441 的生成数据表发布版本。	1
• 在*特性*部分和文档其余部分中将最大数据速率从 100Mbps 更新为 150Mbps。	1
• 在*特性*部分和文档其余部分中将 CMTI 更新为 ±200kV/μs 最小值。	1
• 更新了整个文档中的表格、图和交叉参考的编号格式	1
• 在 规格 节的“电气特性”小节中，针对默认高电平或默认低电平的器件类型，分别列出 INPUT 引脚和 EN 引脚的漏电流规格，以及默认状态下通过集成上拉或下拉电阻的输入电流。	6
• 在 规格 中的“5V 电源、3.3V 电源和 2.5V 电源开关特性”小节中，添加传播延迟时间 (t_{PLH}, t_{PHL}) 的最小值。	6
• 在 规格 节中，将 V_{CC} = 5V 时的最大脉宽失真度 (PWD) 由 2.5ns 更新为 1.8ns， V_{CC} = 3.3V 时的 PWD 由 2.5ns 更新为 2.2ns，2.5V 时的 PWD 由 2.5ns 更新为 2.6ns，并更新相关的典型值。	6
• 在 规格 中的“5V 电源、3.3V 电源和 2.5V 电源开关特性”小节中，利用输入功率损失 (t_{DO}) 典型值更新默认输出延时时间。	6
• 在 规格 节的“5V 电源开关特性”小节中，更新时间间隔误差 (t_{ie}) 典型值。	6

12 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

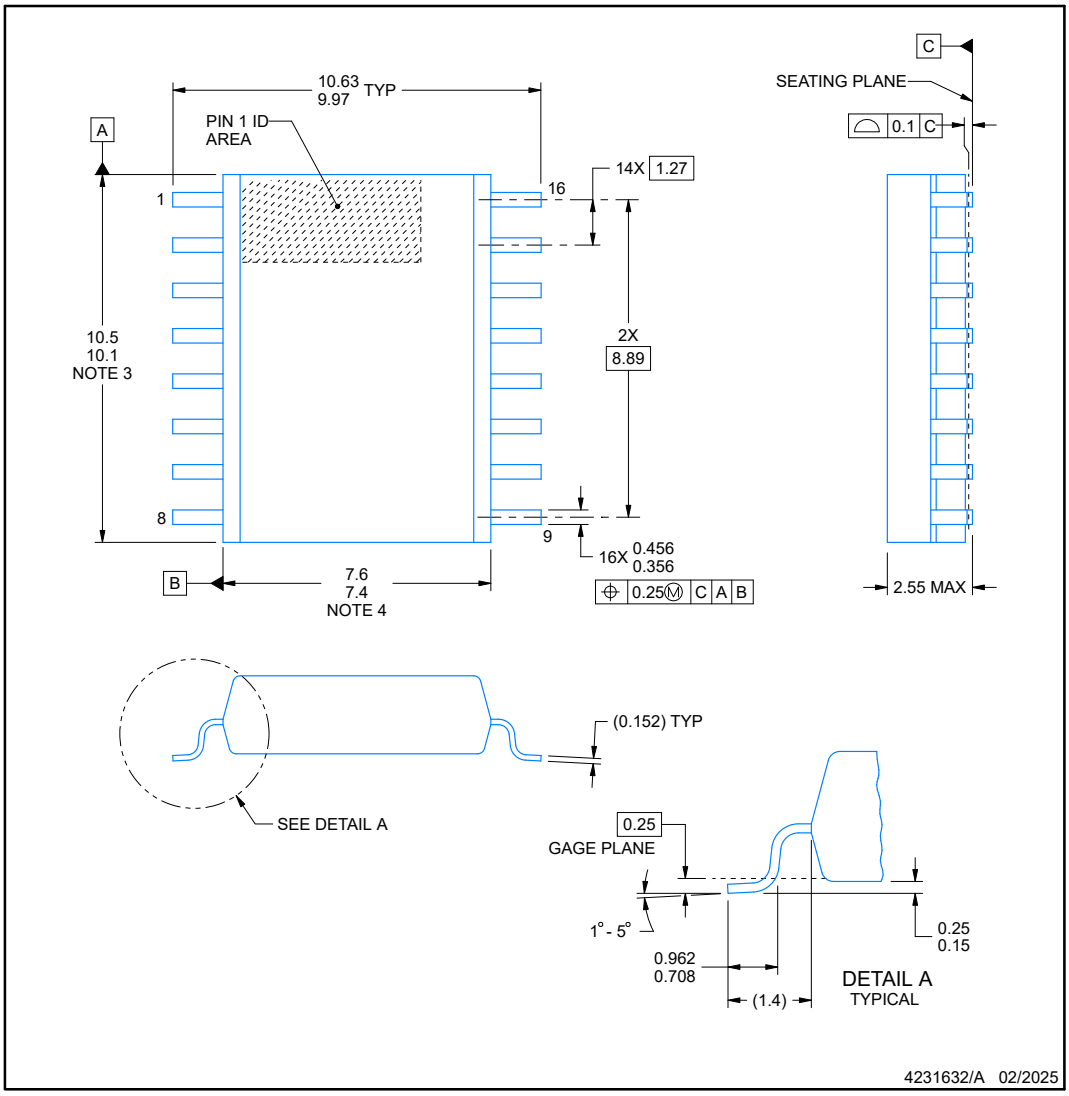


PACKAGE OUTLINE

DW0016C-C01

SOIC - 2.55 mm max height

SMALL OUTLINE INTEGRATED CIRCUIT



NOTES:

1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.

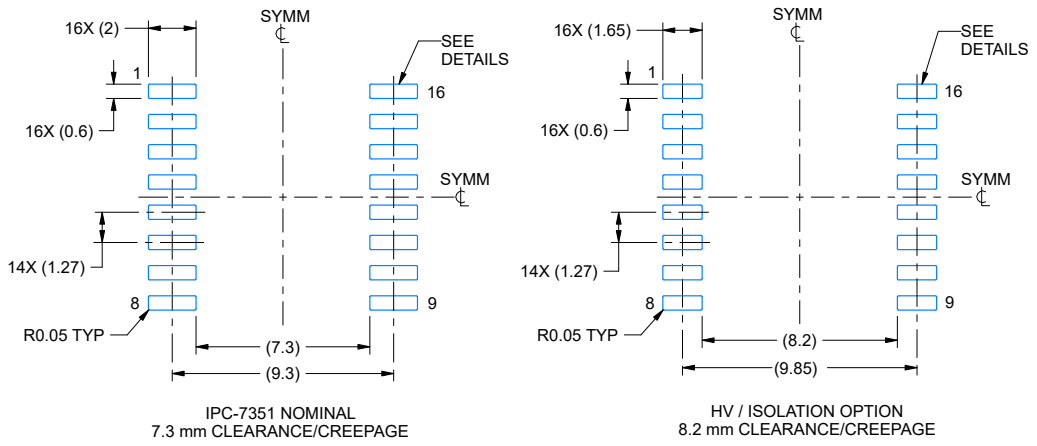
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

DW0016C-C01

SOIC - 2.55 mm max height

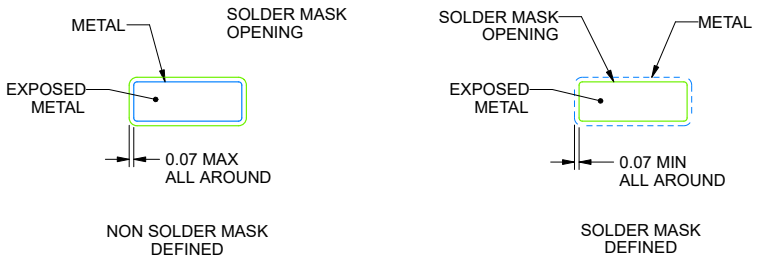
SMALL OUTLINE INTEGRATED CIRCUIT



IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE

HV / ISOLATION OPTION
8.2 mm CLEARANCE/CREEPAGE

LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE:4X



NON SOLDER MASK DEFINED

SOLDER MASK DEFINED

SOLDER MASK DETAILS

4231632/A 02/2025

NOTES: (continued)

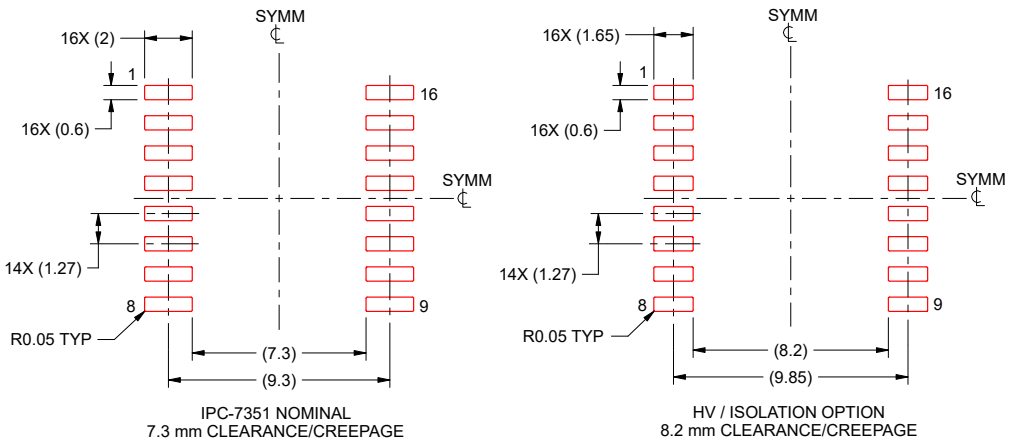
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DW0016C-C01 — **SOIC - 2.55 mm max height**

SMALL OUTLINE INTEGRATED CIRCUIT



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:4X

4231632/A 02/2025

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

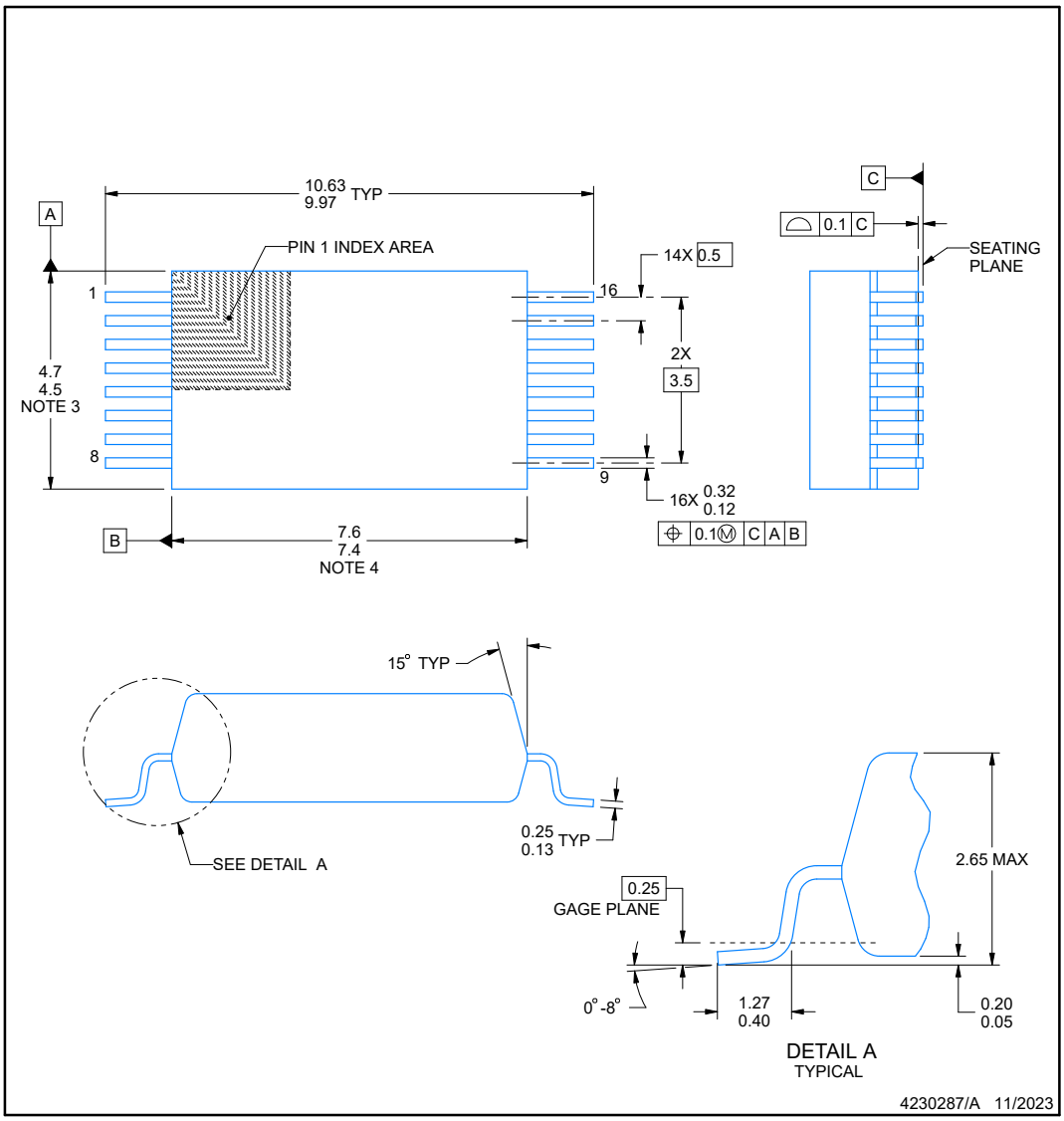
Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

DFP0016A

SSOP - 2.65 mm max height

SMALL OUTLINE PACKAGE



NOTES:

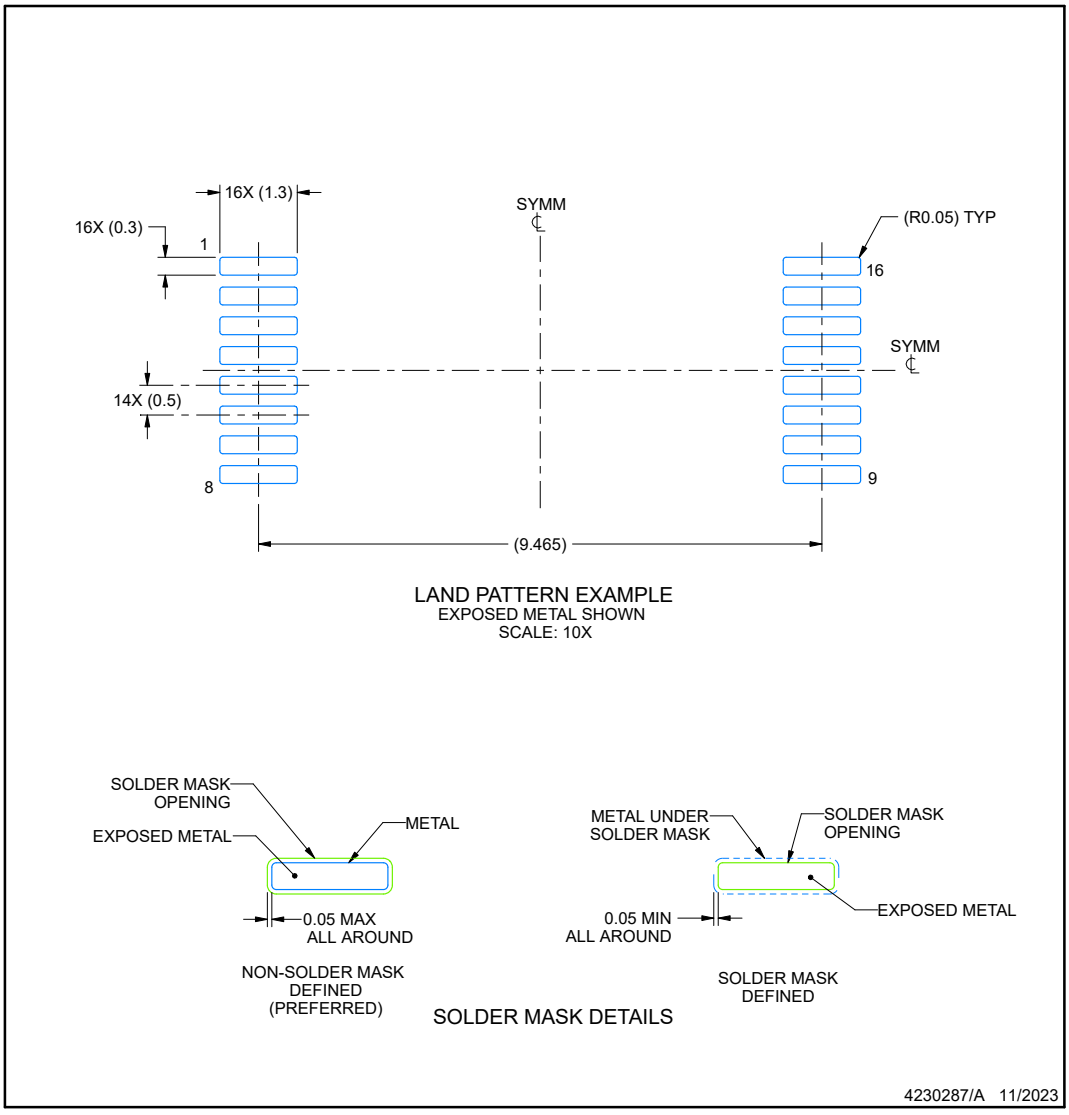
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

DFP0016A — **SSOP - 2.65 mm max height**

SMALL OUTLINE PACKAGE



NOTES: (continued)

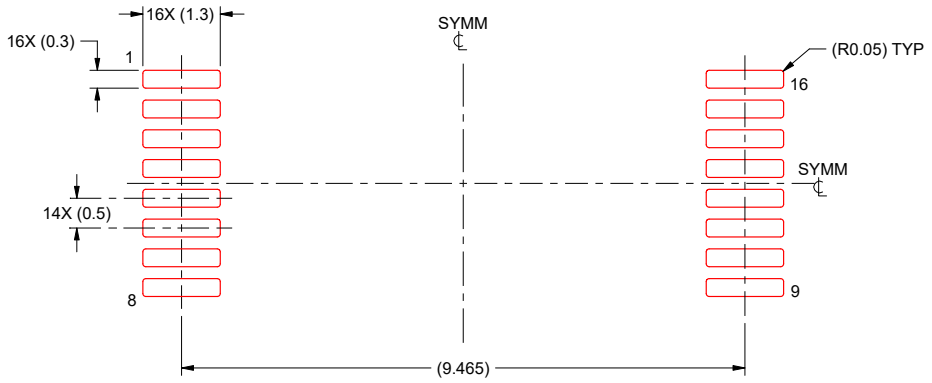
5. Publication IPC-7351 may have alternate designs.
6. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DFP0016A — **SSOP - 2.65 mm max height**

SMALL OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4230287/A 11/2023

NOTES: (continued)

7. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
8. Board assembly site may have different recommendations for stencil design.

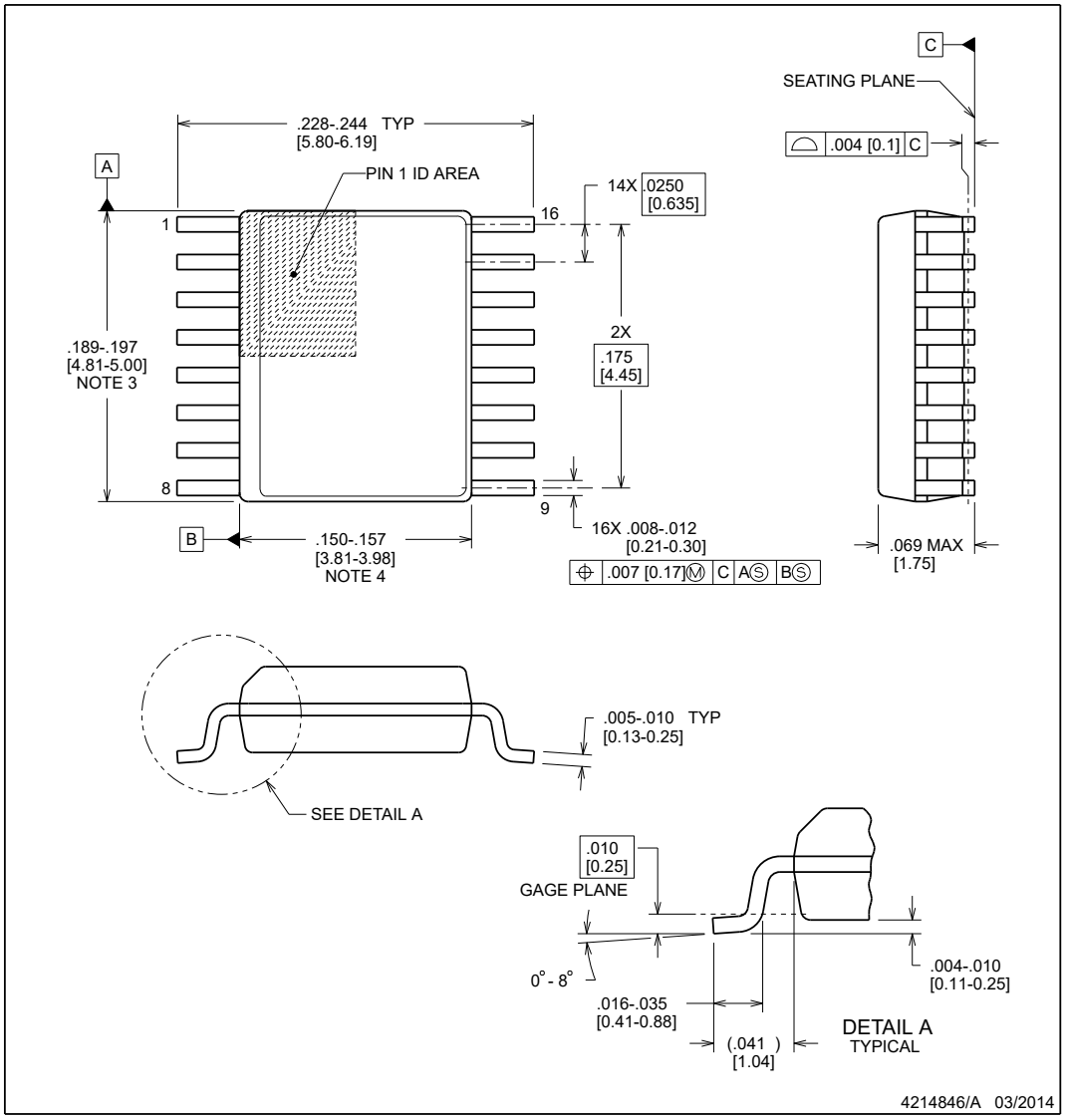
Copyright © 2025 Texas Instruments Incorporated

PACKAGE OUTLINE

DBQ0016A

SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE



NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 inch, per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MO-137, variation AB.

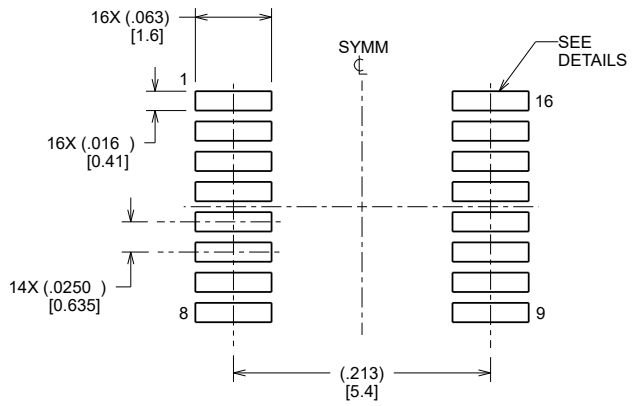
TEXAS INSTRUMENTS
www.ti.com

Copyright © 2025 Texas Instruments Incorporated

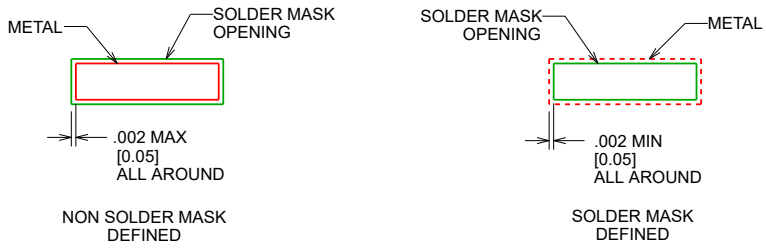
EXAMPLE BOARD LAYOUT

DBQ0016A — **SSOP - 1.75 mm max height**

SHRINK SMALL-OUTLINE PACKAGE



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4214846/A 03/2014

NOTES: (continued)

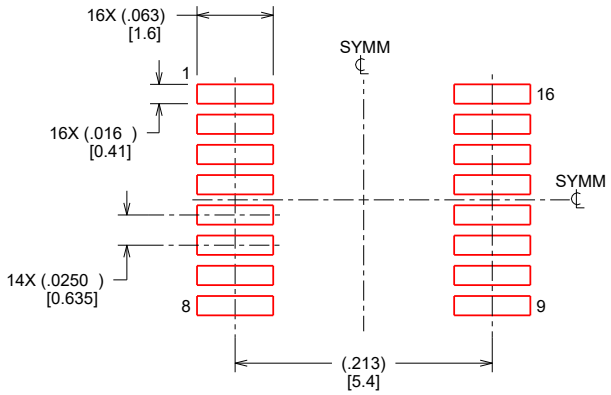
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DBQ0016A — **SSOP - 1.75 mm max height**

SHRINK SMALL-OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.127 MM] THICK STENCIL
SCALE:8X

4214846/A 03/2014

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
ISO6441DWR	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6441
ISO6441FDWR	Active	Production	SOIC (DW) | 16	2000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	ISO6441F
XISO6440DBQR	Active	Preproduction	SSOP (DBQ) | 16	2500 | LARGE T&R	-	Call TI	Call TI	-	
XISO6440DFPR	Active	Preproduction	SSOP (DFP) | 16	2000 | LARGE T&R	-	Call TI	Call TI	-	
XISO6440DWR	Active	Preproduction	SOIC (DW) | 16	2000 | LARGE T&R	-	Call TI	Call TI	-	
XISO6440FDBQR	Active	Preproduction	SSOP (DBQ) | 16	2500 | LARGE T&R	-	Call TI	Call TI	-	
XISO6440FDFPR	Active	Preproduction	SSOP (DFP) | 16	2000 | LARGE T&R	-	Call TI	Call TI	-	
XISO6440FDWR	Active	Preproduction	SOIC (DW) | 16	2000 | LARGE T&R	-	Call TI	Call TI	-	
XISO6441DBQR	Active	Preproduction	SSOP (DBQ) | 16	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
XISO6441DFPR	Active	Preproduction	SSOP (DFP) | 16	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
XISO6441FDBQR	Active	Preproduction	SSOP (DBQ) | 16	2500 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
XISO6441FDFPR	Active	Preproduction	SSOP (DFP) | 16	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
XISO6442DBQR	Active	Preproduction	SSOP (DBQ) | 16	2500 | LARGE T&R	-	Call TI	Call TI	-	
XISO6442DFPR	Active	Preproduction	SSOP (DFP) | 16	2000 | LARGE T&R	-	Call TI	Call TI	-40 to 125	
XISO6442DWR	Active	Preproduction	SOIC (DW) | 16	2000 | LARGE T&R	-	Call TI	Call TI	-	
XISO6442FDBQR	Active	Preproduction	SSOP (DBQ) | 16	2500 | LARGE T&R	-	Call TI	Call TI	-	
XISO6442FDFPR	Active	Preproduction	SSOP (DFP) | 16	2000 | LARGE T&R	-	Call TI	Call TI	-	
XISO6442FDWR	Active	Preproduction	SOIC (DW) | 16	2000 | LARGE T&R	-	Call TI	Call TI	-	

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

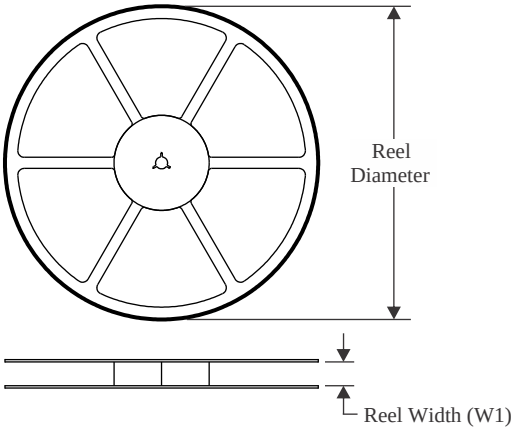
Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

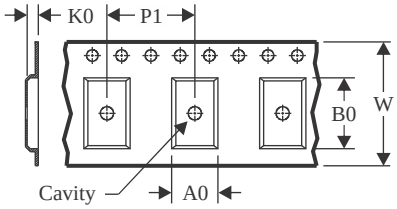
In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

TAPE AND REEL INFORMATION

REEL DIMENSIONS

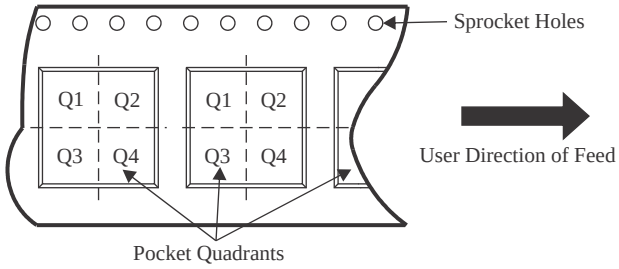


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

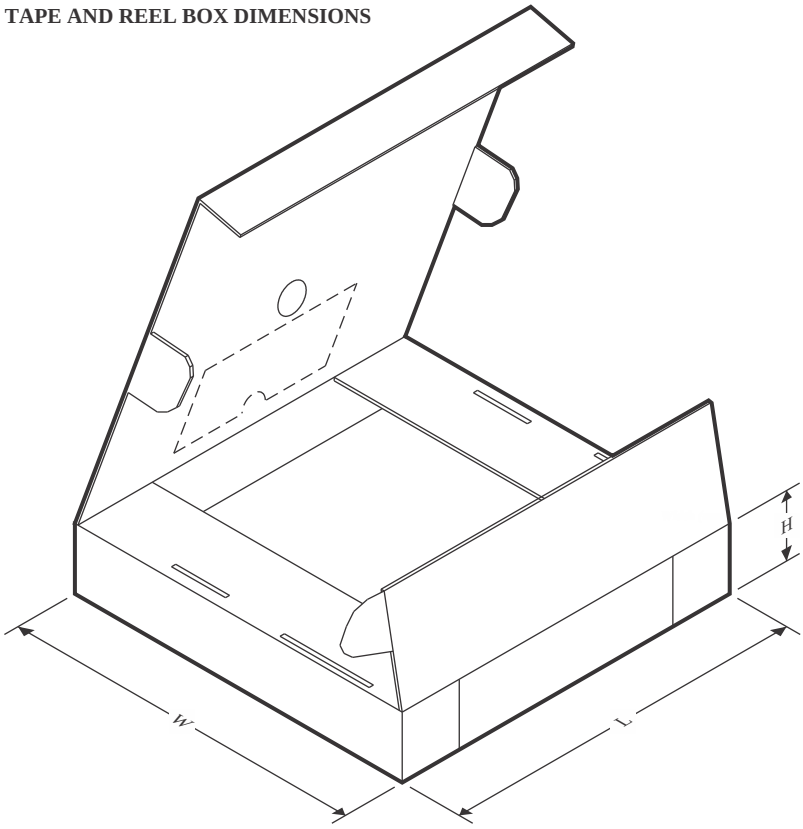
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
ISO6441DWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1
ISO6441FDWR	SOIC	DW	16	2000	330.0	16.4	10.75	10.7	2.7	12.0	16.0	Q1

TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
ISO6441DWR	SOIC	DW	16	2000	353.0	353.0	32.0
ISO6441FDWR	SOIC	DW	16	2000	353.0	353.0	32.0

GENERIC PACKAGE VIEW

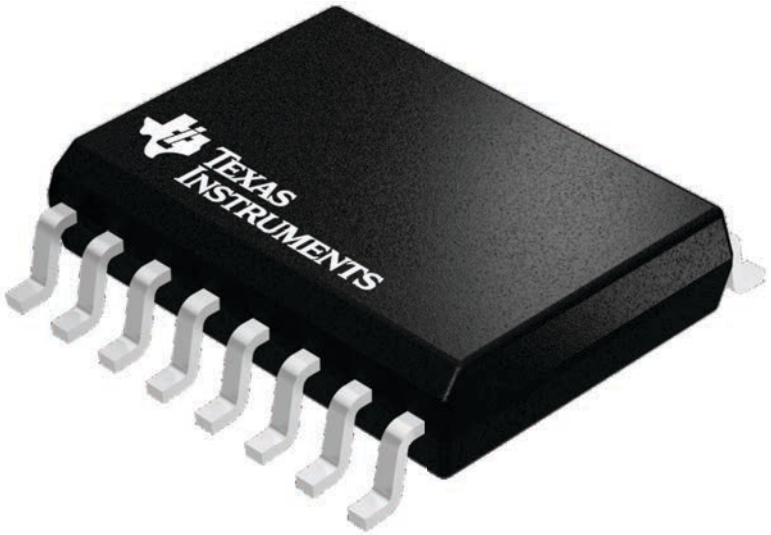
DW 16

SOIC - 2.65 mm max height

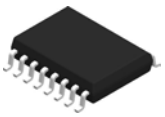
7.5 x 10.3, 1.27 mm pitch

SMALL OUTLINE INTEGRATED CIRCUIT

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224780/A

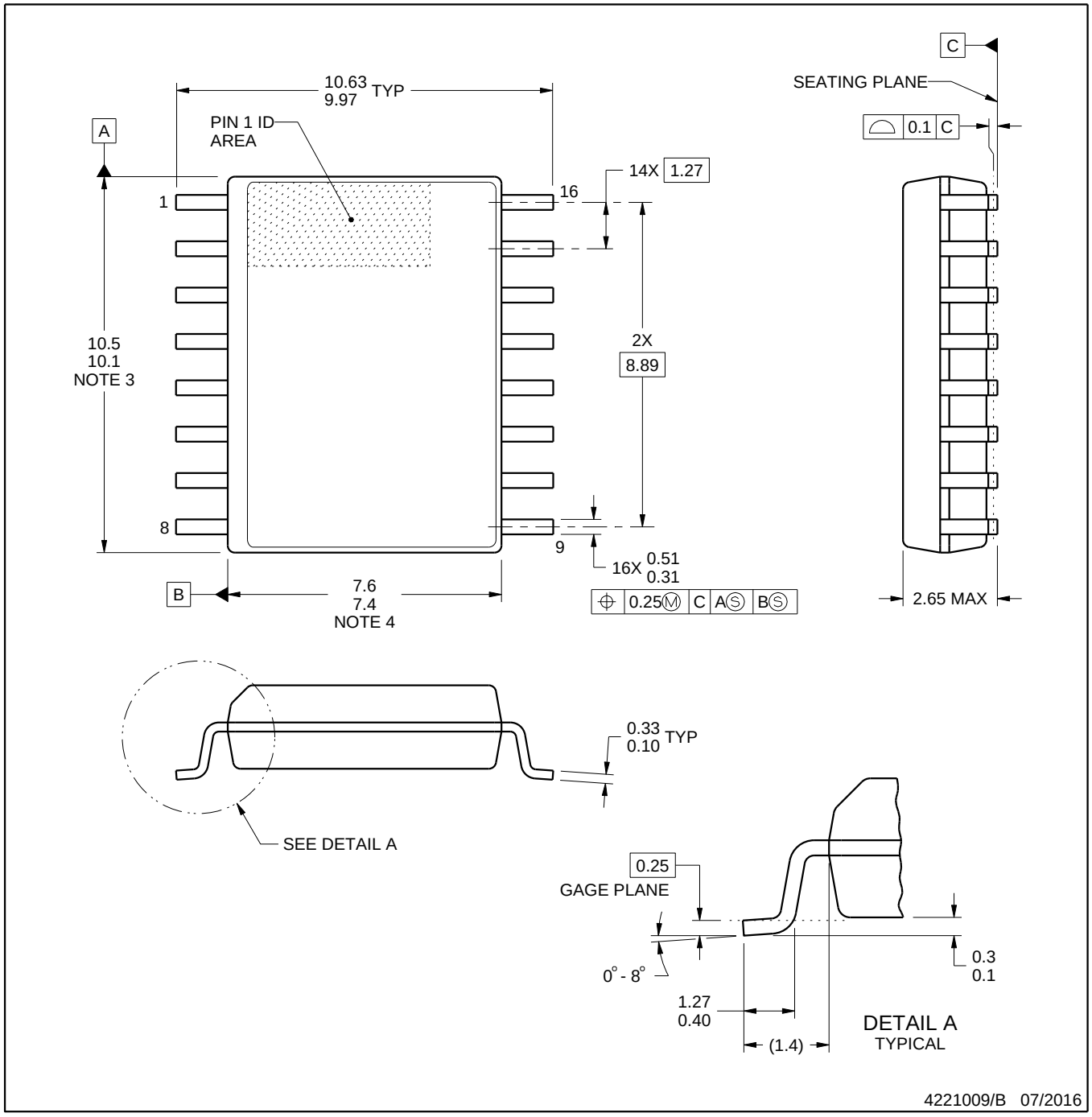


PACKAGE OUTLINE

DW0016B

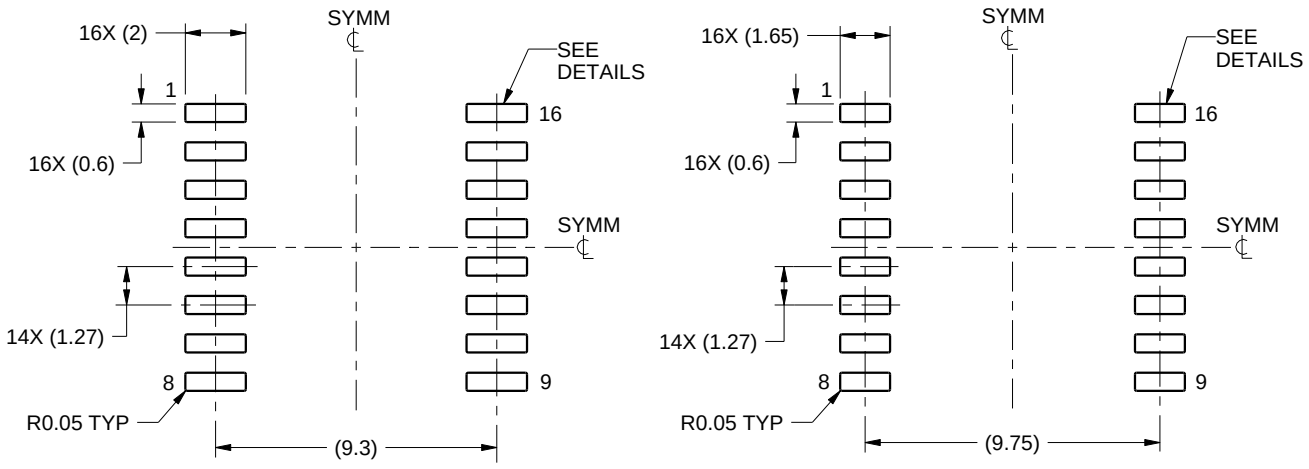
SOIC - 2.65 mm max height

SOIC



NOTES:

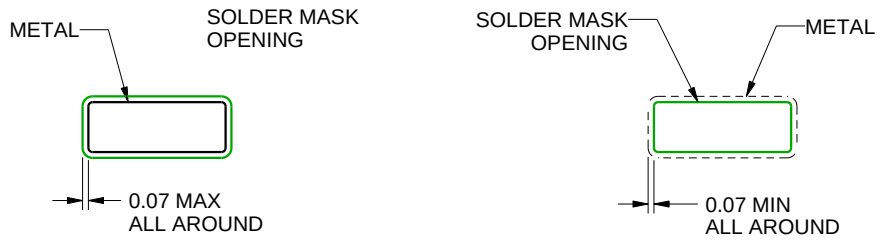
1. All linear dimensions are in millimeters. Dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm, per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm, per side.
5. Reference JEDEC registration MS-013.



IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE

HV / ISOLATION OPTION
8.1 mm CLEARANCE/CREEPAGE

LAND PATTERN EXAMPLE
SCALE:4X



NON SOLDER MASK DEFINED

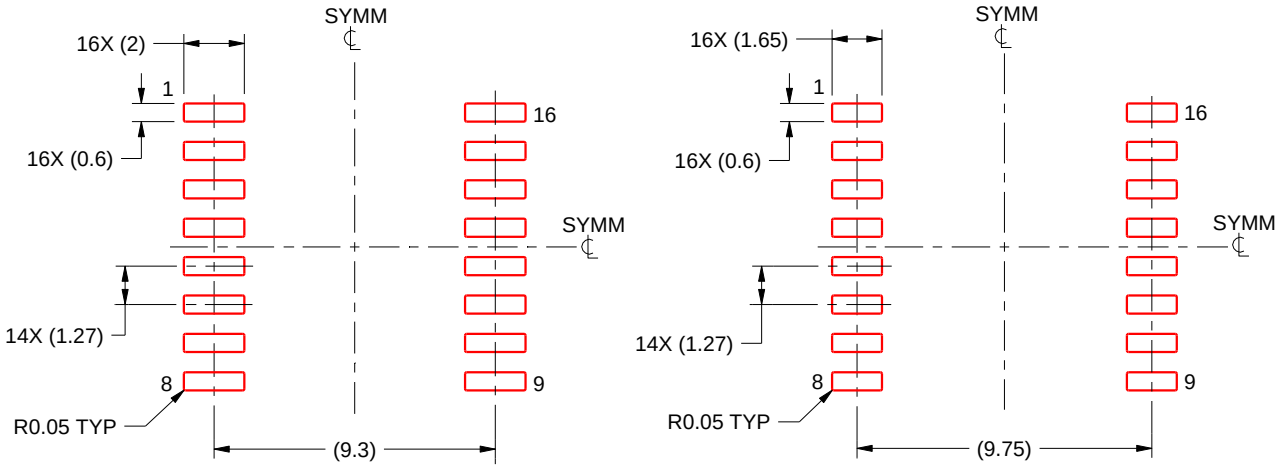
SOLDER MASK DEFINED

SOLDER MASK DETAILS

4221009/B 07/2016

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



IPC-7351 NOMINAL
7.3 mm CLEARANCE/CREEPAGE

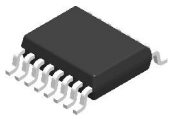
HV / ISOLATION OPTION
8.1 mm CLEARANCE/CREEPAGE

SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE:4X

4221009/B 07/2016

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

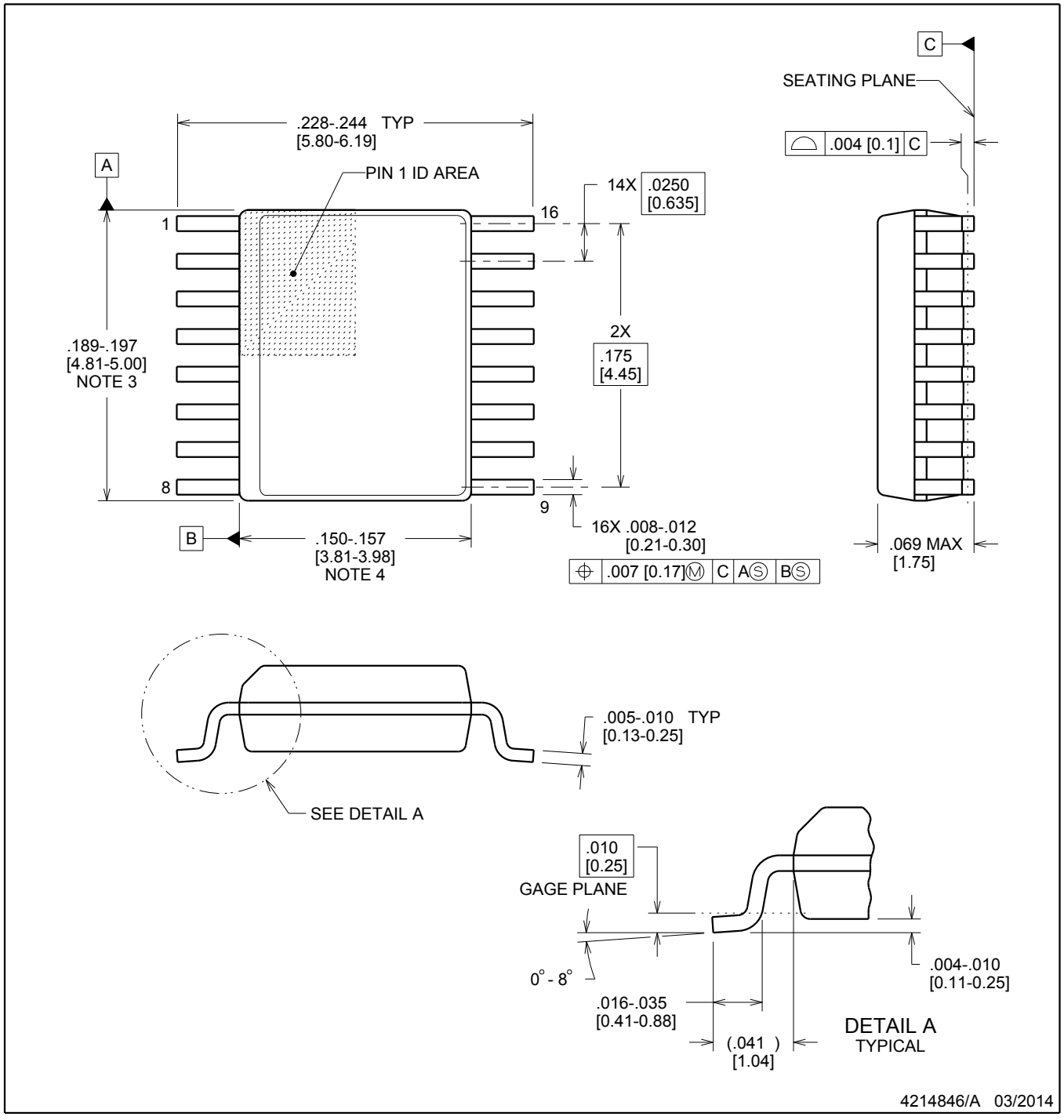


PACKAGE OUTLINE

DBQ0016A

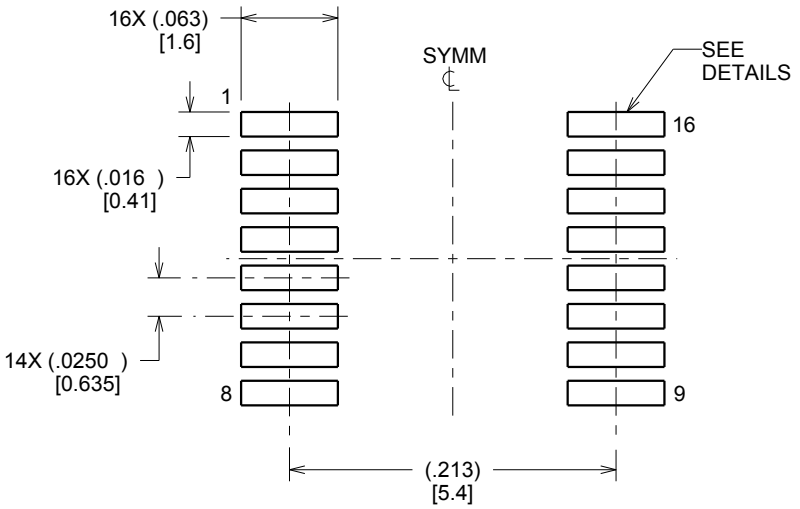
SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE

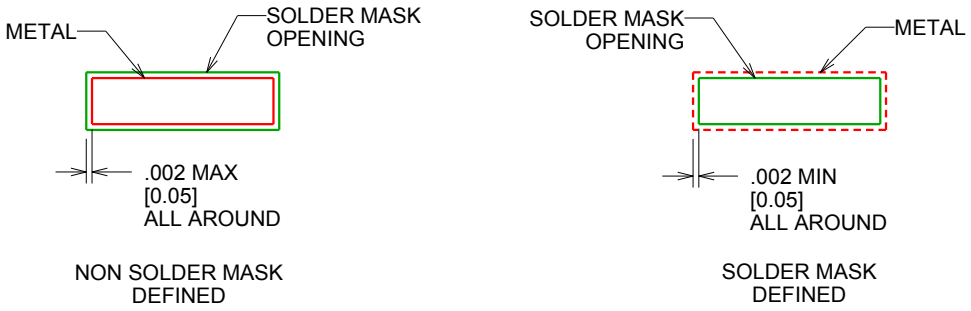


NOTES:

1. Linear dimensions are in inches [millimeters]. Dimensions in parenthesis are for reference only. Controlling dimensions are in inches. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed .006 inch, per side.
4. This dimension does not include interlead flash.
5. Reference JEDEC registration MO-137, variation AB.



LAND PATTERN EXAMPLE
SCALE:8X



SOLDER MASK DETAILS

4214846/A 03/2014

NOTES: (continued)

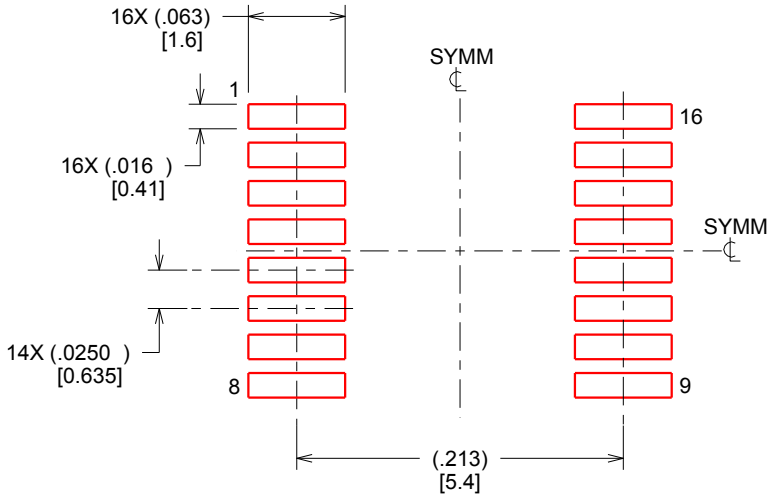
6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

EXAMPLE STENCIL DESIGN

DBQ0016A

SSOP - 1.75 mm max height

SHRINK SMALL-OUTLINE PACKAGE



SOLDER PASTE EXAMPLE
BASED ON .005 INCH [0.127 MM] THICK STENCIL
SCALE:8X

4214846/A 03/2014

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月