CD74HCx4067 高速 CMOS 逻辑 16 通道模拟多路复用器和多路信号分离器

1 特性

- 宽模拟输入电压范围
- 低导通电阻
  - V_{CC} = 4.5V 时为 70Ω（典型值）
  - V_{CC} = 6V 时为 60Ω（典型值）
- 快速开关和传播速度
- 先断后合开关
  - 4.5V 时为 6ns（典型值）
- 提供窄体和宽体塑料封装
- 扇出（在温度范围内）
  - 标准输出：10 个 LSTTL 负载
  - 总线驱动器输出：15 个 LSTTL 负载
- 宽工作温度范围：-55°C 至 +125°C
- 平衡的传播延迟及转换时间
- 与 LSTTL 逻辑 IC 相比，可显著降低功耗
- HC 类型
  - 工作电压为 2V 至 6V
  - 高抗噪性：当 V_{CC} = 5V 时，N_{IL} = 30%，N_{IH} = V_{CC} 的 30%
- HCT 类型
  - 工作电压为 4.5V 至 5.5V
  - 直接 LSTTL 输入逻辑兼容性，V_{IL} = 0.8V（最大值），V_{IH} = 2V（最小值）
  - CMOS 输入兼容性，当电压为 V_{OL}、V_{OH} 时，I_I ≤ 1μA

2 应用

- 能源基础设施
- 楼宇自动化
- 无线基础设施
- 电器
- 数据中心和企业计算
- 零售自动化和支付
- 信号门控
- 调制器
- 静噪控制
- 解调器
- 斩波器
- 换向开关
- 模数和数模转换
- 频率、阻抗、相位和模拟信号增益的数字控制

3 说明

CD74HC4067 和 CD74HCT4067 器件是数字控制的模拟开关，其使用硅栅 CMOS 技术并借助标准 CMOS 集成电路的低功耗特性来实现与 LSTTL 接近的运行速度。

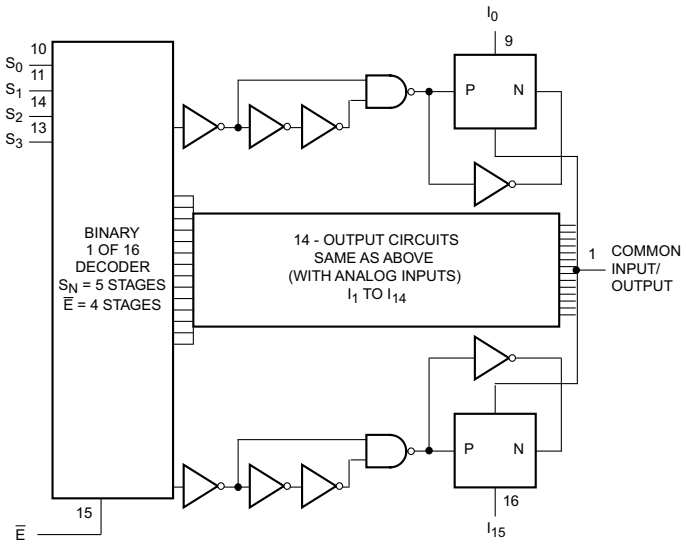
这些模拟多路复用器和多路信号分离器可控制模拟电压，该电压可能会在整个电源电压范围内变化。它们是双向开关，因此可将任何模拟输入用作输出，反之亦然。这些开关具有低*导通*电阻和低*关断*泄漏。此外，所有这些器件均具有使能控制，当处于高位时将禁用所有开关，将其置于*关断*状态。

封装信息

器件型号	封装 (1)	封装尺寸（标称值）
CD74HC4067M	SOIC(24)	15.4mm × 10.3mm
CD74HC4067M96	SOIC(24)	15.4mm × 10.3mm
CD74HC4067SM96	SSOP(24)	8.20mm × 7.40mm
CD74HCT4067M	SOIC(24)	15.4mm × 10.3mm
CD74HC4067PW	TSSOP(24)	7.8mm × 6.4mm
CD74HCT4067PW	TSSOP(24)	7.8mm × 6.4mm

(1) 如需了解所有可用封装，请参阅数据表末尾的可订购产品附录。

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。



功能方框图

Copyright © 2024 Texas Instruments Incorporated

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....4
4.1 器件功能模式.....5
5 绝对最大额定值.....5
6 热性能信息.....6
7 建议运行条件.....6
8 电气特性：HC 器件.....7
9 电气特性：HCT 器件.....8
10 HTC 输入负载.....8
11 开关特性 HC.....10
12 开关特性 HCT.....11
13 模拟通道规格.....12
14 典型特性.....13
15 模拟测试电路.....14
16 器件和文档支持.....15
16.1 相关文档.....15
16.2 接收文档更新通知.....15
16.3 支持资源.....15
16.4 商标.....15
16.5 静电放电警告.....15
16.6 术语表.....15
17 修订历史记录.....15
18 机械、封装和可订购信息.....15

Copyright © 2024 Texas Instruments Incorporated

4 引脚配置和功能

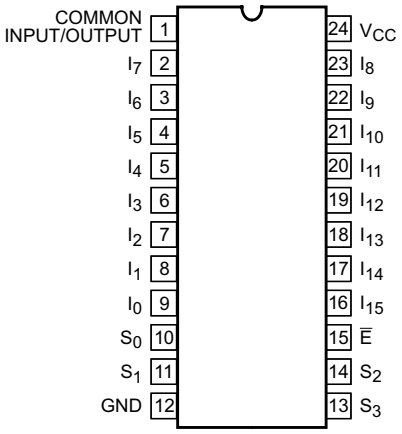


图 4-1. N、DW 或 DB 封装 24 引脚 PDIP、SOIC 或 SSOP（顶视图）

引脚		类型(1)	说明
名称	编号		
共模输入/输出	1	IO	共模输入或输出。
I_7	2	IO	开关输入/输出
I_6	3	IO	开关输入/输出
I_5	4	IO	开关输入/输出
I_4	5	IO	开关输入/输出
I_3	6	IO	开关输入/输出
I_2	7	IO	开关输入/输出
I_1	8	IO	开关输入/输出
I_0	9	IO	开关输入/输出
S_0	10	I	选择/地址引脚
S_1	11	I	选择/地址引脚
GND	12	P	接地引脚
S_3	13	I	选择/地址引脚
S_2	14	I	选择/地址引脚
$\overline{E}$	15	I	启用所有开关的开/关功能
I_{15}	16	IO	开关输入/输出
I_{14}	17	IO	开关输入/输出
I_{13}	18	IO	开关输入/输出
I_{12}	19	IO	开关输入/输出
I_{11}	20	IO	开关输入/输出
I_{10}	21	IO	开关输入/输出
I_9	22	IO	开关输入/输出
I_8	23	IO	开关输入/输出
V_{CC}	24	P	电源引脚

(1) I = 输入，O = 输出，P = 电源

Copyright © 2024 Texas Instruments Incorporated

4.1 器件功能模式

表 4-1. 真值表

S0	S1	S2	S3	$\overline{E}$	选定通道
X	X	X	X	1	无
0	0	0	0	0	0
1	0	0	0	0	1
0	1	0	0	0	2
1	1	0	0	0	3
0	0	1	0	0	4
1	0	1	0	0	5
0	1	1	0	0	6
1	1	1	0	0	7
0	0	0	1	0	8
1	0	0	1	0	9
0	1	0	1	0	10
1	1	0	1	0	11
0	0	1	1	0	12
1	0	1	1	0	13
0	1	1	1	0	14
1	1	1	1	0	15

5 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）(1) (2)

			最小值	最大值	单位
V_{CC} HC	直流电源电压		-0.5	7	V
V_{CC} HCT			-0.5	7	V
I_{IK}	直流输入二极管电流	（V_I < -0.5V 或 V_I > V_{CC} + 0.5V）	-20	20	mA
I_{OK}	直流输出二极管电流	（V_O < -0.5V 或 V_O > V_{CC} + -0.5V）	-20	20	mA
I_{CC}	直流 V_{CC} 或接地电流		-50	50	mA
每个输出引脚的直流输出拉电流或灌电流，I_O	（V_O > -0.5V 或 V_O < V_{CC} + -0.5V）		-25	25	mA
T_{JMAX}	最大结温（塑料封装）			150	°C
T_{stg}	贮存温度		-65	150	°C

(1) 超出*绝对最大额定值*下列出的应力可能会对器件造成永久性损坏。这些仅为应力等级，并不意味着器件在这些条件下以及在*建议运行条件*以外的任何其他条件下能够正常运行。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

(2) 除非另有说明，否则所有电压均以接地为基准。

Copyright © 2024 Texas Instruments Incorporated

6 热性能信息

热指标 (1)		CD74HCx4067				单位
		E (PDIP)	M (SOIC)	SM (SSOP)	PW (TSSOP)	
		24 引脚	24 引脚	24 引脚	24 引脚	
$R_{\theta JA}$	结至环境热阻	67	84.8	96.2	97.4	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	不适用	57.0	60.0	45.0	°C/W
$R_{\theta JB}$	结至电路板热阻	不适用	59.5	65.1	62.7	°C/W
Ψ_{JT}	结至顶部特征参数	不适用	29.0	21.1	5.20	°C/W
Ψ_{JB}	结至电路板特征参数	不适用	59.0	64.4	62.1	°C/W

(1) 有关新旧热指标的更多信息，请参阅半导体和 IC 封装热指标应用报告。

7 建议运行条件

			最小值	标称值	最大值	单位
V_{CC}	电源电压范围（T_A = 整个封装温度范围）(2)	CD54 和 74HC 类型	2		6	V
		CD54 和 74HCT 类型	4.5		5.5	
V_{IS}	模拟开关 I/O 电压		0		V_{CC}	V
T_A	环境温度		-55		125	°C
t_r、t_f	输入上升和下降时间	2V	0		1000	ns
		4.5V	0		500	
		6V	0		400	

Copyright © 2024 Texas Instruments Incorporated

8 电气特性：HC 器件

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件				最小值	典型值	最大值	单位
模拟开关									
		V_{IS} (V)	V_I (V)	V_{CC} (V)	T_A				
高电平输入电压	V_{IH}			2	25°C	1.5			V
					-40°C 至 +85°C	1.5			
					-55°C 至 +125°C	1.5			
				4.5	25°C	3.15			
					-40°C 至 +85°C	3.15			
					-55°C 至 +125°C	3.15			
				6	25°C	4.2			
					-40°C 至 +85°C	4.2			
					-55°C 至 +125°C	4.2			
低电平输入电压	V_{IL}			2	25°C			0.5	V
					-40°C 至 +85°C			0.5	
					-55°C 至 +125°C			0.5	
				4.5	25°C			1.35	
					-40°C 至 +85°C			1.35	
					-55°C 至 +125°C			1.35	
				6	25°C			1.8	
					-40°C 至 +85°C			1.8	
					-55°C 至 +125°C			1.8	
“导通”电阻 IO = 1mA	R_{ON}	V_{CC} 或 GND	V_{CC} 或 GND	4.5	25°C		70	160	Ω
					-40°C 至 +85°C			200	
					-55°C 至 +125°C			240	
				6	25°C		60	140	
					-40°C 至 +85°C			175	
					-55°C 至 +125°C			210	
		V_{CC} 至 GND	V_{CC} 至 GND	4.5	25°C		90	180	Ω
					-40°C 至 +85°C			225	
					-55°C 至 +125°C			270	
				6	25°C		80	160	
					-40°C 至 +85°C			200	
					-55°C 至 +125°C			240	
任何两个开关之间的“导通”电阻	ΔR_{ON}			4.5	25°C		10		Ω
				6			8.5		
关断漏电流	I_Z	$\overline{E}$ = V_{CC}	V_{CC} 或 GND	6	25°C			±0.8	μA
					-55°C 至 85°C			±8	
					-55°C 至 125°C			±8	
输入漏电流（任何控制）	I_{IL}		V_{CC} 或 GND(1)	6	25°C			±0.1	μA
					-55°C 至 85°C			±1	
					-55°C 至 125°C			±1	

Copyright © 2024 Texas Instruments Incorporated

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件				最小值	典型值	最大值	单位
静态器件电流	I_{CC}		V_{CC} 或 GND	6	25°C			8	μA
					-55°C 至 85°C			80	
					-55°C 至 125°C			160	

(1) V_{CC} 和 GND 之间的任何电压。

9 电气特性：HCT 器件

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件				最小值	典型值	最大值	单位
模拟开关									
		V_{IS} (V)	**V_I (V)**	**V_{CC} (V)**	**T_A**				
高电平输入电压	V_{IH}			4.5	25°C	2			V
					-40°C 至 +85°C	2			
					-55°C 至 +125°C	2			
低电平输入电压	V_{IL}				25°C			0.8	V
					-40°C 至 +85°C			0.8	
					-55°C 至 +125°C			0.8	
“导通”电阻 IO = 1mA	R_{ON}	V_{CC} 或 GND	V_{CC} 或 GND	4.5	25°C		70	160	Ω
					-40°C 至 +85°C			200	
					-55°C 至 +125°C			240	
		V_{CC} 至 GND	V_{CC} 至 GND		25°C		90	180	Ω
					-40°C 至 +85°C			225	
					-55°C 至 +125°C			270	
任何两个开关之间的“导通”电阻	ΔR_{ON}			4.5	25°C		10		Ω
关断漏电流	I_Z	$\overline{E}$ = V_{CC}	V_{CC} 或 GND	5.5	25°C			±0.8	μA
					-55°C 至 85°C			±8	
					-55°C 至 125°C			±8	
输入漏电流（任何控制）	I_{IL}		V_{CC} 或 GND	5.5	25°C			±0.1	μA
					-55°C 至 85°C			±1	
					-55°C 至 125°C			±1	
静态器件电流	I_{CC}		V_{CC} 或 GND	5.5	25°C			8	μA
					-55°C 至 85°C			80	
					-55°C 至 125°C			160	
每个输入引脚的附加静态器件电流：1 个单位负载	$\blacktriangle I_{CC}$ (1)		V_{CC} - 2.1	4.5 至 5.5	25°C		100	360	
					-55°C 至 85°C			450	
					-55°C 至 125°C			490	

(1) 对于双电源系统，理论上最坏情况（V_I = 2.4V，V_{CC} = 5.5V）下的规格为 1.8mA。

10 HTC 输入负载

在自然通风条件下的工作温度范围内测得（除非另有说明）

输入	单位负载(1)
S_0 – S_3	0.5

Copyright © 2024 Texas Instruments Incorporated

在自然通风条件下的工作温度范围内测得（除非另有说明）

输入	单位负载(1)
$\overline{E}$	0.3

(1) 单位负载是在节 9 中指定的 ΔI_{CC} 限制（例如，25°C 时最大值为 360µA）。

11 开关特性 HC

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件		C_L (pF)	最小值 标称值 最大值	单位
		V_{CC} (V)	T_A			
传播延迟时间开关（输入至输出）	t_{PHL}，t_{PLH}	2	25°C	50	75	ns
			-40°C 至 85°C		95	
			-55°C 至 125°C		110	
		4.5	25°C		15	
			-40°C 至 85°C		19	
			-55°C 至 125°C		22	
		6	25°C		13	
			-40°C 至 85°C		16	
			-55°C 至 125°C		19	
		5	25°C	15	6	
开关导通 $\overline{E}$ 至输出	t_{PZH}，t_{PZL}	2	25°C	50	275	ns
			-40°C 至 85°C		345	
			-55°C 至 125°C		415	
		4.5	25°C		55	
			-40°C 至 85°C		69	
			-55°C 至 125°C		83	
		6	25°C		47	
			-40°C 至 85°C		59	
			-55°C 至 125°C		71	
		5	25°C	15	23	
开关导通（Sn 至输出）	t_{PZH}，t_{PZL}	2	25°C	50	300	ns
			-40°C 至 85°C		375	
			-55°C 至 125°C		450	
		4.5	25°C		60	
			-40°C 至 85°C		75	
			-55°C 至 125°C		90	
		6	25°C		51	
			-40°C 至 85°C		64	
			-55°C 至 125°C		76	
		5	25°C	15	25	

Copyright © 2024 Texas Instruments Incorporated

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件		C_L (pF)	最小值 标称值 最大值	单位
开关关断（!E 至输出）	t_{PHZ}，t_{PLZ}	2	25°C	50	275	ns
			-40°C 至 85°C		345	
			-55°C 至 125°C		415	
		4.5	25°C		55	
			-40°C 至 85°C		69	
			-55°C 至 125°C		83	
		6	25°C		47	
			-40°C 至 85°C		59	
			-55°C 至 125°C		71	
		5	25°C	15	23	
开关关断（Sn 至输出）	t_{PHZ}，t_{PLZ}	2	25°C	50	290	ns
			-40°C 至 85°C		365	
			-55°C 至 125°C		435	
		4.5	25°C		58	
			-40°C 至 85°C		73	
			-55°C 至 125°C		87	
		6	25°C		49	
			-40°C 至 85°C		62	
			-55°C 至 125°C		74	
		5	25°C	15	21	
输入（控制）电容	C_I		25°C		10	pF
			-40°C 至 85°C		10	
			-55°C 至 125°C		10	
C_{PD} 功率耗散电容 (1)	C_{PD}	5	25°C		93	

12 开关特性 HCT

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件		C_L (pF)	最小值 标称值 最大值	单位
		V_{CC} (V)	T_A			
传播延迟时间开关（输入至输出）	t_{PHL}，t_{PLH}	4.5	25°C	50	15	ns
			-40°C 至 85°C		19	
			-55°C 至 125°C		22	
		5	25°C	15	6	

Copyright © 2024 Texas Instruments Incorporated

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数		测试条件		C_L (pF)	最小值 标称值 最大值	单位
开关导通 $\overline{E}$ 至输出	t_{PZH}，t_{PZL}	4.5	25°C	50	60	ns
			-40°C 至 85°C		75	
			-55°C 至 125°C		90	
		5	25°C	15	25	
开关导通（Sn 至输出）	t_{PZH}，t_{PZL}	4.5	25°C	50	60	ns
			-40°C 至 85°C		75	
			-55°C 至 125°C		90	
		5	25°C	15	25	
开关关断（!E 至输出）	t_{PHZ}，t_{PLZ}	4.5	25°C	50	55	ns
			-40°C 至 85°C		69	
			-55°C 至 125°C		83	
		5	25°C	15	23	
开关关断（Sn 至输出）	t_{PHZ}，t_{PLZ}	4.5	25°C	50	58	ns
			-40°C 至 85°C		73	
			-55°C 至 125°C		87	
		5	25°C	15	21	
输入（控制）电容	C_I		25°C		10	pF
			-40°C 至 85°C		10	
			-55°C 至 125°C		10	
C_{PD} 功率耗散电容 (1)	C_{PD}	5	25°C		96	

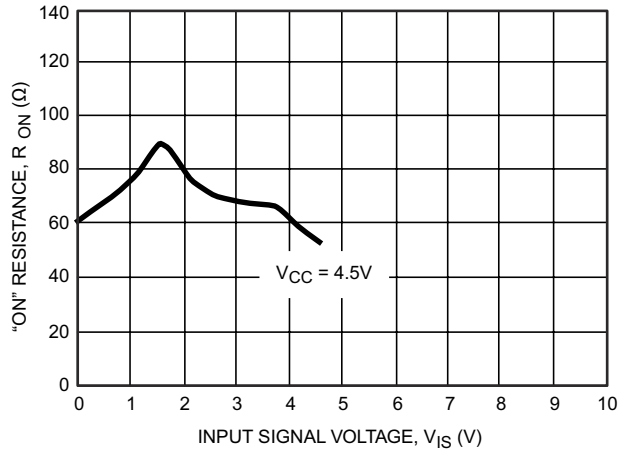
13 模拟通道规格

在自然通风条件下的工作温度范围内测得（除非另有说明）

参数	测试条件		V_{CC} (V)	HC	HCT	单位
-3dB 时的开关频率响应带宽			4.5	89	89	MHz
总谐波失真	1kHz，V_{IS} = $4V_{PP}$		4.5	0.051	0.051	%
关闭信号馈通			4.5	-75	-75	dB
C_I 开关输入电容				5	5	pF
C_{COM} 共模电容				50	50	pF

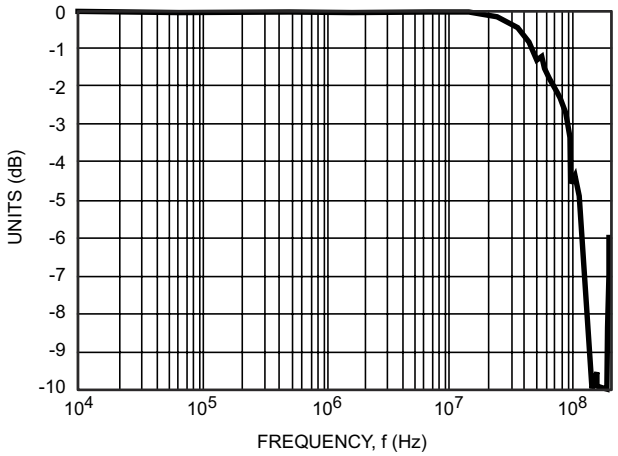
Copyright © 2024 Texas Instruments Incorporated

14 典型特性



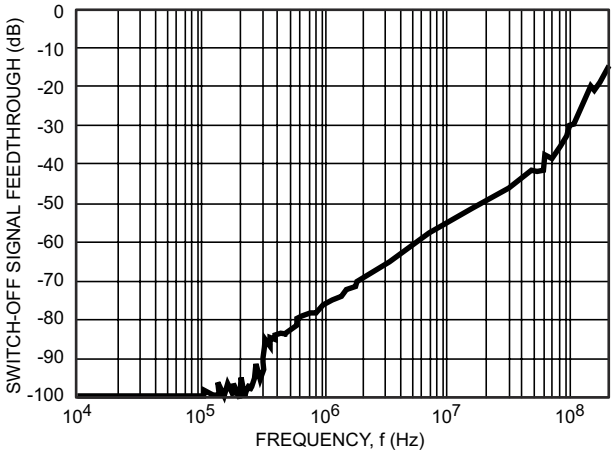
T_A = 25°C　　GND = 0V

图 14-1. 典型导通电阻与输入信号电压间的关系



V_{CC} = 4.5V　　R_L = 50 Ω　　T_A = 25°C

图 14-2. 典型开关频率响应



V_{CC} = 4.5V　　R_L = 50 Ω　　T_A = 25°C

图 14-3. 典型关断信号馈通与频率间的关系

Copyright © 2024 Texas Instruments Incorporated

15 模拟测试电路

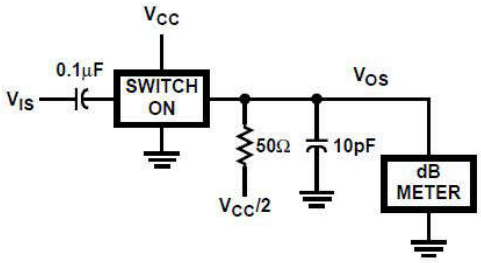


图 15-1. 频率响应测试电路

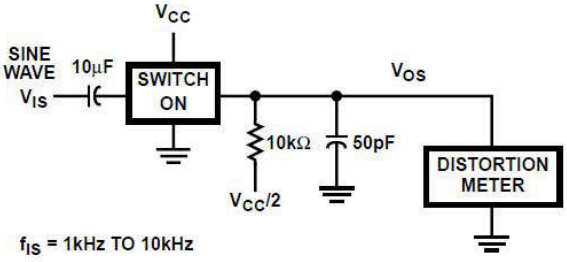


图 15-2. 正弦波失真测试电路

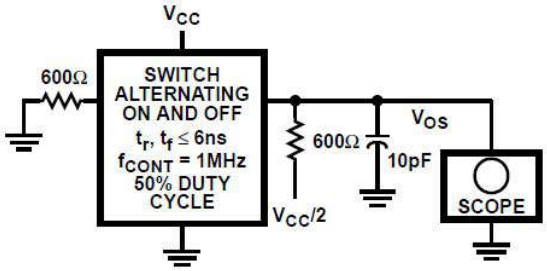


图 15-3. 控制至开关馈通噪声测试电路

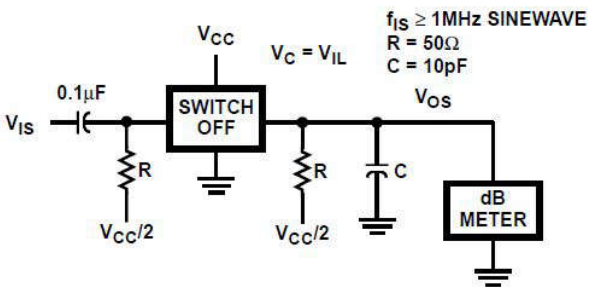


图 15-4. 关闭信号馈通测试电路

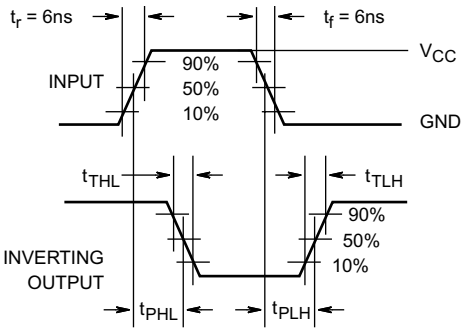


图 15-5. HC 转换时间和传播延迟时间，组合逻辑

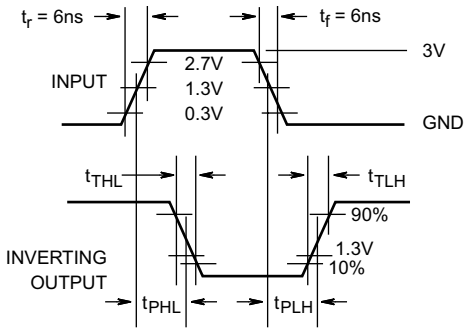


图 15-6. HCT 转换时间和传播延迟时间，组合逻辑

Copyright © 2024 Texas Instruments Incorporated

16 器件和文档支持

16.1 相关文档

- 德州仪器 (TI)，*高速 CMOS 逻辑 16 通道模拟多路复用器/多路信号分离器*

16.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

16.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

16.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

16.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

16.6 术语表

TI 术语表　　本术语表列出并解释了术语、首字母缩略词和定义。

17 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision C (November 2003) to Revision D (December 2024)	Page
• 更新了*应用*、*引脚配置和功能* 部分、*ESD 等级* 表、*热性能信息* 表、*详细说明* 部分、*应用和实施* 部分、*电源相关建议* 部分、*布局* 部分、*器件和文档支持* 部分，以及*机械、封装和可订购信息* 部分	1

18 机械、封装和可订购信息

以下页面包含机械、封装和可订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2024 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
CD74HC4067DGSR	Active	Production	VSSOP (DGS) | 24	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC4067
CD74HC4067M96	Active	Production	SOIC (DW) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4067M
CD74HC4067M96.A	Active	Production	SOIC (DW) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HC4067M
CD74HC4067PWR	Active	Production	TSSOP (PW) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC4067
CD74HC4067PWR.A	Active	Production	TSSOP (PW) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HC4067
CD74HC4067RGYR	Active	Production	VQFN (RGY) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	HC4067
CD74HC4067RGYR.A	Active	Production	VQFN (RGY) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	HC4067
CD74HC4067SM96	Active	Production	SSOP (DB) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HP4067
CD74HC4067SM96.A	Active	Production	SSOP (DB) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HP4067
CD74HC4067SM96E4	Active	Production	SSOP (DB) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HP4067
CD74HC4067SM96G4	Active	Production	SSOP (DB) | 24	2000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HP4067
CD74HCT4067DGSR	Active	Production	VSSOP (DGS) | 24	5000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HT4067
CD74HCT4067M	Active	Production	SOIC (DW) | 24	25 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4067M
CD74HCT4067M.A	Active	Production	SOIC (DW) | 24	25 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4067M
CD74HCT4067ME4	Active	Production	SOIC (DW) | 24	25 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4067M
CD74HCT4067MG4	Active	Production	SOIC (DW) | 24	25 | TUBE	Yes	NIPDAU	Level-1-260C-UNLIM	-55 to 125	HCT4067M
CD74HCT4067PWR	Active	Production	TSSOP (PW) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HCT4067
CD74HCT4067PWR.A	Active	Production	TSSOP (PW) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-1-260C-UNLIM	-40 to 125	HCT4067
CD74HCT4067RGYR	Active	Production	VQFN (RGY) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	HCT4067
CD74HCT4067RGYR.A	Active	Production	VQFN (RGY) | 24	3000 | LARGE T&R	Yes	NIPDAU	Level-2-260C-1 YEAR	-40 to 125	HCT4067

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF CD74HC4067, CD74HCT4067 :

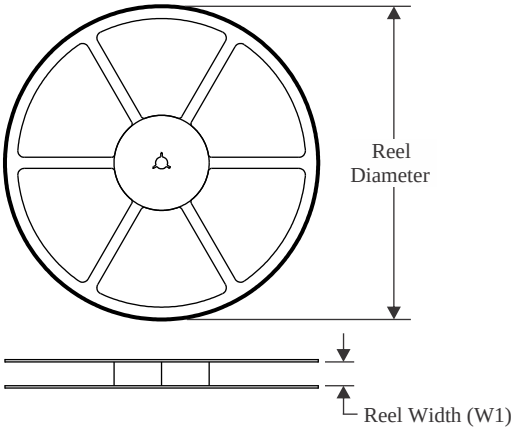
- Automotive : CD74HC4067-Q1, CD74HCT4067-Q1

NOTE: Qualified Version Definitions:

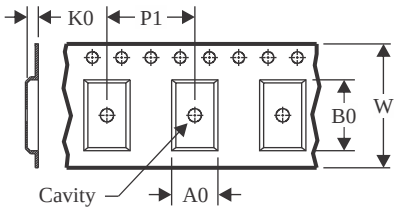
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

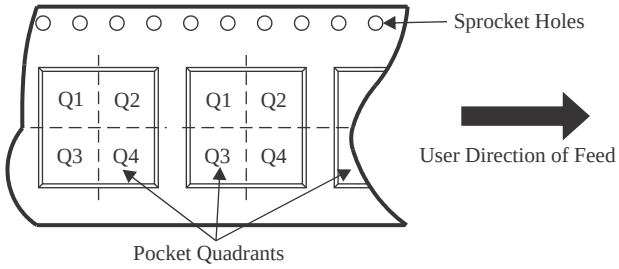


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

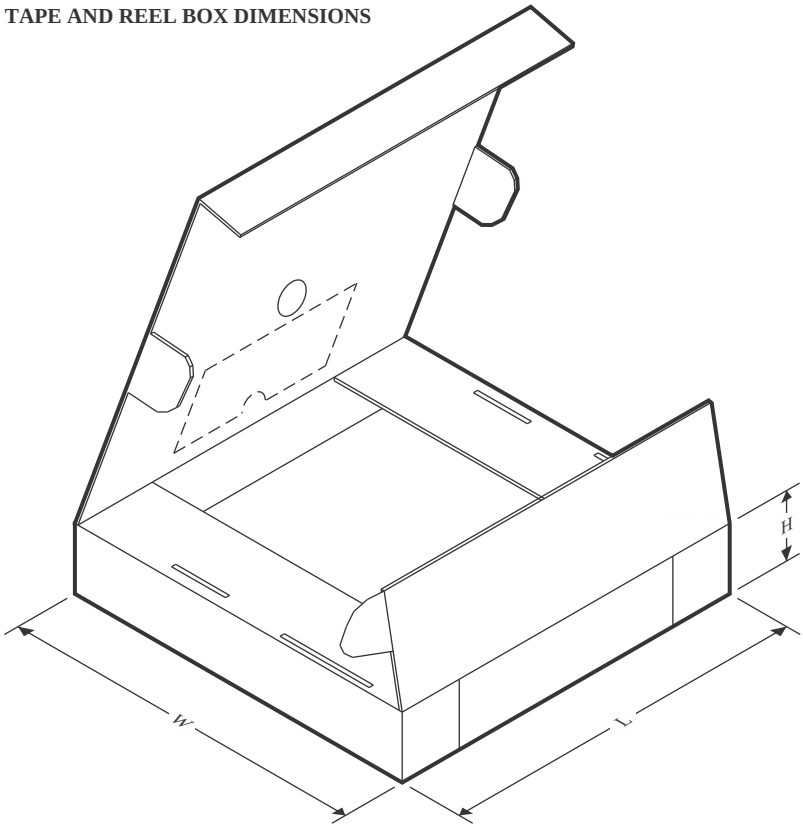
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CD74HC4067DGSR	VSSOP	DGS	24	5000	330.0	16.4	5.44	6.4	1.45	8.0	16.0	Q1
CD74HC4067M96	SOIC	DW	24	2000	330.0	24.4	10.75	15.7	2.7	12.0	24.0	Q1
CD74HC4067PWR	TSSOP	PW	24	2000	330.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1
CD74HC4067RGYR	VQFN	RGY	24	3000	330.0	12.4	3.8	5.8	1.2	8.0	12.0	Q1
CD74HC4067SM96	SSOP	DB	24	2000	330.0	16.4	8.2	8.8	2.5	12.0	16.0	Q1
CD74HCT4067DGSR	VSSOP	DGS	24	5000	330.0	16.4	5.44	6.4	1.45	8.0	16.0	Q1
CD74HCT4067PWR	TSSOP	PW	24	3000	330.0	16.4	6.95	8.3	1.6	8.0	16.0	Q1
CD74HCT4067RGYR	VQFN	RGY	24	3000	330.0	12.4	3.8	5.8	1.2	8.0	12.0	Q1

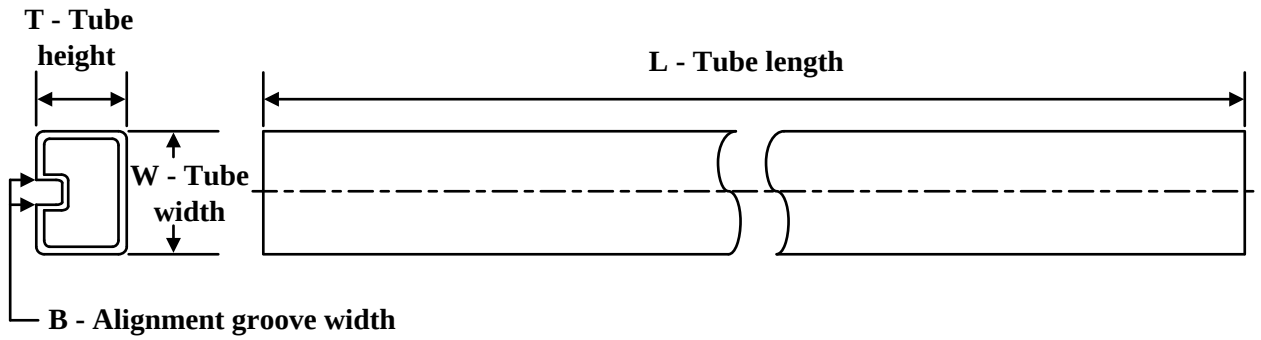
TAPE AND REEL BOX DIMENSIONS



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
CD74HC4067DGSR	VSSOP	DGS	24	5000	353.0	353.0	32.0
CD74HC4067M96	SOIC	DW	24	2000	350.0	350.0	43.0
CD74HC4067PWR	TSSOP	PW	24	2000	353.0	353.0	32.0
CD74HC4067RGYR	VQFN	RGY	24	3000	367.0	367.0	35.0
CD74HC4067SM96	SSOP	DB	24	2000	353.0	353.0	32.0
CD74HCT4067DGSR	VSSOP	DGS	24	5000	353.0	353.0	32.0
CD74HCT4067PWR	TSSOP	PW	24	3000	353.0	353.0	32.0
CD74HCT4067RGYR	VQFN	RGY	24	3000	367.0	367.0	35.0

TUBE



*All dimensions are nominal

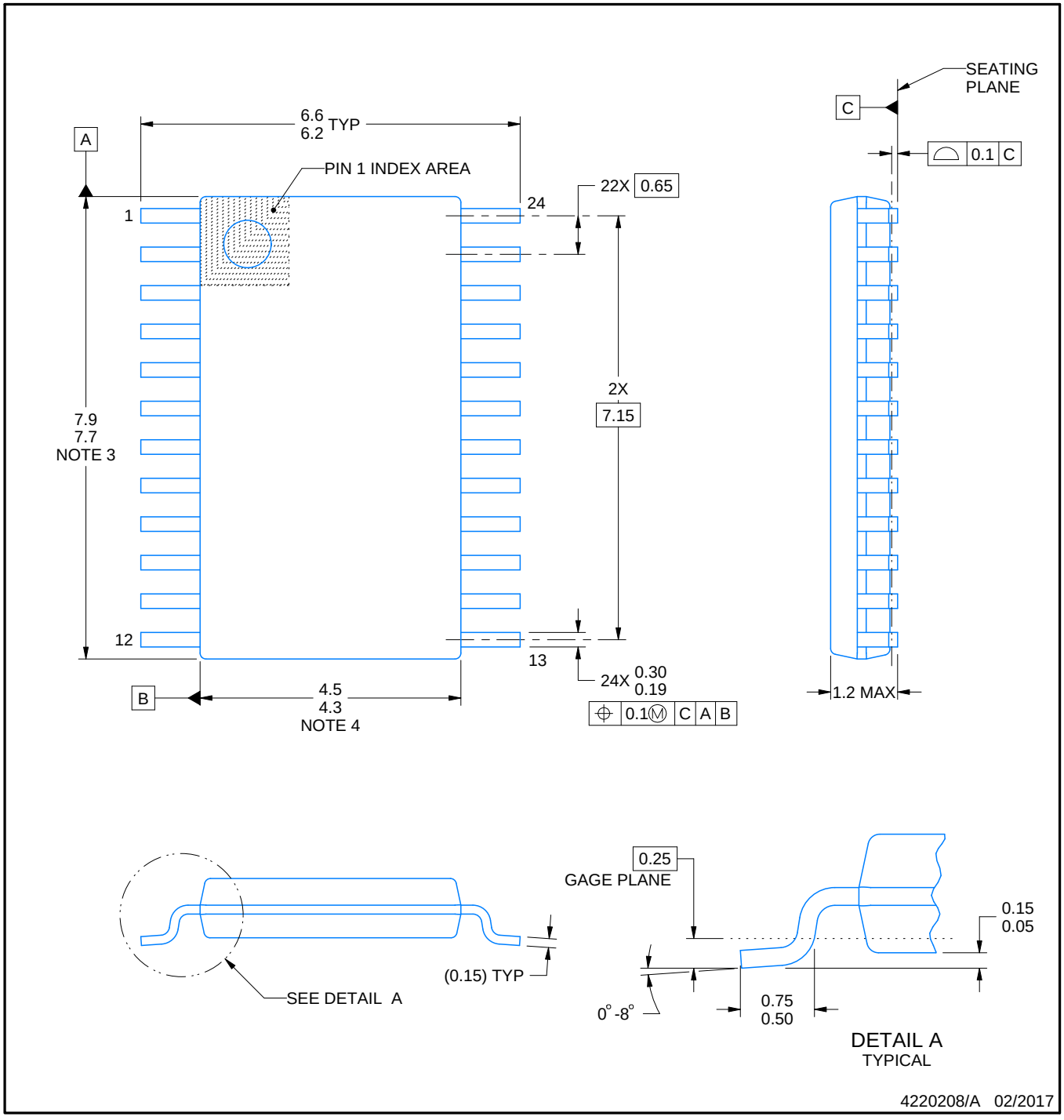
Device	Package Name	Package Type	Pins	SPQ	L (mm)	W (mm)	T (µm)	B (mm)
CD74HCT4067M	DW	SOIC	24	25	506.98	12.7	4826	6.6
CD74HCT4067M.A	DW	SOIC	24	25	506.98	12.7	4826	6.6
CD74HCT4067ME4	DW	SOIC	24	25	506.98	12.7	4826	6.6
CD74HCT4067MG4	DW	SOIC	24	25	506.98	12.7	4826	6.6

PACKAGE OUTLINE

PW0024A

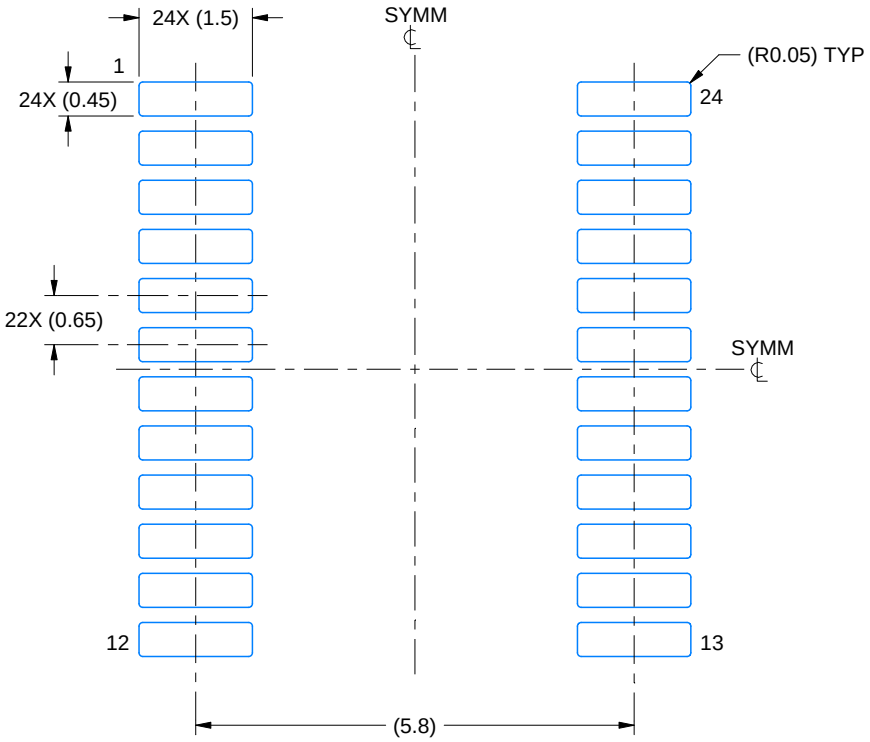
TSSOP - 1.2 mm max height

SMALL OUTLINE PACKAGE

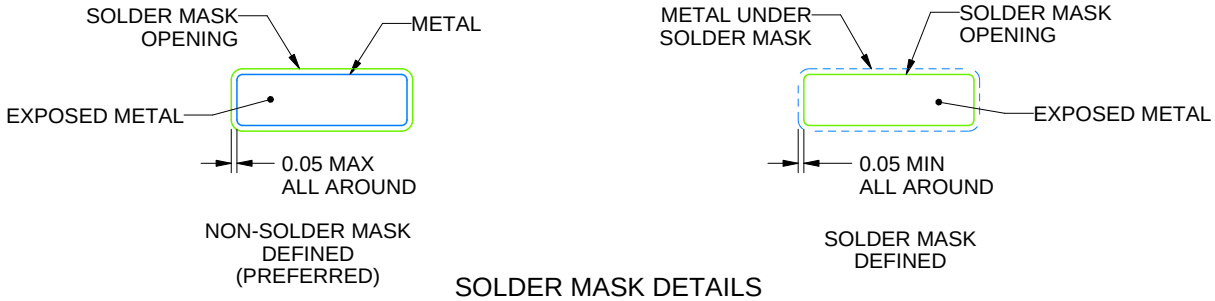


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. This dimension does not include interlead flash. Interlead flash shall not exceed 0.25 mm per side.
5. Reference JEDEC registration MO-153.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 10X

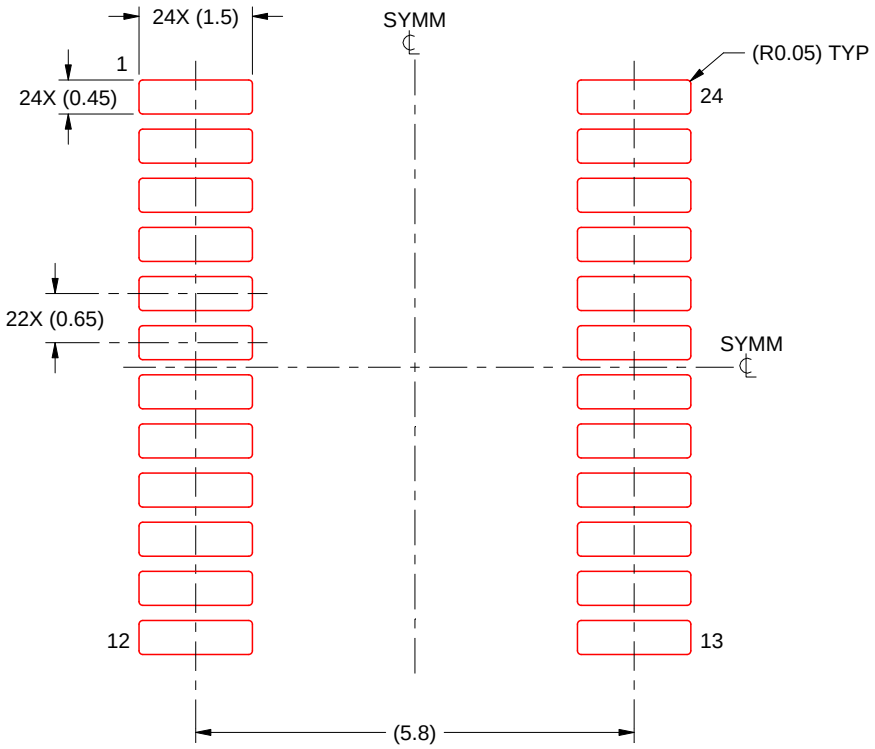


SOLDER MASK DETAILS

4220208/A 02/2017

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.



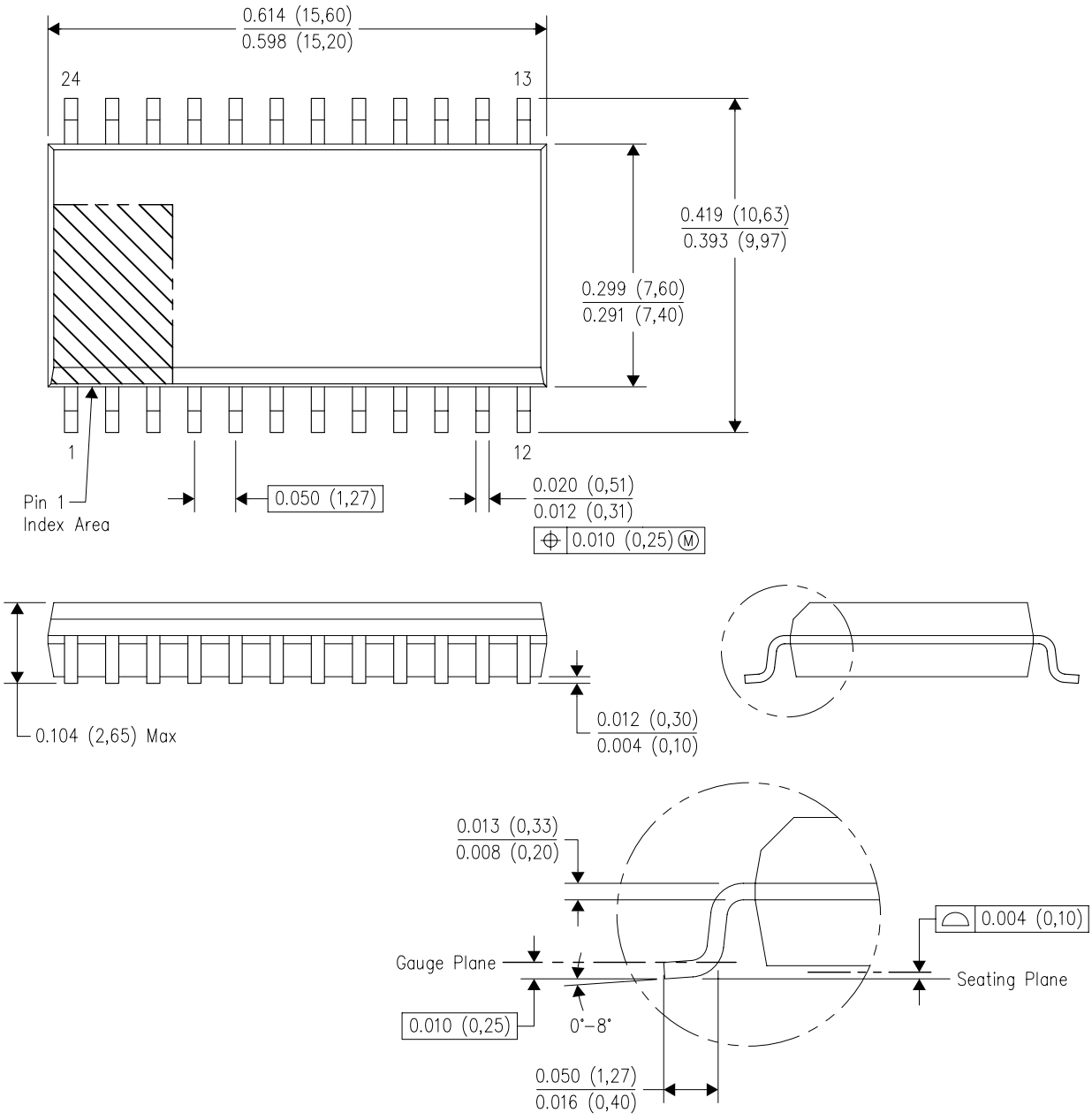
SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 10X

4220208/A 02/2017

NOTES: (continued)

8. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
9. Board assembly site may have different recommendations for stencil design.

DW (R–PDSO–G24) PLASTIC SMALL OUTLINE

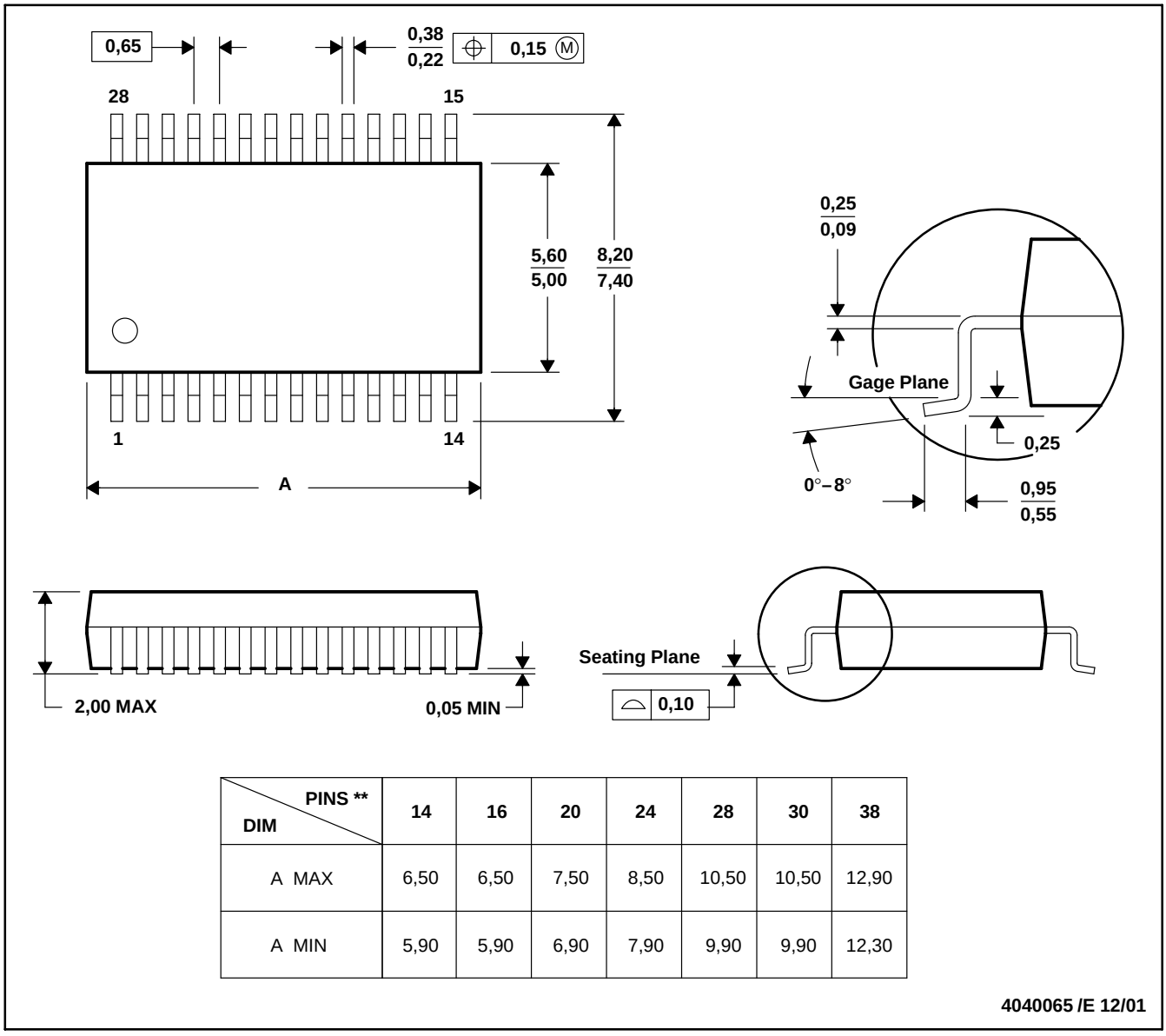


NOTES:
A. All linear dimensions are in inches (millimeters). Dimensioning and tolerancing per ASME Y14.5M–1994.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion not to exceed 0.006 (0,15).
D. Falls within JEDEC MS–013 variation AD.

MSSO002E – JANUARY 1995 – REVISED DECEMBER 2001

DB (R-PDSO-G)** **PLASTIC SMALL-OUTLINE**

28 PINS SHOWN



DIM \ PINS **	14	16	20	24	28	30	38
A MAX	6,50	6,50	7,50	8,50	10,50	10,50	12,90
A MIN	5,90	5,90	6,90	7,90	9,90	9,90	12,30

4040065 /E 12/01

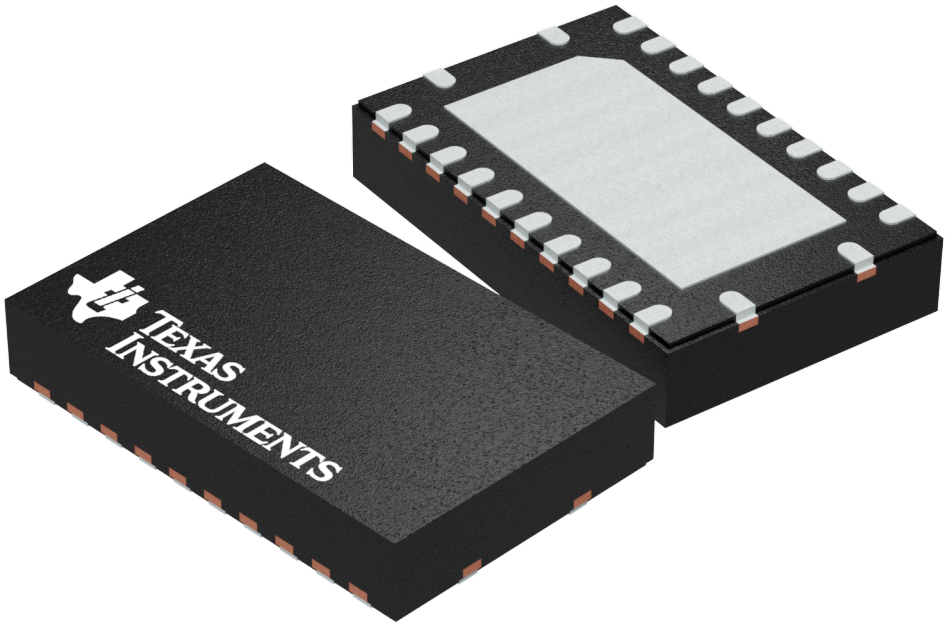
NOTES: A. All linear dimensions are in millimeters.
B. This drawing is subject to change without notice.
C. Body dimensions do not include mold flash or protrusion not to exceed 0,15.
D. Falls within JEDEC MO-150

RGY 24

VQFN - 1 mm max height

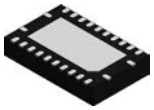
5.5 x 3.5 mm, 0.5 mm pitch

PLASTIC QUAD FLATPACK - NO LEAD



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

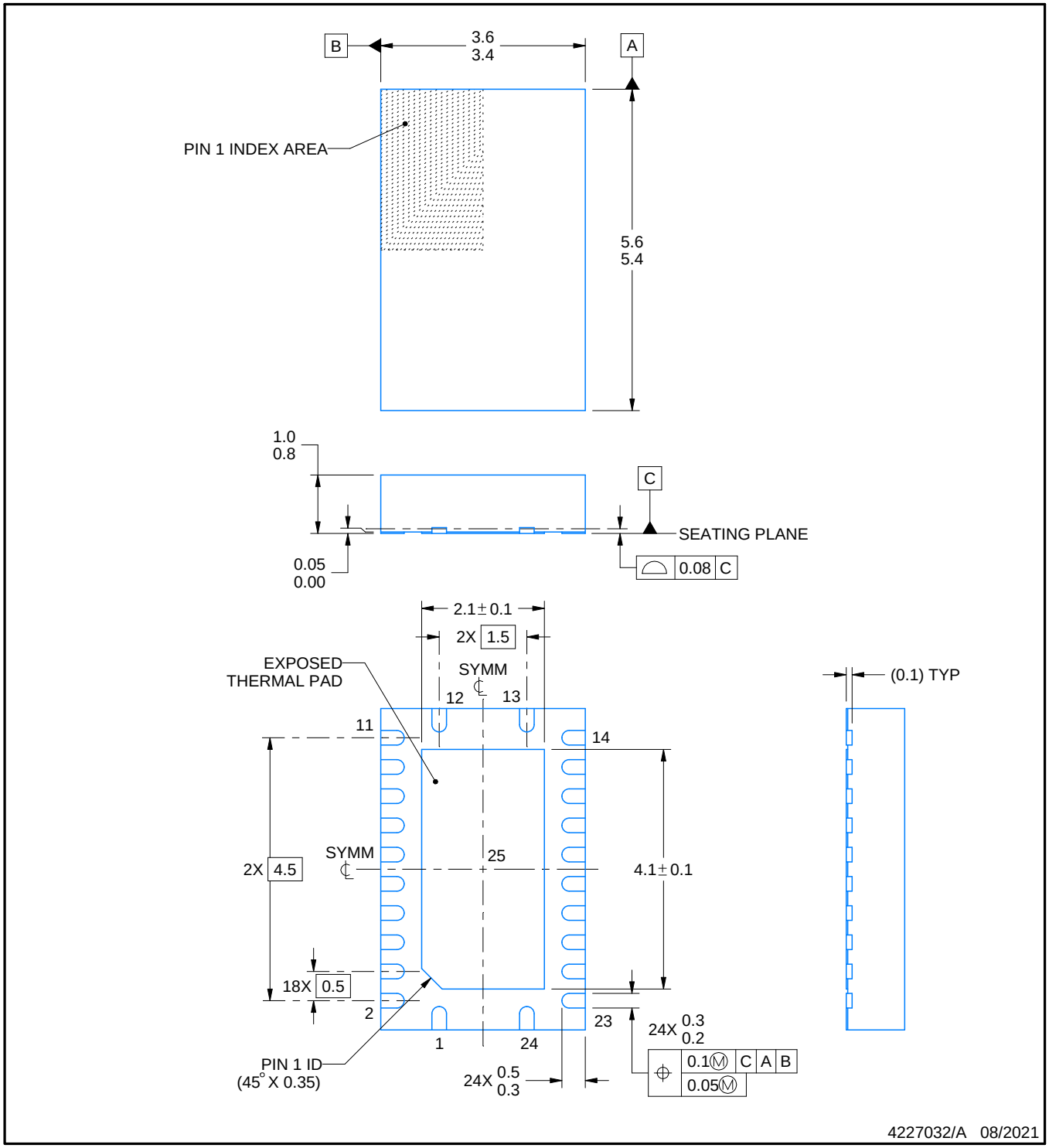
RGY0024F



PACKAGE OUTLINE

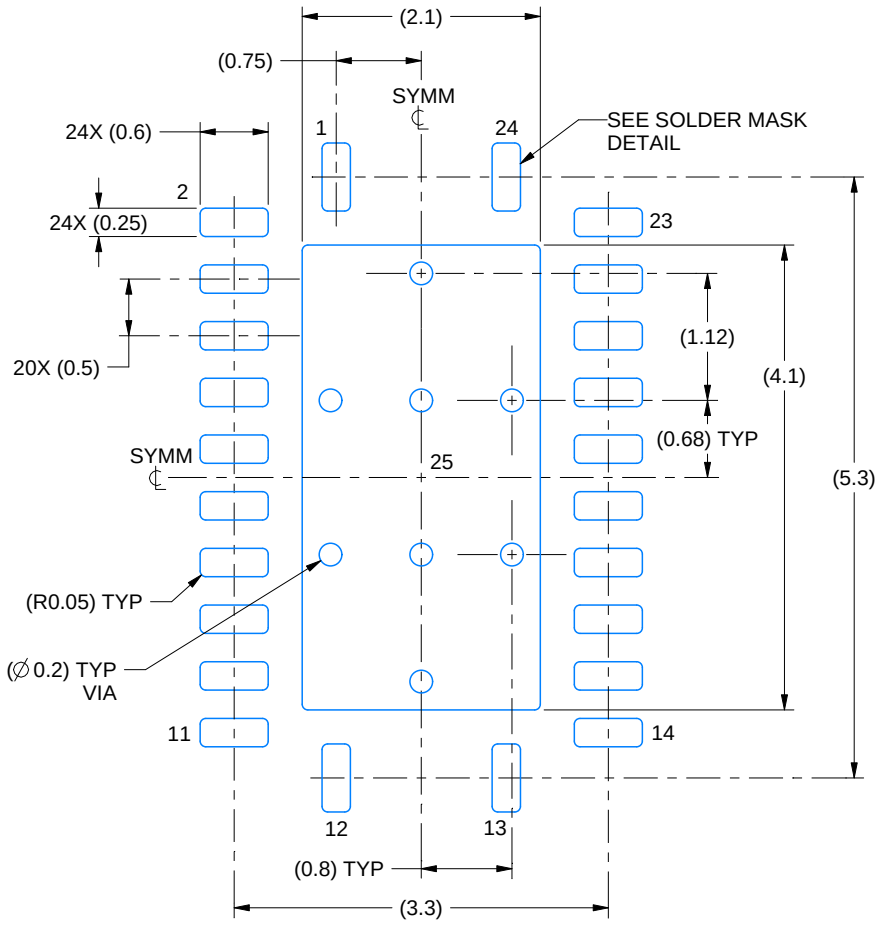
VQFN - 1 mm max height

PLASTIC QUAD FLATPACK - NO LEAD

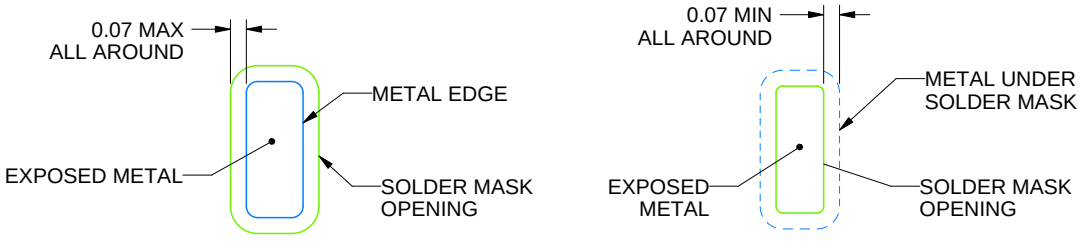


NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. The package thermal pad must be soldered to the printed circuit board for thermal and mechanical performance.



LAND PATTERN EXAMPLE
EXPOSED METAL SHOWN
SCALE: 15X

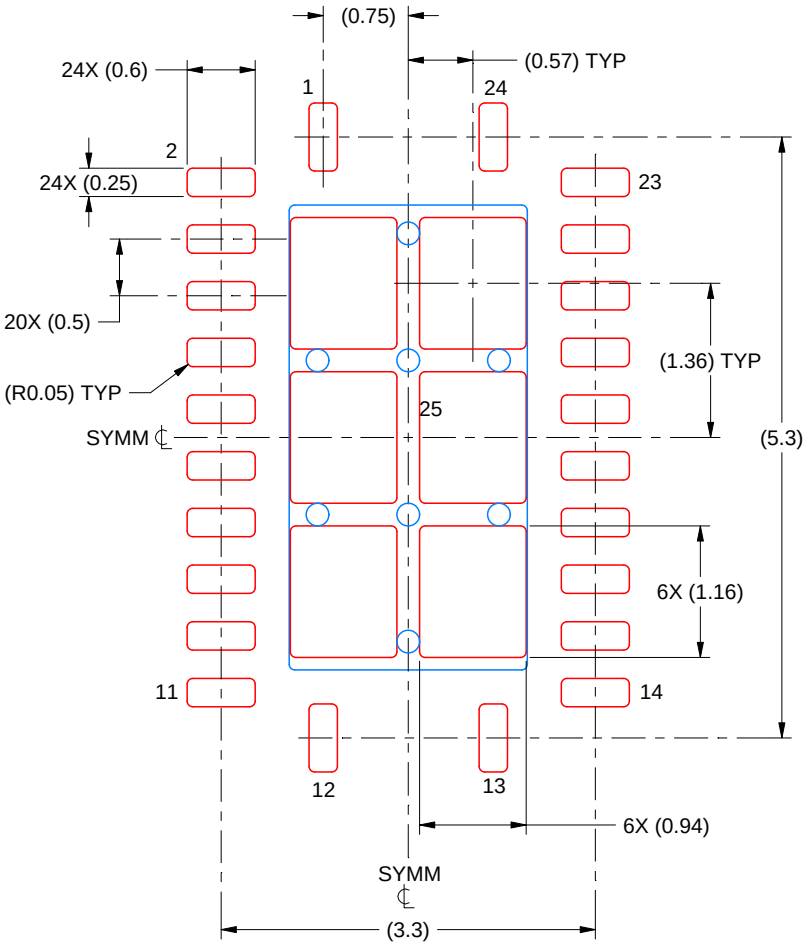


SOLDER MASK DETAILS

4227032/A 08/2021

NOTES: (continued)

4. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature number SLUA271 (www.ti.com/lit/slua271).
5. Vias are optional depending on application, refer to device data sheet. If any vias are implemented, refer to their locations shown on this view. It is recommended that vias under paste be filled, plugged or tented.



SOLDER PASTE EXAMPLE
BASED ON 0.125 MM THICK STENCIL
SCALE: 15X

EXPOSED PAD 25
76% PRINTED SOLDER COVERAGE BY AREA UNDER PACKAGE

4227032/A 08/2021

NOTES: (continued)

6. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2026，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月